

А.А. Жук, А.И. Гавлицкий, Н.Н. Прокопенко

**СХЕМОТЕХНИЧЕСКИЙ МЕТОД ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ  
КЛАССИЧЕСКИХ ВЫХОДНЫХ КАСКАДОВ ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ  
НА ОСНОВЕ ВJT, JFET И CMOS ТЕХНОЛОГИЙ**

*Существенный недостаток классических выходных каскадов микроэлектронных операционных усилителей, которые сегодня реализуются на основе ВJT (биполярных транзисторов), CMOS (комплементарных металл-оксид-полупроводниковых транзисторов) или JFET (полевых транзисторов с управляющим р-п переходом), в том числе при их совместном использовании, состоит в том, что они характеризуются сравнительно малой скоростью нарастания выходного напряжения при воздействии импульсных входных сигналов большой амплитуды. Этот нежелательный эффект главным образом обусловлен наличием паразитных емкостей, применяемых в схеме источников опорного тока, и их выходных транзисторов. В статье рассматривается оригинальный и эффективный схемотехнический прием, обеспечивающий форсирование процесса перезаряда паразитных емкостей, который используется в выходных каскадах, реализуемых в многочисленных патентах ведущих микроэлектронных фирм мира. Введение в исходные схемы специальной дифференцирующей цепи коррекции переходного процесса, а также различные варианты ее практической реализации рассматриваются впервые. Схемотехника таких выходных каскадов защищена патентом Российской Федерации. Разработаны и исследованы четыре различные модификации буферных усилителей, которые ориентированы на применение в современных технологических процессах, которые реализованы на кремниевых ВJT или CMOS транзисторах, а также на арсенид-галлиевых n-JFET и p-n-p биполярных транзисторах. Приводятся примеры компьютерного моделирования статических режимов, а также переходных процессов, которые наглядно демонстрируют значительное повышение максимальной скорости нарастания выходного напряжения (более чем на один-три порядка). Предлагаемые перспективные схемотехнические решения для GaAs транзисторов рекомендуются для практического применения в микроэлектронных устройствах, предназначенных для работы в условиях повышенных температур.*

*Выходной каскад; операционный усилитель; ВJT; CMOS; JFET; переходный процесс в режиме большого сигнала; максимальная скорость нарастания выходного напряжения; статический ток потребления.*

A.A. Zhuk, A.I. Gavlitckiy, N.N. Prokopenko

**CIRCUIT DESIGN METHOD FOR IMPROVING LARGE-SIGNAL SPEED  
OF CLASSICAL OUTPUT STAGES OF OPERATIONAL AMPLIFIERS USING BJT  
(CMOS, JFET OR SiGe) TRANSISTORS**

*A significant drawback of classical output stages of microelectronic operational amplifiers, which today are implemented based on BJTs (bipolar junction transistors), CMOS (complementary metal-oxide-semiconductor transistors), or JFETs (junction field-effect transistors), including when these technologies are used together, is that they exhibit a relatively low output voltage slew rate under the influence of large-amplitude pulsed input signals. This undesirable effect is mainly caused by the presence of parasitic capacitances inherent in the reference current source circuits employed and in their output transistors. This paper discusses an original and effective circuit design technique that provides forced recharging of parasitic capacitances, which is used in output stages implemented in numerous patents of the world's leading microelectronic companies. The introduction of a special differentiating transient correction circuit into the original schematics, as well as various options for its practical implementation, are considered for the first time. The circuitry of such output stages is protected by a patent of the Russian Federation. Four different modifications of buffer amplifiers have been developed and investigated, which are intended for use in modern technological processes implemented with silicon BJT or CMOS transistors, as well as with gallium arsenide n-JFET and p-n-p bipolar transistors. Examples of computer simulation of DC operating modes, as well as transient processes, are presented, which clearly demonstrate a significant increase in the maximum output voltage slew rate (by more than one to three orders of magnitude). The proposed advanced circuit solutions for GaAs transistors are recommended for practical application in microelectronic devices designed for operation under elevated temperature conditions.*

*Output stage; operational amplifier; BJT; CMOS; JFET; SiGe; GaAs; large-signal transient response; maximum output voltage slew rate.*

**Введение.** Предельное быстродействие операционных усилителей (ОУ) с однополюсной частотной коррекцией определяется быстродействием их выходных каскадов (буферных усилителей) в режиме большого сигнала – максимальной скоростью нарастания выходного напряжения (SR). Это определяет повышенное внимание многих научных коллективов и микроэлектронных фирм к схемотехническим методам повышения SR выходного каскада с учетом ограничений применяемых технологических процессов. Известно значительное количество схем двухтактных буферных усилителей (БУ), реализация которых возможна на биполярных и полевых транзисторах с управляющим p-n переходом, в т.ч. арсенид-галлиевых [1–6], а также на комплементарных CMOS [7–10] и SOI CMOS активных элементах для высокотемпературных микросхем.

Сегодня проблема повышения SR выходных каскадов ОУ решается следующими методами.

1. Введением [11, 12] нелинейных цепей коррекции переходного процесса, форсирующих перезаряд паразитных емкостей в эмиттерах (истоках) входных транзисторов. Однако, данный метод эффективен только при больших импульсных сигналах на входе БУ, амплитуда которых существенно превышает зону нечувствительности цепи нелинейной коррекции. Кроме этого, данный метод увеличивает нелинейные искажения синусоидального сигнала.

2. Введением положительной обратной связи через дополнительные RC цепи с выхода БУ на неинвертирующий вход источника опорного тока, устанавливающий статический режим входных транзисторов [13, 14]. Это позволяет скомпенсировать влияние паразитных емкостей в эмиттерных цепях входных транзисторов и повысить SR. Однако, положительная обратная связь требует тщательной настройки двух корректирующих емкостей и при их технологическом разбросе переводит БУ в режим неустойчивости.

3. Применением параллельных емкостных каналов для передачи входного импульсного сигнала в цепь перезаряда паразитных емкостей [15, 16]. Однако, данный метод вносит во входную цепь БУ большую емкостную составляющую входного сопротивления, что не всегда допустимо.

4. Взаимной компенсацией паразитных емкостей в эмиттерных цепях входных транзисторов [17], которая не дает существенного выигрыша по SR из-за неидентичности численных значений паразитных емкостей n-p-n и p-n-p транзисторов.

5. Применением двухтактных входных эмиттерных повторителей с цепью нелинейной коррекции [18], что позволяет повысить SR БУ за счет существенного усложнения схемы.

6. Параллельным включением нескольких буферных усилителей [19], один из которых имеет нелинейную амплитудную характеристику. Это отрицательно сказывается на статическом токопотреблении БУ, что неприемлемо для микромощных мобильных устройств.

7. Параллельным включением микромощного линейного и мощного нелинейного БУ с повышенным уровнем максимального выходного тока [20].

8. Применением положительной обратной связи для повышения быстродействия БУ с емкостной нагрузкой [21].

В настоящее время, кроме рассмотренных выше схемотехнических приемов, задача повышения SR выходных каскадов решается путем применения технологических процессов с малыми топологическими нормами (12-28 нм), что позволяет уменьшить паразитные емкости источников опорного тока и емкостей коллектор-база применяемых транзисторов. Таким образом, в существующих сегодня схемотехнических решениях выходных каскадов ОУ для повышения SR используются либо технологические процессы с малыми топологическими нормами применяемых транзисторов, недоступными в России, либо их работа в сильноточном режиме, что неприемлемо для микромощных мобильных устройств.

В дополнение к [11–21] на рис. 1 в качестве примера показана схема арсенид-галлиевого БУ по патенту RU 2784046, 2022 г., который имеет низкое быстродействие для отрицательного фронта.

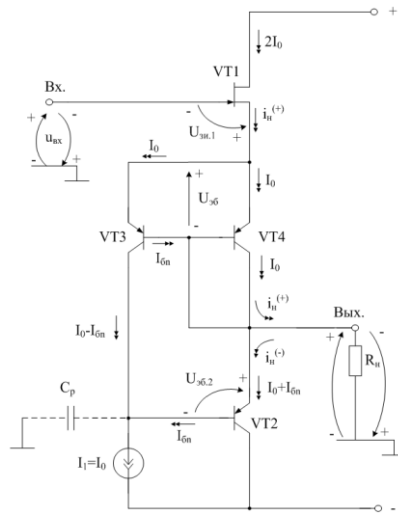


Рис. 1. Схема высокотемпературного арсенид-галлиевого БУ класса АВ

Это обусловлено достаточно медленным процессом перезаряда паразитной емкости  $C_p$  в цепи базы транзистора VT2 небольшим током  $I_{0n}=I_0$ . Численные значения  $C_p$  определяются выходной емкостью источника опорного тока  $I_1$ , а также емкостью коллектор-база выходного транзистора VT2. Для схемы рис. 1 импульсное приращение напряжения на выходе, которое «повторяет» напряжение на паразитном конденсаторе  $C_p$ , определяется формулой

$$u_{\text{вых}} = -\frac{I_0}{C_p} t.$$

То есть максимальная скорость нарастания для отрицательного фронта выходного напряжения БУ на рис. 1 жестко связана с его током потребления ( $I_g \approx 2I_0$ ), а для повышения SR необходимо увеличивать статические токи входных транзисторов. Это повышает скорость перезаряда паразитных емкостей БУ. Однако, такой подход ухудшает энергетические показатели БУ в статическом режиме.

**Научная новизна** предложенного подхода состоит в разработке схемотехнического метода повышения SR выходных каскадов операционных усилителей, связанного с введением в классические схемы БУ специальных дифференцирующих цепей коррекции переходного процесса в режиме большого сигнала. Предлагаемый схемотехнический прием повышения быстродействия выходных каскадов ОУ за счет введения дифференцирующей цепи коррекции переходного процесса и варианты его практической реализации рассматриваются впервые. Схемотехника БУ защищена патентом РФ. Преимущество предложенного в настоящей статье метода состоит в том, что он обеспечивает повышение SR выходных каскадов со сравнительно высокими топологическими нормами изготовления транзисторов (до 350-1000 нм), а также с использованием в них слабotoчных статических режимов. Это крайне актуально при создании микромощных мобильных устройств.

**Постановка задачи.** Цель настоящей статьи состоит в разработке и исследовании перспективных схем выходных каскадов ОУ, которые обеспечивают по сравнению с известными схемотехническими решениями [11–21] более высокие обобщенные показатели качества по SR, статическому токопотреблению, входной емкости, требованиям к разбросу параметров корректирующих конденсаторов и т.п.

#### Предлагаемые схемотехнические решения выходных каскадов

**1. Арсенид-галлиевый БУ с повышенным быстродействием.** На рис. 2 показана модифицированная схема БУ на рис. 1. Здесь решается задача повышения максимальной скорости нарастания выходного напряжения ( $SR^{(c)}$ ) при работе с большими отрицательными импульсными входными сигналами, соизмеримыми с напряжениями питания. При этом сохраняется высокий уровень  $SR^{(c)}$  при работе с положительными импульсными входными сигналами.

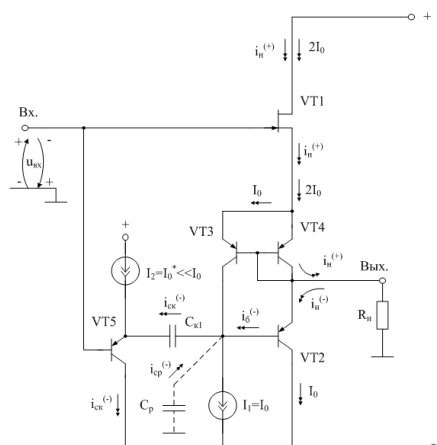


Рис. 2. Схема предлагаемого ВЈТ-ЈФЕТ арсенид-галлиевого БУ с повышенным быстродействием

Если на вход БУ на рис. 2 подается импульсный сигнал большой амплитуды  $u_{BX}^{(+)}$ , то он с минимальной задержкой передается в исток входного полевого транзистора VT1 и, далее, через эмиттерный р-п переход биполярного транзистора VT4 в цепь нагрузки  $R_n$ . В данном режиме БУ имеет высокое быстродействие, т.к. транзистор VT1 работает в активном режиме. При этом максимальный положительный выходной ток  $I_{n.max}^{(+)}$  в  $R_n$  будет равен:

$$I_{n.max}^{(+)} = I_{c1.max}, \quad (1)$$

где  $I_{c1.max}$  – максимальный ток стока входного полевого транзистора VT1, зависящий от его геометрических размеров.

При отрицательных входных импульсных сигналах  $u_{BX}^{(-)}$  на переходные процессы в БУ на рис. 2 оказывает влияние паразитная емкость  $C_p$  в цепи базы транзистора VT3. При этом максимально возможный ток перезаряда конденсатора  $C_p$  не может быть больше, чем

$$I_{cp}^{(-)} = I_1, \quad (2)$$

где  $I_1 = I_0$  – статический ток источника опорного тока  $I_1$ .

**2. Выходной каскад ОУ на кремниевых комплементарных биполярных транзисторах.** На рис. 3 представлен пример построения БУ, который может быть реализован на основе достаточно распространенных технологических процессов [22], позволяющих создавать комплементарные р-п-р и п-р-п транзисторы.

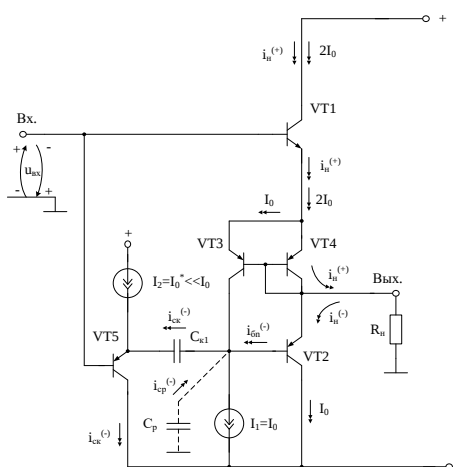


Рис. 3. Пример построения БУ на комплементарных биполярных транзисторах

**3. CMOS выходной каскад с повышенным быстродействием.** Формальная замена транзисторов в схеме на рис. 2 на соответствующие им CMOS транзисторы позволяет синтезировать CMOS выходной каскад, представленный на рис. 4.

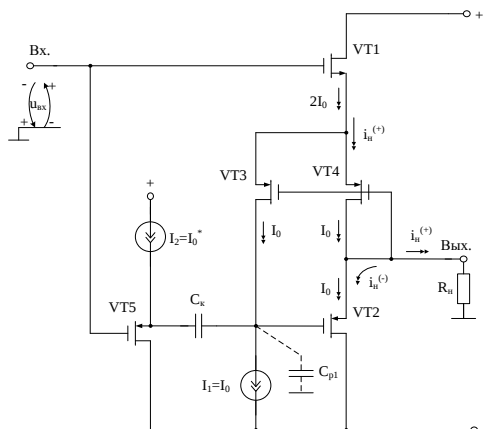


Рис. 4. Модифицированная схема БУ на рис. 2 при ее реализации на комплементарных CMOS транзисторах

В этой схеме повышение быстродействия ( $SR^{(-)}$ ) обеспечивается введением дополнительного транзистора VT5, источника опорного тока  $I_1$  и корректирующего конденсатора  $C_k$ . Как показывает компьютерное моделирование, введение корректирующего конденсатора  $C_k$  существенно повышает быстродействие БУ при больших отрицательных импульсных входных сигналах.

**4. Метод повышения быстродействия выходного каскада на составных CMOS транзисторах.** В современных аналоговых микросхемах широкое распространение получили выходные каскады на так называемых «бриллиантовых» составных транзисторах, которые реализуются на n-p-n и p-n-p BJT [23–24], а также на CMOS транзисторах [25–26].

На рис. 5 представлена схема выходного каскада данного класса, в основу которого положено достаточно популярное схемотехническое решение на транзисторах VT1-VT4 [27–31].

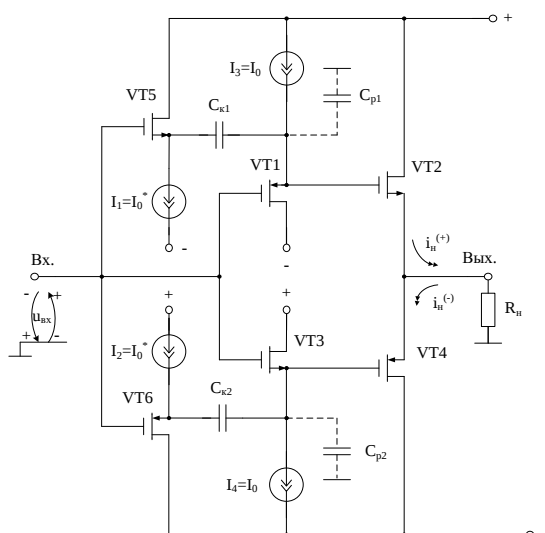


Рис. 5. Быстродействующий CMOS БУ на основе классического выходного каскада на составных транзисторах VT1-VT4

Особенность схемы на рис. 5 состоит в том, что она содержит две паразитные емкости  $C_{p1}$  и  $C_{p2}$  в истоковых цепях входных транзисторов VT1 и VT2. Поэтому здесь предусмотрено введение двух корректирующих конденсаторов  $C_{k1}$  и  $C_{k2}$ , а также двух истоковых повторителей на транзисторах VT5 и VT6. Это позволяет обеспечить повышение SR как для положительных, так и для отрицательных фронтов выходного напряжения.

**5. Перспективный метод повышения быстродействия CMOS БУ на основе «бриллианновых» составных транзисторов.** На рис. 6 представлена модифицированная схема CMOS БУ рис. 5, в которой исключены дополнительные истоковые повторители на транзисторах VT5, VT6. Данная модификация содержит две паразитные емкости  $C_{p1}$  и  $C_{p2}$  в истоковых цепях VT1 и VT2, которые отрицательно влияют на быстродействие при больших импульсных входных сигналах. Для увеличения быстродействия в схеме на рис. 6 предусмотрено введение одного корректирующего конденсатора  $C_{k1}$ , который позволяет обеспечить повышение SR как для положительных, так и для отрицательных фронтов выходного напряжения.

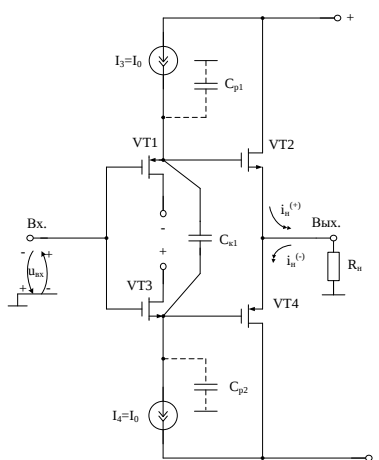


Рис. 6. Быстродействующий CMOS БУ на основе классического выходного каскада на транзисторах VT1-VT4 с одной емкостью коррекции  $C_{k1}$

**Компьютерное моделирование предлагаемых буферных усилителей.** На рис. 7 приведен статический режим транзисторов БУ (рис. 2) в среде компьютерного моделирования LTSpice на моделях GaAs транзисторов [10].

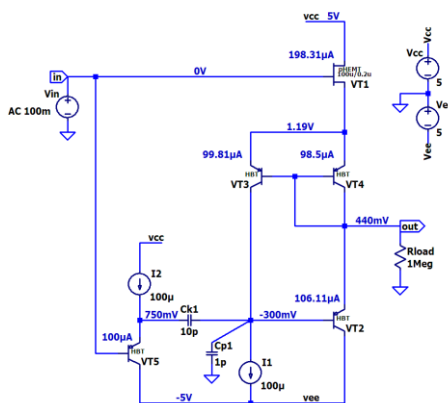


Рис. 7. Статический режим БУ на рис. 2

Задний фронт переходного процесса в БУ (рис. 7) при разных значениях емкости корректирующего конденсатора  $C_{k1}=0$  пФ/10 пФ показан на рис. 8.

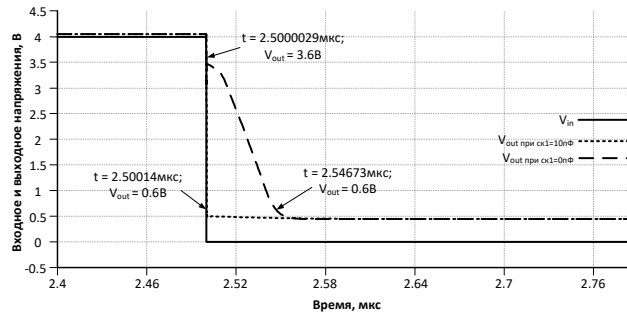


Рис. 8. Задний фронт переходного процесса БУ на рис. 7 при двух значениях емкости корректирующего конденсатора  $C_{kl}=0 \text{ пФ}/10 \text{ пФ}$

Большой отрицательный импульсный сигнал  $u_{\text{вх}}^{(-)}$  передается в схеме рис. 7 в эмиттер транзистора VT2 и далее на базу транзистора VT3. Если выбрать емкость корректирующего конденсатора  $C_k$  значительно больше, чем емкость паразитного конденсатора  $C_p$ , то конденсатор  $C_{kl}$  существенно ускоряет процесс перезаряда этой паразитной емкости. Так, максимальная скорость «спада» выходного напряжения ( $SR^{(-)}$ ) заднего фронта переходного процесса в схеме на рис. 7 с амплитудой входного напряжения 3 В при нулевой емкости корректирующего конденсатора имеет сравнительно малое значение:

$$SR^{(-)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3}{0,0467} \approx 64,2 \text{ В/мкс}, \quad (3)$$

где  $U_{\text{вых.мах}}$  – максимальная амплитуда сигнала на выходе БУ.

Если корректирующий конденсатор  $C_{kl}=10 \text{ пФ}$ , то задний фронт переходного процесса существенно сокращается и поэтому:

$$SR^{(-)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3}{0,000137} \approx 21897,8 \text{ В/мкс}. \quad (4)$$

Следовательно, рассматриваемое схемотехническое решение БУ обеспечивает повышение максимальной скорости спада выходного напряжения для заднего фронта более чем в 300 раз.

На рис. 9 приведен статический режим транзисторов БУ на рис. 5 в среде компьютерного моделирования Pspice на моделях транзисторов компании TSMC (Тайвань, tsmc035\_t65\_MOSIS) при паразитных емкостях  $C_{p1}=C_{p2}=0.5 \text{ пФ}$ .

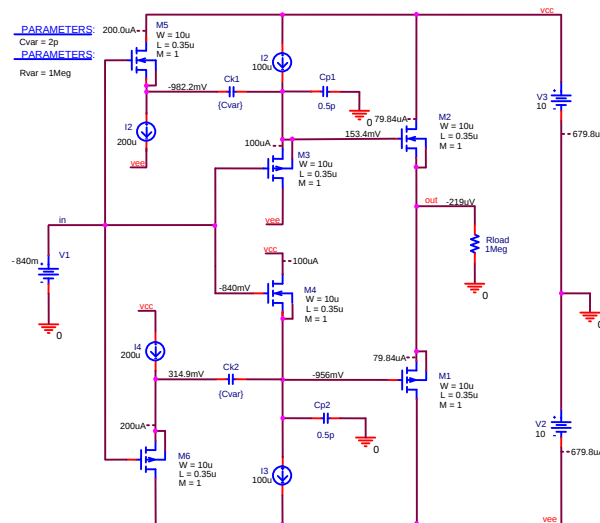


Рис. 9. Статический режим транзисторов CMOS БУ на рис. 5

На рис. 10 показан передний фронт переходного процесса БУ (рис. 9) при разных значениях емкости корректирующих конденсаторов  $C_{K1}=C_{K2}=0/10/20$  пФ.

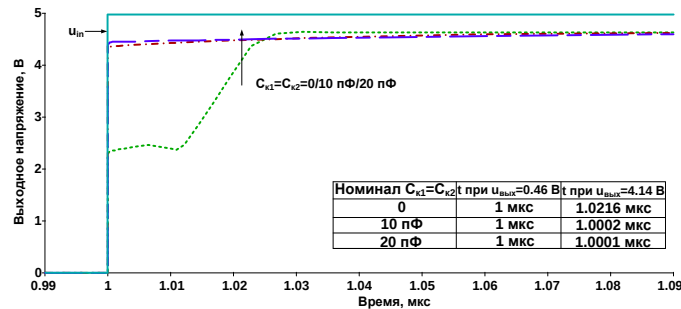


Рис. 10. Передний фронт переходного процесса в БУ на рис. 9 при разных значениях емкостей  $C_{K1}=C_{K2}=0/10/20$  пФ

На рис. 11 показан задний фронт переходного процесса БУ на рис. 9 при  $C_{K1}=C_{K2}=0/10/20$  пФ.

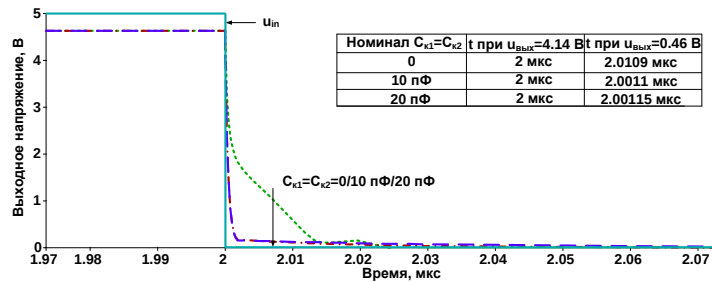


Рис. 11. Задний фронт переходного процесса БУ на рис. 9

Максимальная скорость нарастания выходного напряжения ( $SR^{(+)}$ ) переднего фронта переходного процесса в БУ (рис. 9) с амплитудой входного напряжения 5 В при нулевой емкости корректирующих конденсаторов  $C_{K1}=C_{K2}=0$  пФ сравнительно мала:

$$SR^{(+)} = \frac{0.9U_{\text{вых.мах}} - 0.1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3.68}{0.0216} \approx 170.37 \text{ В/мкс}, \quad (5)$$

где  $U_{\text{вых.мах}}$  – максимальная амплитуда сигнала на выходе БУ.

При емкости корректирующих конденсаторов  $C_{K1}=C_{K2}=20$  пФ  $SR^{(+)}$  переднего фронта переходного процесса БУ на рис. 9 существенно увеличивается:

$$SR^{(+)} = \frac{0.9U_{\text{вых.мах}} - 0.1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3.68}{0.0001} \approx 36800 \text{ В/мкс}. \quad (6)$$

Максимальная скорость «спада» выходного напряжения ( $SR^{(-)}$ ) заднего фронта переходного процесса в БУ на рис. 9 с амплитудой входного напряжения 5 В при нулевой емкости корректирующих конденсаторов  $C_{K1}=C_{K2}=0$  пФ имеет сравнительно небольшие значения:

$$SR^{(-)} = \frac{0.9U_{\text{вых.мах}} - 0.1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3.68}{0.0109} \approx 337.61 \text{ В/мкс}, \quad (7)$$

где  $U_{\text{вых.мах}}$  – максимальная амплитуда сигнала на выходе БУ.

При введении корректирующих конденсаторов  $C_{K1}=C_{K2}=20$  пФ  $SR^{(-)}$  заднего фронта переходного процесса возрастает более чем на порядок:

$$SR^{(-)} = \frac{0.9U_{\text{вых.мах}} - 0.1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3.68}{0.001} \approx 3680 \frac{\text{В}}{\text{мкс}}. \quad (8)$$

Таким образом, рассмотренная схема CMOS БУ на рис. 9 обеспечивает повышение максимальной скорости нарастания выходного напряжения для переднего фронта более чем в 200 раз, а для заднего фронта – более чем в 10 раз.

На рис. 12 приведен статический режим транзисторов схемы (рис. 6) в среде Pspice на моделях транзисторов компании TSMC (tsmc035\_t65\_MOSIS, Тайвань).

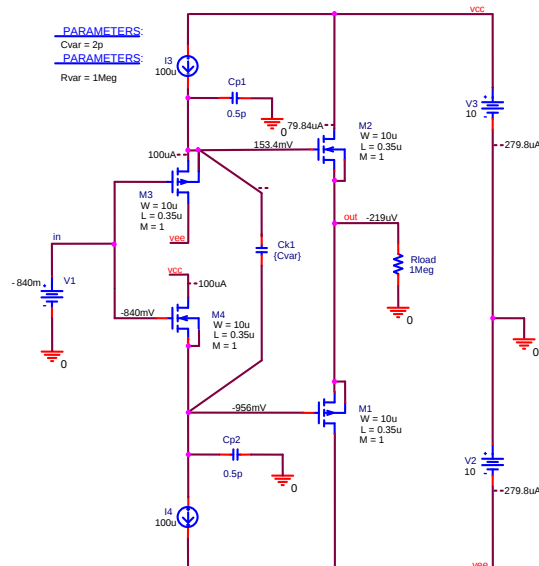


Рис. 12. Статический режим транзисторов БУ на рис. 6

На рис. 13 показан передний фронт переходного процесса CMOS БУ (рис. 12) при разных значениях емкости корректирующего конденсатора  $C_{KI}=0/10$  пФ/20 пФ.

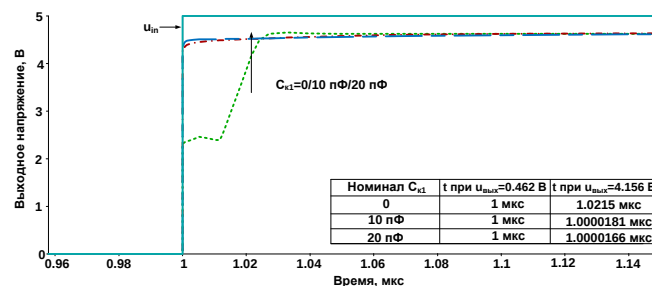


Рис. 13. Передний фронт переходного процесса в БУ на рис. 12

На рис. 14 показан задний фронт переходного процесса БУ (рис. 12) при разных значениях емкости корректирующего конденсатора  $C_{KI}=0/10$  пФ/20 пФ.

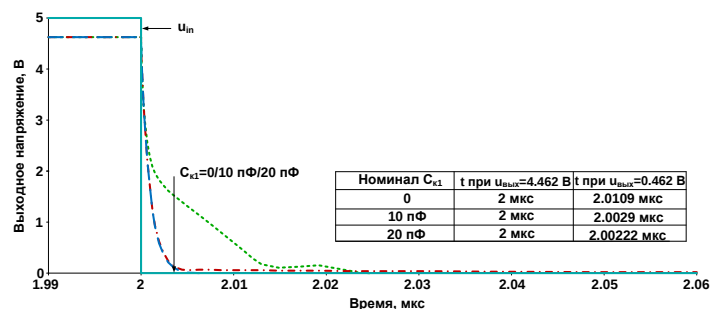


Рис. 14. Задний фронт переходного процесса БУ на рис. 12

Из рассмотрения графиков на рис. 13 следует, что максимальная скорость нарастания выходного напряжения ( $SR^{(+)}$ ) переднего фронта переходного процесса в рассматриваемой модификации БУ (рис. 12) с амплитудой входного напряжения 5 В при нулевой емкости корректирующего конденсатора  $C_{kl}=0$  пФ сравнительно мала:

$$SR^{(+)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3,69}{0,0215} \approx 171,81 \text{ В/мкс}, \quad (9)$$

где  $U_{\text{вых.мах}}$  – максимальная амплитуда сигнала на выходе БУ.

При емкости корректирующего конденсатора  $C_{kl}=20$  пФ  $SR^{(+)}$  переднего фронта переходного процесса существенно возрастает:

$$SR^{(+)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3,69}{0,000166} \approx 221595,68 \text{ В/мкс}. \quad (10)$$

Анализ рис. 14 позволяет установить, что максимальная скорость «спада» выходного напряжения ( $SR^{(-)}$ ) заднего фронта переходного процесса в БУ (рис. 12) при  $C_{kl}=0$  пФ не превышает величины:

$$SR^{(-)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3,69}{0,0109} \approx 338,61 \text{ В/мкс}, \quad (11)$$

где  $U_{\text{вых.мах}}$  – максимальная амплитуда сигнала на выходе БУ.

При введении корректирующего конденсатора  $C_{kl}=20$  пФ  $SR^{(-)}$  БУ существенно увеличивается:

$$SR^{(-)} = \frac{0,9U_{\text{вых.мах}} - 0,1U_{\text{вых.мах}}}{t_0 - t_1} = \frac{3,69}{0,00222} \approx 1663,96 \text{ В/мкс}. \quad (12)$$

**Результаты и обсуждение.** Сравнение параметров известных [11–21] и предлагаемых в настоящей статье схем быстродействующих БУ показывает, что для CMOS технологий предлагаемые методы повышения SR обеспечивают повышение максимальной скорости нарастания выходного напряжения для переднего фронта более чем на три порядка, а максимальная скорость «спада» выходного напряжения для заднего фронта повышается более чем в 5 раз. Такая асимметрия по  $SR^{(+)}$  и  $SR^{(-)}$  связана с разными частотными и импульсными свойствами используемых CMOS с р- и n-каналами. Для арсенид-галлиевых и комплементарных ВJT технологий применение дифференцирующих цепей коррекции переходного процесса в БУ также имеет высокую эффективность.

**Выводы.** Разработан и исследован схемотехнический прием повышения быстродействия классических выходных каскадов аналоговых микросхем, в т.ч. операционных усилителей, обеспечивающий минимизацию влияния паразитных емкостей источников опорного тока и проходных емкостей выходных транзисторов на максимальную скорость нарастания выходного напряжения. Компьютерное моделирование предлагаемого семейства выходных каскадов при их реализации на кремниевых ВJT и CMOS транзисторах, а также арсенид-галлиевых pJFET и p-n-p биполярных транзисторов показывает, что в рассмотренных БУ SR увеличивается на один-три порядка.

Научная новизна предложенного подхода состоит в разработке схемотехнического метода повышения максимальной скорости нарастания выходного напряжения (SR) выходных каскадов операционных усилителей, связанного с введением специальных дифференцирующих цепей коррекции переходного процесса в режиме большого сигнала. В настоящее время задача повышения SR выходных каскадов решается путем применения технологических процессов с малыми топологическими нормами (12-60 нм), что позволяет уменьшить паразитные емкости источников опорного тока и емкостей коллектор-база применяемых транзисторов. Однако, такие топологические нормы для многих микроэлектронных предприятий России сегодня недоступны.

Для повышения SR выходных каскадов возможно также существенное увеличение статических токов входных транзисторов, что позволяет увеличить скорость перезаряда паразитных емкостей. Однако, такой подход ухудшает их энергетические показатели в статическом режиме.

Рассмотренный схемотехнический прием повышения быстродействия выходных каскадов ОУ за счет введения дифференцирующей цепи коррекции переходного процесса и варианты ее практической реализации рассматриваются впервые. Схемотехника БУ защищена патентом РФ.

Применение рассмотренного в статье схемотехнического приема позволит улучшить SR выходного каскада для положительного фронта с 171 В/мкс до 221595 В/мкс. При этом время фронта переходного процесса уменьшается с 0,0215 мкс до 0,0000166 мкс.

Практическая значимость полученных результатов для российских предприятий, выпускающих операционные усилители и другие функциональные узлы устройств автоматики и вычислительной техники, состоит в возможности получения повышенных значений SR БУ, изготавливаемых по достигнутым в России топологическим нормам.

Рассмотренные схемотехнические решения рекомендуется использовать в широком классе аналоговых устройств (операционные усилители, компараторы, компенсационные стабилизаторы напряжения, фильтры на переключаемых конденсаторах и т.п.), реализуемых на основе современных технологических процессов, в т.ч. BJT, JFET, CMOS, SiGe, GaAs, SOI и т.п.

Исследование выполнено за счет гранта Российского научного фонда № 23-79-10069, <https://rscf.ru/project/23-79-10069/>.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Дворников О.В., Павлючик А.А., Прокопенко Н.Н., Чеховский В.А. и др. Унифицированные схемотехнические решения аналоговых арсенид-галлиевых микросхем // Известия вузов. Электроника. – 2022. – Т. 27, № 4. – С. 475-488. – DOI: <https://doi.org/10.24151/1561-5405-2022-27-4-475-488>.
2. Chumakov V., Pakhomov I., Klejmenkin D.V., Kunts A. Gallium arsenide buffer amplifier: preprint. – 2021. – URL: <https://doi.org/10.36227/techrxiv.17194979.v1>.
3. Жук А.А., Павлючик А.А., Прокопенко Н.Н., Пахомов И.В. Арсенид-галлиевый выходной каскад усилителя мощности, № RU 2767976 в 2022.
4. Чумаков В.Е., Прокопенко Н.Н., Титов А.Е., Кунц А.В. Арсенид-галлиевый буферный усилитель, № RU 2766868 в 2022.
5. Прокопенко Н.Н., Жук А.А., Бугакова А.В. Арсенид-галлиевый буферный усилитель, № RU 2784046 в 2022.
6. Прокопенко Н.Н., Жук А.А., Сергеенко М.А. Биполярно-полевой арсенид-галлиевый буферный усилитель, № RU 2796638 в 2023.
7. Zampardi P.J., Sun M., Cismaru C., Li J. Prospects for a BiCFET III-V HBT Process // Compound Semiconductor Integrated Circuit Symposium (CSICS). – 2012. – P. 1-3.
8. Sun, M., Li, J., Zampardi, P.J., Ramanathan, R., Metzger, A.G., Cismaru, C., Ho, V., Rushing, L., Stevens, K.S., Chaplin, M., & Welser, R.E. A High Yield Manufacturable BiFET Epitaxial Profile and Process for High Volume Production // CS MANTECH Conference, Vancouver, British Columbia, Canada, 2006. – P. 149-152.
9. Cheng S.C., Chung J.T., Tsai S.H., Huang F.H., Lin C.K., Williams D., and Wang Y.C. Advanced BiHEMT Technology with 0.25 $\mu$ m Enhancement Mode pHEMT for 5G Sub-6GHz Power Amplifier Applications // IEEE Journal of the Electron Devices Society. – 2021. – Vol. 9. – P. 734-740. – DOI: 10.1109/JEDS.2021.3097193.
10. Дворников О.В., Павлючик А.А., Прокопенко Н.Н., Чеховский В.А., Кунц А.В., Чумаков В.Е. Арсенид-галлиевый аналоговый базовый кристалл // Проблемы разработки перспективных микро- и наноэлектронных систем – 2021: Сб. трудов / под общ. ред. академика РАН А.Л. Стемповского. – М.: ИПИМ РАН, 2021. – С. 47-54.
11. Nobuyuki O. Driving circuit, № JP 2000165158 in 2000.
12. Прокопенко Н.Н., Никуличев Н.Н. Операционный усилитель, № RU 2234797 в 2004.
13. Monticelli D.M. Capacitive feedback to boost amplifier slew rate, No. US 4701720A in 1987.
14. Feliz G. F., Dobkin R. C. Operational amplifier having improved slew rate, No. US 5128631 in 1992.
15. Murray K. W., Halbert J. M. Method for bias rail buffering, No. US 6429744 B2 in 2002.
16. Atsushi Y., Naoto Y. Operational amplifier, No. US 6268769 B1 in 2001.
17. Smith D., Koen M. and Witulski A.F. Evolution of high-speed operational amplifier architectures // IEEE Journal of Solid-State Circuits. – Oct. 1994. – Vol. 29, No. 10. – P. 1166-1179. – DOI: 10.1109/4.315199.
18. Escobar-Bowser P. Operational amplifier output stage, № US 6466062 B2 in 2002.
19. Smith D. L., Zakowicz R. J. Linear and multi-sin h transconductance circuits, № US 6489848 in 2002.
20. Lu L.-J., Chu P.-H., Huang W.-C. and Liao Y.-T. A CMOS Buffer Amplifier with Slew-Rate Enhancement and Power Saving Techniques // 2023 International VLSI Symposium on Technology, Systems and Applications (VLSI-TSA/VLSI-DAT), HsinChu, Taiwan, 2023. – P. 1-2. – DOI: 10.1109/VLSI-TSA/VLSI-DAT57221.2023.10134266.
21. Oh Y. -J. et al. A High Slew-rate Wide-range Capacitive Load Driving Buffer Amplifier with Correlated Dual Positive Feedback Loops // 2022 19th International SoC Design Conference (ISOC), Gangneung-si, Republic of Korea, 2022. – P. 231-232. – DOI: 10.1109/ISOC56007.2022.10031525.

22. Хоровиц П., Хилл У. Искусство схемотехники: пер. с англ. – 2-е. изд. – М.: Изд-во БИНОМ, 2014. – 704 с.
23. Прокопенко Н.Н., Будяков А.С., Крюков С.В. Выходной каскад операционного усилителя, № RU 2311729 в 2007.
24. Прокопенко Н.Н., Будяков А.С., Сергеев А.И. Выходной каскад быстродействующего операционного усилителя, № RU 2309528 в 2007.
25. Toumazou C. Low input resistance current-mode feedback operational amplifier input stage, No. US 5351012 in 1994.
26. Barile G., Centurelli F., Ferri G., et al. A New Fully Closed-Loop, High-Precision, Class-AB CCI for Differential Capacitive Sensor Interfaces // *Electronics*. – 2022. – 11. – No. 6. – P. 1-16. – DOI: 10.3390/electronics11060903.
27. Bee E.C. Class AB complementary output stage, № US 5475343 in 1995.
28. Knausz I. System and method for providing slew rate enhancement for two stage CMOS amplifiers, No. US 7362173B1 in 2008.
29. Senderowicz D., Nicollini G. CMOS output stage with large voltage swing and with stabilization of the quiescent current, No. US 4730168A in 1988.
30. Huijsing J.H., Hogervorst R. and J. de Langen K. Low-power low-voltage VLSI operational amplifier cells // in *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*. – 1995. – Vol. 42, No. 11. – P. 841-852. – DOI: 10.1109/81.477183.
31. Wei X., Jueping C. & Jinzhi L. A high-speed operational amplifier with gain boosting and slew rate enhancement circuits // *IEICE Electronics Express*. – 2025. – Vol. 22, No. 9. – P. 1-6. – DOI: 10.1587/elex.22.20250107.

## REFERENCES

1. Dvornikov O.V., Pavlyuchik A.A., Prokopenko N.N., Chekhovskiy V.A. i dr. Unified circuit design solutions for analog gallium arsenide microchips, *Izvestiya vuzov. Elektronika* [Izvestiya Vuzov. Electronics], 2022, Vol. 27, No. 4, pp. 475-488. DOI: <https://doi.org/10.24151/1561-5405-2022-27-4-475-488>.
2. Chumakov V., Pakhomov I., Klejmenkin D.V., Kunts A. Gallium arsenide buffer amplifier: preprint, 2021. Available at: <https://doi.org/10.36227/techrxiv.17194979.v1>.
3. Zhuk A.A., Pavlyuchik A.A., Prokopenko N.N., Pakhomov I.V. Arsenid-gallievyy vykhodnoy kaskad usilitelya moshchnosti, № RU 2767976 в 2022 [Gallium Arsenide Output Stage of a Power Amplifier, No. RU 2767976 in 2022].
4. Chumakov V.E., Prokopenko N.N., Titov A.E., Kunts A.V. Arsenid-gallievyy bufernyy usilitel', № RU 2766868 в 2022 [Gallium Arsenide Buffer Amplifier, No. RU 2766868 in 2022].
5. Prokopenko N.N., Zhuk A.A., Bugakova A.V. Arsenid-gallievyy bufernyy usilitel', № RU 2784046 в 2022 [Gallium Arsenide Buffer Amplifier, No. RU 2784046 in 2022].
6. Prokopenko N.N., Zhuk A.A., Sergeenko M.A. Bipolarno-polevoy arsenid-gallievyy bufernyy usilitel', № RU 2796638 в 2023 [Bipolar-field arsenide-gallium buffer amplifier, No. RU 2796638 in 2023].
7. Zampardi P.J., Sun M., Cismaru C., Li J. Prospects for a BiCFET III-V HBT Process, *Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2012, pp. 1-3.
8. Sun, M., Li, J., Zampardi, P.J., Ramanathan, R., Metzger, A.G., Cismaru, C., Ho, V., Rushing, L., Stevens, K.S., Chaplin, M., & Welser, R.E. A High Yield Manufacturable BiFET Epitaxial Profile and Process for High Volume Production, *CS MANTECH Conference, Vancouver, British Columbia, Canada*, 2006, pp. 149-152.
9. Cheng S.C., Chung J.T., Tsai S.H., Huang F.H., Lin C.K., Williams D., and Wang Y.C. Advanced BiHEMT Technology with 0.25 $\mu$ m Enhancement Mode pHEMT for 5G Sub-6GHz Power Amplifier Applications, *IEEE Journal of the Electron Devices Society*, 2021, Vol. 9, pp. 734-740. DOI: 10.1109/JEDS.2021.3097193.
10. Dvornikov O.V., Pavlyuchik A.A., Prokopenko N.N., Chekhovskiy V.A., Kunts A.V., Chumakov V.E. Arsenid-gallievyy analogovyy bazovyy kristall [Arsenide-gallium analog base crystal], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2021: Sb. trudov* [Problems of Development of Advanced Micro- and Nano-Electronic Systems - 2021. Collection of Papers], under the general editorship of Academician of the Russian Academy of Sciences A.L. Stempkovskogo. Moscow: IPPM RAN, 2021, pp. 47-54.
11. Nobuyuki O. Driving circuit, No. JP 2000165158 in 2000.
12. Prokopenko N.N., Nikulichev N.N. Operatsionnyy usilitel', № RU 2234797 в 2004 [Operational amplifier, № RU 2234797 in 2004].
13. Monticelli D.M. Capacitive feedback to boost amplifier slew rate, No. US 4701720A in 1987.
14. Feliz G. F., Dobkin R. C. Operational amplifier having improved slew rate, No. US 5128631 in 1992.
15. Murray K. W., Halbert J. M. Method for bias rail buffering, No. US 6429744 B2 in 2002.

16. Atsushi Y., Naoto Y. Operational amplifier, No. US 6268769 B1 in 2001.
17. Smith D., Koen M. and Witulski A.F. Evolution of high-speed operational amplifier architectures, *IEEE Journal of Solid-State Circuits*, Oct. 1994, Vol. 29, No. 10, pp. 1166-1179. DOI: 10.1109/4.315199.
18. Escobar-Bowser P. Operational amplifier output stage, No. US 6466062 B2 in 2002.
19. Smith D. L., Zakowicz R. J. Linear and multi-sin h transconductance circuits, No. US 6489848 in 2002.
20. Lu L.-J., Chu P -H., Huang W.-C. and Liao Y.-T. A CMOS Buffer Amplifier with Slew-Rate Enhancement and Power Saving Techniques, *2023 International VLSI Symposium on Technology, Systems and Applications (VLSI-TSA/VLSI-DAT)*, HsinChu, Taiwan, 2023. – P. 1-2. – DOI: 10.1109/VLSI-TSA/VLSI-DAT57221.2023.10134266.
21. Oh Y. -J. et al. A High Slew-rate Wide-range Capacitive Load Driving Buffer Amplifier with Correlated Dual Positive Feedback Loops, *2022 19th International SoC Design Conference (ISOCC)*, Gangneung-si, Republic of Korea, 2022, pp. 231-232. DOI: 10.1109/ISOCC56007.2022.10031525.
22. Khorovits P., Khill U. *Iskusstvo skhemotekhniki [The art of electronics]: transl. from engl. 2nd ed.* Moscow: Izd-vo BINOM, 2014, 704 p.
23. Prokopenko N.N., Budyakov A.S., Kryukov S.V. Vykhodnoy kaskad operatsionnogo usilitelya, № RU 2311729 v 2007 [Output stage of an operational amplifier, № RU 2311729 in 2007].
24. Prokopenko N.N., Budyakov A.S., Sergeenko A.I. Vykhodnoy kaskad bystrodeystvuyushchego operatsionnogo usilitelya, № RU 2309528 v 2007 [Output stage of a fast-acting operational amplifier, No. RU 2309528 in 2007].
25. Toumazou C. Low input resistance current-mode feedback operational amplifier input stage, No. US 5351012 in 1994.
26. Barile G., Centurelli F., Ferri G., et al. A New Fully Closed-Loop, High-Precision, Class-AB CCII for Differential Capacitive Sensor Interfaces, *Electronics*, 2022, 11, No. 6, pp. 1-16. DOI: 10.3390/electronics11060903.
27. Bee E.C. Class AB complementary output stage, No. US 5475343 in 1995.
28. Knausz I. System and method for providing slew rate enhancement for two stage CMOS amplifiers, No. US 7362173B1 in 2008.
29. Senderowicz D., Nicollini G. CMOS output stage with large voltage swing and with stabilization of the quiescent current, No. US US4730168A in 1988.
30. Huijsing J.H., Hogervorst R. and J. de Langen K. Low-power low-voltage VLSI operational amplifier cells, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 1995, Vol. 42, No. 11, pp. 841-852. DOI: 10.1109/81.477183.
31. Wei X., Jueping C. & Jinzhi L. A high-speed operational amplifier with gain boosting and slew rate enhancement circuits, *IEICE Electronics Express*, 2025, Vol. 22, No. 9, pp. 1-6. DOI: 22.10.1587/elex.22.20250107.

**Жук Алексей Андреевич** – Донской государственный технический университет; e-mail: alexey.zhuk96@mail.ru; г. Ростов-на-Дону, Россия; тел.: +79185880301; младший научный сотрудник отдела «Управление научных исследований»; старший преподаватель кафедры «Информационные системы и радиотехника».

**Гавлицкий Александр Иванович** – Донской государственный технический университет; e-mail: gavlitkiy@shemotehnika.org; г. Ростов-на-Дону, Россия; тел.: +79185560279; к.т.н.; доцент кафедры «Информационные системы и радиотехника».

**Прокопенко Николай Николаевич** – Донской государственный технический университет; e-mail: prokopenko@sssu.ru; г. Ростов-на-Дону, Россия; тел.: +79281201984; д.т.н.; профессор; зав. кафедрой «Информационные системы и радиотехника».

**Zhuk Alexey Andreevich** – Don State Technical University; e-mail: alexey.zhuk96@mail.ru; Rostov-on-Don, Russia; phone: +79185880301; junior research fellow of the “Office of Scientific Research”; senior lecturer of the Department “Information Systems and Radio Engineering”.

**Gavlitkiy Alexander Ivanovich** – Don State Technical University; e-mail: gavlitkiy@shemotehnika.org; Rostov-on-Don, Russia; phone: +79185560279; cand. of eng. sc.; associate professor of the Department “Information Systems and Radio Engineering”.

**Prokopenko Nikolay Nikolaevich** – Don State Technical University; e-mail: prokopenko@sssu.ru; Rostov-on-Don, Russia; phone: +79281201984; junior research fellow of the “Office of Scientific Research”; dr. of eng. sc.; professor; head of Department “Information Systems and Radio Engineering”.