

**О.В. Дворников, В.А. Чеховский, Н.Н. Прокопенко, А.В. Кунц, В.Е. Чумаков**

**СРАВНИТЕЛЬНЫЙ АНАЛИЗ ДВУХ- И ОДНОКАСКАДНЫХ ВТТ-ДФЕТ  
ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ\***

*Рассмотрены операционные усилители с разным количеством усилительных каскадов, реализованные на комплементарных биполярных транзисторах и входных полевых транзисторах, с управляющим р-п-переходом. Для элементов базового матричного кристалла МН2ХА031 приведены оригинальные электрические схемы трех вариантов усилителей (ОАmp11.3, ОАmp12, ОАmp14), содержащих одинаковый блок смещения статического режима и выходной каскад. Схема ОАmp11.3 содержит входной дифференциальный каскад в виде «перегнутого» каскада на р-ДФЕТ и промежуточный усилительный каскад на биполярных транзисторах. Операционный усилитель ОАmp12 включает входной двоярный истоковый повторитель на р-ДФЕТ и «перегнутый» каскад на комплементарных биполярных транзисторах. Схема ОАmp14 реализована на основе двоярных истоковых повторителей на р-ДФЕТ и высокоточном преобразователе напряжение-ток на комплементарных биполярных транзисторах в промежуточных каскадах. Представленные электрические схемы характеризуются малым напряжением смещения нуля, сравнительно большим коэффициентом усиления по напряжению и могут использоваться для применения в аппаратуре специального и двойного назначения. При проектировании ОУ на базовом матричном кристалле МН2ХА031 проводился поиск компромиссного сочетания входного тока, уровня шумов и коэффициента усиления по напряжению, причем особое внимание уделялось выбору режима работы входных ДФЕТ. Исследованы возможности создания схем с одним усилительным каскадом, которые обычно обеспечивают меньший уровень шумов, простую частотную коррекцию и большую полосу пропускания. Для адекватного сравнения разработанных усилителей выполнено моделирование их статических и динамических параметров при одинаковом рабочем режиме идентичных по назначению схемных элементов, что позволило сформулировать рекомендации по схемотехническому синтезу операционных усилителей в зависимости от требуемого сочетания параметров. При оптимизации режима работы транзисторов «перегнутого» каскада с входными ДФЕТ были использованы рекомендации, заключающиеся в необходимости увеличения крутизны входных ДФЕТ транзисторов и падения напряжения на эмиттерных резисторах источников опорного тока.*

*Операционный усилитель; полевые транзисторы; управляемые р-п-переходом; базовый матричный кристалл; «перегнутый» каскад.*

**O.V. Dvornikov, V.A. Tchekhovski, N.N. Prokopenko, A.V. Kunts, V.E. Chumakov**

**COMPARATIVE ANALYSIS OF TWO- AND SINGLE-STAGE BJT-JFET  
OPERATIONAL AMPLIFIERS**

*Operational amplifiers with different number of amplifying stages realized on complementary bipolar transistors and input field-effect transistors, with control p-n junction are considered. For the elements of the master slice array МН2ХА031 the original electrical schematics of three amplifier variants (OАmp11.3, OАmp12, OАmp14) containing the same static mode bias block and output stage are given. The OАmp11.3 circuit contains an input differential stage in the form of a "folded" cascode on p-JFETs and an intermediate amplifier stage on bipolar transistors. The operational amplifier OАmp12 includes an input dual source-repeater on p-JFETs and an "folded" cascode on complementary bipolar transistors. The OАmp14 circuit is realized on the basis of dual source repeaters on p-JFETs and a high-precision voltage-to-current converter on complementary bipolar transistors in the intermediate stages. The presented electrical circuits are characterized by low zero offset voltage, relatively high voltage gain and can be used for application in*

\* Исследование выполнено за счет гранта Российского научного фонда (проект № 22-29-00637).

*special and dual-purpose equipment. When designing the Op-Amp circuits on the master slice array MN2XA031 the search for a compromise combination of input current, noise level and voltage gain was carried out, and special attention was paid to the choice of the operating mode of the input JFETs. Single amplifier stage circuits, which typically provide lower noise, simple frequency correction, and larger bandwidth, were investigated. For an adequate comparison of the developed amplifiers the modeling of their static and dynamic parameters at the same operating mode of identical circuit elements has been performed, which allowed to formulate recommendations on circuit synthesis of operational amplifiers depending on the required combination of parameters. When optimizing the operating mode of the transistors of the "folded" cascode with input JFETs, the recommendations consisting in the necessity to increase the steepness of the input JFET transistors and the voltage drop across the emitter resistors of the reference current sources were used.*

*Operational amplifier; junction field effect transistors; JFET-input operational amplifier; master slice array; folded cascode.*

**Введение.** Для применения в аппаратуре специального и двойного назначения на комплементарных биполярных транзисторах (Bipolar Junction Transistor, BJT) базового матричного кристалла (БМК) MN2XA031 [1–2] разработан прецизионный операционный усилитель (ОУ) OAmpl0, который характеризуется малым напряжением смещения нуля  $V_{OFF}$  и большим коэффициентом усиления напряжения  $K_V$  [3]. Использование в OAmpl0 входных  $n-p-n$ -транзисторов и обеспечение их высокой крутизны за счет большого эмиттерного тока привело к тому, что входной ток  $I_{IN}$  OAmpl0 составляет единицы микроампер, что недопустимо для некоторых применений [4] и, таким образом, интерес представляет модернизация OAmpl0 или разработка на БМК MN2XA031 нового ОУ, сочетающего малые  $V_{OFF}$ ,  $I_{IN}$  и высокий  $K_V$ .

Известно, что возможно десятикратное и более уменьшение входного тока ОУ при помощи схем компенсации [5]. Однако входной ток на уровне десятков наноампер не допустим при работе с высокоомными источниками входного сигнала и поэтому для обеспечения пикоамперных входных токов применяют ОУ с входными полевыми транзисторами (Field Effect Transistors, FET) [6–15].

Несмотря на то, что FET со структурой металл-диэлектрик-полупроводник имеют меньший ток утечки затвора, чем FET, управляемые  $p-n$ -переходом (Junction Field Effect Transistors, JFET), последние чаще применяются во входных каскадах BJT-JFET ОУ из-за меньшего уровня фликкер-шумов.

Дополнительное уменьшение входного тока в BJT-JFET ОУ можно достичь путем применения:

- ◆ входных JFET с малой площадью затвора;
- ◆ интегральных двухзатворных JFET, в которых ток утечки по верхнему затвору почти в 10 раз меньше, чем по нижнему [16];
- ◆ следящих обратных связей (ОС), фиксирующих напряжение сток-исток JFET на малом уровне [5,17, 18];
- ◆ режима работы JFET с обратномещенным переходом затвор-сток и прямомещенным переходом затвор-исток, при котором достигается компенсация тока, протекающего через затвор.

К сожалению, указанные способы приводят к уменьшению крутизны входных JFET и росту спектральной плотности напряжения шума  $e_N$ , отнесенной ко входу ОУ.

Так, применение на входе OAmpl0 истокового повторителя на двухзатворных  $p$ -JFET с разным соединением нижнего затвора обеспечило уменьшение входного тока в модернизированных усилителях OAmpl0J.1 и OAmpl0J.2 до 9,9 нА и 6,2 нА, но соответственно привело к росту  $e_N$  в 3,9 и 10,7 раз по сравнению с OAmpl0 [19].

Таким образом, при проектировании ВJT-JFET ОУ необходим поиск компромиссного сочетания входного тока, уровня шумов и коэффициента усиления напряжения, причем особое внимание целесообразно уделить выбору режима работы входных JFET и изучению возможности создания схем с одним усилительным каскадом [20–21], которые обычно обеспечивают меньший уровень шумов, простую частотную коррекцию и большую полосу пропускания [17].

Целью настоящей работы является сравнительный анализ реализованных на БМК МН2ХА031 трех вариантов ВJT-JFET ОУ, имеющих одинаковый блок смещения и выходной каскад, одинаковый рабочий режим идентичных по назначению схемных элементов и отличающихся только количеством и схемотехникой усилительных каскадов, что позволит сформулировать рекомендации по схемотехническому синтезу ОУ в зависимости от требуемого сочетания параметров.

**1. Электрические схемы ВJT-JFET ОУ.** Разработанные для программного обеспечения LTSpice электрические схемы ОУ приведены на рис. 1-3. Указанные на схемах сопротивления резисторов получены последовательно-параллельным соединением имеющихся на БМК МН2ХА031 резисторов с сопротивлением 1,05 кОм и 2,45 кОм. Все ОУ содержат одинаковый блок смещения и выходной каскад, а также двухзатворные JFET с каналом *p*-типа и соединенными верхним и нижним затвором. Последнее объясняется тем, что на БМК МН2ХА031 имеются только малосигнальные *p*-JFET с малой крутизной и двухзатворные *p*-JFET, максимальное значение крутизны которых обеспечивается при соединении верхнего и нижнего затворов и превышает более, чем в 10 раз крутизну малосигнальных *p*-JFET.

Блок смещения реализован на повторителях тока на *p-n-p*-транзисторах (X1, X2, X13, X14), *n-p-n*-транзисторах (X11, X12, X16, X17) и JFET источнике тока X15, R18.

Известно, что для JFET существует напряжение затвор-исток  $V_{GS}$ , при котором температурное изменение тока стока  $I_D$  минимально, т.е.  $\Delta I_D / \Delta T \approx 0$  при  $V_{GS} = V_{ZTC}$ . Абсолютная величина напряжения  $|V_{ZTC}|$  чаще всего на 0,66 В меньше напряжения отсечки  $|V_{TH}|$  [5]. При разработке схем более удобно задавать термостабильный режим работы JFET выбором величины тока стока  $I_{ZTC}$ , соответствующего  $V_{ZTC}$ . Обычно полагают, что  $I_{ZTC} \approx 0,2 \cdot I_{D_{MAX}}$  [17], где  $I_{D_{MAX}} = I_D$  при  $V_{GS} = 0$ ,  $V_{DS} = V_{TH}$ . Сопротивление резистора R8 выбрано для обеспечения тока стока X15 около 120 мкА. Как следует из рис. 4, установленная величина тока стока X15 очень близка к термостабильному значению тока стока применяемого JFET, для которого  $V_{TH} \approx 1,8$  В,  $V_{ZTC} = 1,273$  В,  $I_{ZTC} \approx 135$  мкА.

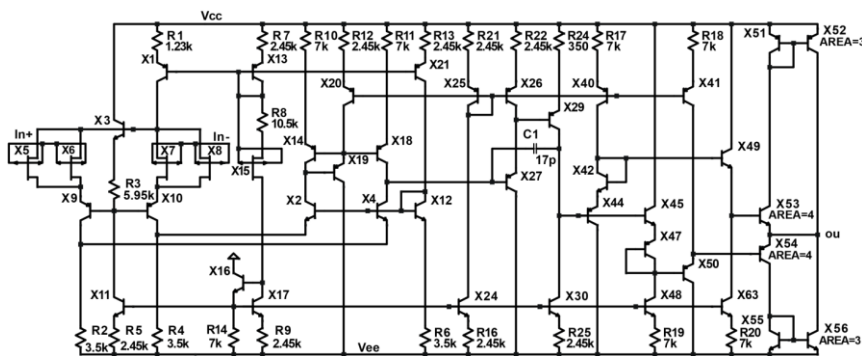


Рис. 1. Электрическая схема ОАтр11.3

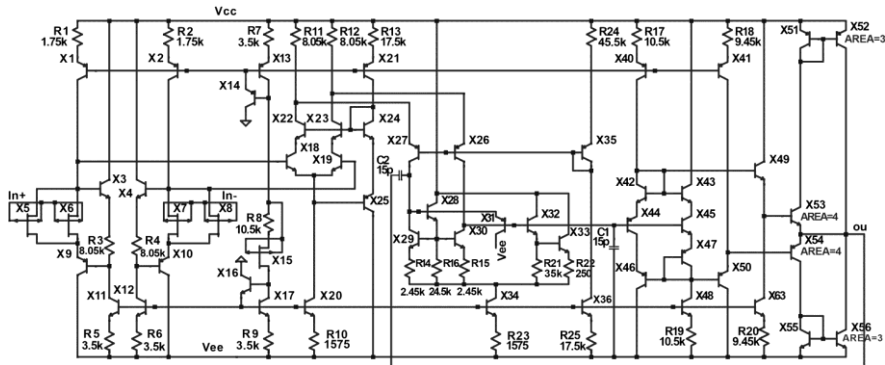


Рис. 2. Электрическая схема OAmpl12

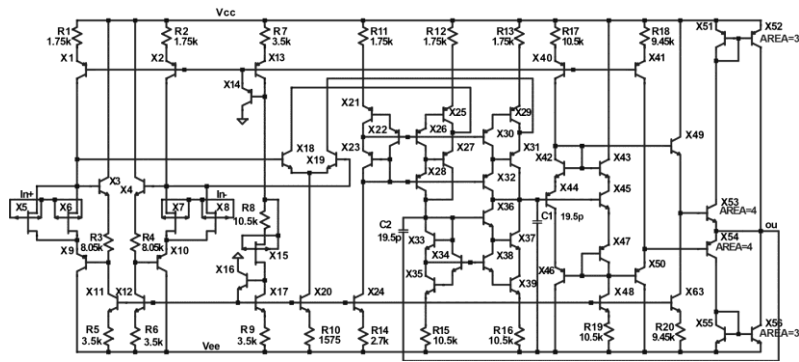


Рис. 3. Электрическая схема OAmpl14

Выходной каскад представляет собой последовательное соединением трех эмиттерных повторителей на комплементарных ВТТ: X44 и X45, X49 и X50, X53 и X54. Дополнительно с выходом ОУ соединены выходы повторители тока X51 и X52, X55 и X56. Площадь эмиттерных переходов транзисторов X53 и X54 в 4 раза, а X56 и X52 в 3 раза больше площади эмиттерных переходов остальных *n-p-n*- и *p-n-p*-транзисторов схемы соответственно. Повторители тока выходного каскада увеличивают запас по фазе ОУ при работе на емкостную нагрузку, но одновременно увеличивают ток потребления в режиме холостого хода на 680 мкА, что составляет около 28% суммарного тока потребления всего ОУ. По указанной причине при работе на резистивную нагрузку повторители тока X51 и X52, X55 и X56 могут быть удалены.

В выходном каскаде усилителей OAmpl12 (рис. 2) и OAmpl14 (рис. 3) применена следящая ОС на транзисторах X43 и X46, поддерживающая постоянное напряжение на коллекторных переходах транзисторов X45 и X44 соответственно, что одновременно увеличивает входное малосигнальное сопротивление выходного каскада и позволяет значительно уменьшить его входной ток при суммировании разнонаправленных базовых токов транзисторов X44 и X45 при изменении выходного напряжения ОУ.

Такая следящая ОС применена только в ОУ OAmpl12, OAmpl14, в которых все усиление обеспечивается одним усилительным каскадом.

На входе ОУ OAmpl12, OAmpl14 расположены два истоковых повторителя, в которых применены параллельное соединение *p*-JFET (X5, X6 и X7, X8) для увеличения крутизны и следящая ОС на X3, R3, X9 (X4, R4, X10), устанавливающая

постоянное напряжение исток-сток входных  $p$ -JFET. Выбирая сопротивление резисторов R3 и R4 можно обеспечить малое падение напряжения исток-сток входных  $p$ -JFET и, следовательно, малый входной ток ОУ, однако при этом уменьшается крутизна  $p$ -JFET и растет спектральная плотность напряжения шума, отнесенной ко входу ОУ.

Входной каскад ОУ OAmpl1.3 (рис. 1) очень похож на каскады рис. 2, 3. Однако он является дифференциальным, так как истоки X5, X6, X7, X8 соединены с источником тока на X1, а выходной сигнал снимается с резистивных нагрузок R2, R4, по которым протекает ток стока входных  $p$ -JFET.

Таким образом, основным отличием всех разработанных ОУ является количество и схемотехника усилительных каскадов.

В ОУ OAmpl1.3 входной каскад совместно с транзисторами с общей базой X2, X4 и нагрузкой в виде повторителя тока X14, X18, X19 образует «перегнутый» каскад, выходной сигнал которого через эмиттерный повторитель на X27 поступает на второй усилительный каскад на X29, X30 [23]. Особенности OAmpl1.3 являются:

- ♦ минимизация напряжения смещения нуля ОУ путем полной схемной симметрии нагрузок входных JFET и транзисторов X2, X4, а именно, цепи, соединенные с коллекторами X2 (X14, X19, X20) и X4 (X18, X25, X27), содержат одинаковые схемные элементы, работающие при одинаковом токе;

- ♦ сопротивления резисторов выбраны таким образом, что эмиттерные токи источников тока усилительных каскадов (за исключением X1) составляют около 120 мкА, и падение напряжения на этих резисторах около 300 мВ;

- ♦ коррекция амплитудно-частотной характеристики (АЧХ), обеспечивающая требуемый запас по фазе при частоте единичного усиления, обеспечивается использованием эффекта Миллера во втором каскаде, т.е. емкостной ОС на конденсаторе C1 между входом и выходом инвертирующего усилительного каскада.

При оптимизации режима работы транзисторов «перегнутого» каскада с входными JFET были использованы рекомендации, выработанные ранее для уменьшения шумов, заключающиеся в необходимости увеличения крутизны входных JFET и падения напряжения на эмиттерных резисторах источников тока, увеличения отношения токов  $I_{D5}/I_{C4}$  ( $I_{D7}/I_{C2}$ ), замены транзисторных источников тока, соединенных с эмиттерами X2, X4, на резисторы R2, R4 с максимально возможным сопротивлением [25].

Единственный усилительный каскад ОУ OAmpl12 (рис. 2) выполнен по схеме «перегнутого» каскада с входными  $n-p-n$ -транзисторами X18, X19,  $p-n-p$ -транзисторами X26, X27, включенными по схеме с общей базой, и активной нагрузкой в виде повторителя тока на X28-X30 [25]. В нем применены две цепи следящей ОС:

- ♦ X22-X25 стабилизирует коллекторное напряжение транзисторов X18, X19;

- ♦ X31-X34 стабилизирует коллекторное напряжение транзисторов X29, X30 активной нагрузки, что обеспечивает крайне высокое значение их выходного малосигнального сопротивления, увеличивает  $K_V$  и уменьшает  $V_{OFF}$ .

В однокаскадных ОУ затруднительно применить эффект Миллера для коррекции АЧХ, поэтому требуемый запас по фазе обеспечивают два одинаковых по номиналу конденсатора C1 и C2, соединенных с коллекторами транзисторов X29, X30 активной нагрузки.

В качестве усилительного каскада OAmpl14 (рис. 3) использован преобразователь напряжение-ток, содержащий дифференциальный каскад с входными  $n-p-n$ -транзисторами X18, X19, источники тока X25-X28, X29-X32 и высокоточный повторитель тока X33-X39, подробно рассмотренные в [17]. Коррекция АЧХ выполнена способом аналогичным усилителю OAmpl12.

**2. Анализ результатов моделирования.** Целью параметрической оптимизации разработанных ОУ было обеспечение  $V_{OFF} < 100$  мкВ,  $I_{IN} < 50$  пА,  $K_V > 10^5$ ,  $e_N < 10$  нВ/Гц<sup>0,5</sup> при минимальном токе потребления.

Для адекватного сравнения разработанных усилителей выполнено моделирование их статических и динамических параметров при одинаковом рабочем режиме идентичных по назначению схемных элементов, выбранном для получения одинакового тока потребления. Так, при токе потребления всех ОУ около  $2,42 \pm 5\%$  мА, коллекторные токи транзисторов, перезаряжающих корректирующие емкости, составили  $24 \pm 3\%$  мкА, входной ток выходного каскада (сумма базовых токов Х44 и Х45) – от 35 до 64 нА, суммарный ток потребления выходного каскада (сумма коллекторного тока Х52 и эмиттерного тока Х53) в режиме холостого хода –  $0,87 \pm 1\%$  мА. Кроме того, выбор корректирующих конденсаторов позволил достичь одинаковый запас по фазе всех ОУ в  $48,8 \pm 1\%$  градус.

Результаты схемотехнического моделирования температурных зависимостей и основных параметров приведены на рис. 4-5 и табл. 1.

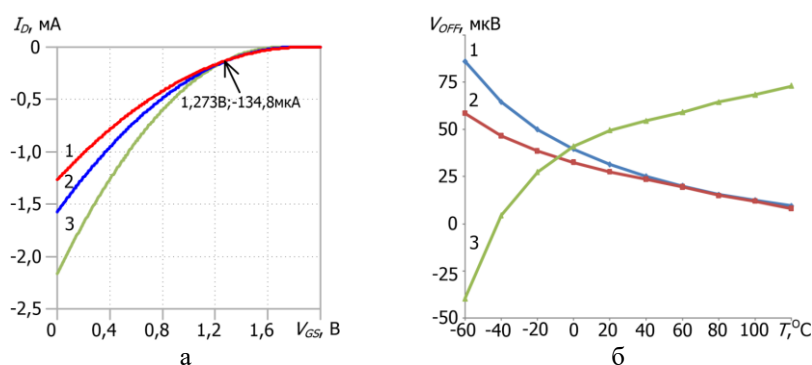


Рис. 4. Зависимость тока стока  $I_D$  от напряжения затвор-исток  $V_{GS}$  двухзатворного р-JFET с соединенными затворами при разных температурах  $T$ : 1 –  $T = 90^\circ\text{C}$ ; 2 –  $T = 30^\circ\text{C}$ ; 3 –  $T = -60^\circ\text{C}$  (а), зависимость напряжения смещения нуля  $V_{OFF}$  от температуры  $t$ : 1 – OАmp12, 2 – OАmp14, 3 – OАmp11.3 (б)

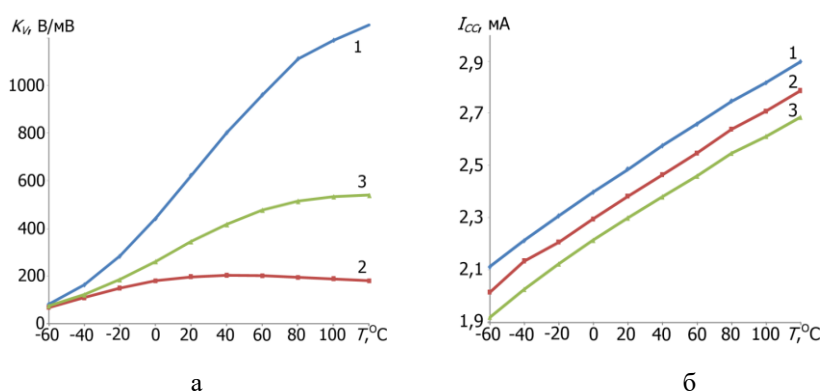


Рис. 5. Зависимость коэффициента усиления напряжения  $K_V$  от температуры  $t$ : 1 – OАmp12, 2 – OАmp14, 3 – OАmp11.3 (а), зависимость тока потребления в режиме холостого хода  $I_{CC}$  от температуры  $t$ : 1 – OАmp12, 2 – OАmp14, 3 – OАmp11.3 (б)

Таблица 1

**Результаты схемотехнического моделирования операционных усилителей  
при  $t=30^{\circ}\text{C}$**

Наименование ОУ	ОАmp11.3	ОАmp12	ОАmp14
Напряжение питания, В	-5/5	-5/5	-5/5
Ток потребления в режиме холостого хода, мА	2,33	2,52	2,41
Напряжение смещения нуля*, мкВ	51,5	29,0	26,0
Коэффициент усиления напряжения*	$3,7 \cdot 10^5$	$6,9 \cdot 10^5$	$2 \cdot 10^5$
Диапазон выходного напряжения*, В	-3,13...3,22	-2,97...3,01	-2,99...3,0
Входной ток при допустимом входном синфазном напряжении, пА	12,6...34,7	11,7...32,7	11,4...32,7
Частота единичного усиления**, МГц	3,5	15,1	13,4
Запас по фазе при частоте единичного усиления**, град	48,7	49,1	48,6
Спектральная плотность напряжения шума, отнесенная ко входу при $f=1$ кГц, нВ/Гц <sup>0,5</sup>	8,98	7,67	8,06
Примечание. * - $R_{LOAD}=100$ Ом; ** - $R_{LOAD}=1$ МОм, $C_{LOAD}=10$ пФ			

Анализ результатов моделирования позволяет сделать следующие выводы:

1. Все разработанные усилители удовлетворяют требованиям по статическим параметрам и уровню шумов:  $V_{OFF}<100$  мкВ,  $I_N<50$  пА,  $K_V>10^5$ ,  $e_N<10$  нВ/Гц<sup>0,5</sup> при  $f=1$  кГц.

2. Однокаскадный ОУ ОАmp14 на основе высокоточного преобразователя напряжение-ток характеризуется минимальным температурным изменением коэффициента усиления и напряжения смещения нуля, в то время как ОАmp12 имеет максимальное усиление в нормальных условиях.

3. Частота единичного усиления однокаскадных ОУ ОАmp12, ОАmp14 почти в 4 раза превышает значение для двухкаскадного ОУ ОАmp11.3 при том же токе потребления и запасе по фазе.

4. Сравнение ОУ ОАmp12 с предыдущей версией близкого по схемотехнике усилителя ОАmp10J.1 показывает, что возможно уменьшение шума в 1,8 раза и увеличение быстродействия в 2,9 раза за счет увеличения в 4,5 раза тока потребления. По указанной причине необходимо четко формулировать приоритеты для параметрической оптимизации ОУ.

**Заключение.** Для элементов БМК МН2ХА031 разработано несколько схем ОУ с входными  $p$ -JFET, содержащие одинаковый блок смещения и выходной каскад и отличающиеся количеством усилительных каскадов и их схемотехникой. В двухкаскадном ОУ ОАmp11.3 требуемое усиление обеспечивается за счет применения входного дифференциальный каскада в виде «перегнутого» каскада на  $p$ -JFET и усилительного каскада на биполярных транзисторах, в однокаскадном ОАmp12 – использования «перегнутого» каскада на комплементарных биполярных транзисторах, в однокаскадном ОАmp14 – применения высокоточного преобразователя напряжение-ток на комплементарных биполярных транзисторах, причем малый входной ток ОАmp12, ОАmp14 обусловлен расположением на их входах двоярных истоковых повторителей на  $p$ -JFET.

Все разработанные усилители обеспечивают высокий уровень статических параметров и малые шумы:  $V_{OFF} < 100$  мкВ,  $I_{IN} < 50$  пА,  $K_V > 10^5$ ,  $e_N < 10$  нВ/Гц<sup>0.5</sup> при  $f = 1$  кГц и токе потребления около  $2,42 \pm 5\%$  мА. В то же время частота единичного усиления однокаскадных ОУ ОАmp12, ОАmp14 почти в 4 раза превышает значение для двухкаскадного ОУ ОАmp11.3 при том же токе потребления и запасе по фазе.

Так как на уровень шумов и быстродействие однокаскадных ОУ значительно влияет их ток потребления, то необходимо четко формулировать приоритеты для параметрической оптимизации ОУ.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Дворников О.В., Чеховский В.А., Прокопенко Н.Н., Галкин Я.Д., Куц А.В., Чумаков В.Е. Проектирование аналоговых микросхем для экстремальных условий эксплуатации на основе базового матричного кристалла МН2ХА031 // Проблемы разработки перспективных микро и наноэлектронных систем (МЭС). – 2021. – №. 2. – С. 37-46.
2. Prokopenko N.N., Dvornikov O.V., Zhuk A.A. A Family of High-Speed Voltage Repeaters and Output Stages of Analog Chips Based on Radiation-Resistant Analog Master Slice Array Crystals МН2ХА030/031 // 2023 25th International Conference on Digital Signal Processing and its Applications (DSPA). IEEE, 2023. – P. 1-5.
3. Дворников О.В., Чеховский В.А., Прокопенко Н.Н., Галкин Я.Д., Куц А.В., Чумаков В.Е. Быстродействующие широкополосные операционные усилители на базовом матричном кристалле // Известия вузов. Электроника. – 2023. – Т. 28, № 1. – С. 96-111.
4. Carter B., Mancini R. Op Amps for Everyone. – 5th ed. – Elsevier. Newnes, 2017. – 486 p. – ISBN: 978-0-12-811648-7.
5. Dostal J. Operational Amplifier // Studies in electrical and electronic engineering 4. – Elsevier. 1981. – 488 p.
6. Tsegaye Menberu Genzebu. Design of High Gain and High Slew Rate Two-Stage CMOS Operational Amplifier for Medical Instrumentation // PREPRINT (Version 1) available at Research Square. July 2023. – 13 p.
7. Wyers E.J. Accurate Geometric Programming-Compatible Slew Rate Modeling for Two-Stage Operational Amplifier Design Optimization // IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). Shenzhen, China, 2022. – P. 185-189. – DOI: 10.1109/APCCAS55924.2022.10090335.
8. Sivakumari K., Srinivasulu A., Venkata Reddy V. A high slew rate, low voltage CMOS class-AB amplifier // International Conference on Applied Electronics. Czech Republic. – 2014. – P. 267-270. – DOI: 10.1109/AE.2014.7011717.
9. Tripathy D., Bhadra P. A High Speed Two Stage Operational Amplifier with High CMRR // 3rd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT). Bangalore, India, 2018. – P. 255-259. – DOI: 10.1109/RTEICT42901.2018.9012268.
10. Yavari M., Maghari N., Shoaie O. An accurate analysis of slew rate for two-stage CMOS opamps // IEEE Transactions on Circuits and Systems II: Express Briefs. – 2005. – Vol. 52, No. 3. – P. 164-167. – DOI: 10.1109/TCSII.2004.842058.
11. Parthipan A., Krishna K.L., Kumar V.N., Hareesh C., Raviteja B. and Varshath C.V. A High Performance CMOS Operational Amplifier // 3rd International Conference on Computing Methodologies and Communication (ICCMC). Erode, India, 2019. – P. 702-706. – DOI: 10.1109/ICCMC.2019.8819641.
12. Kavyashree C.L., Hemambika M., Dharani K., Naik A.V. and Sunil M.P. Design and implementation of two stage CMOS operational amplifier using 90nm technology // International Conference on Inventive Systems and Control (ICISC). Coimbatore, India, 2017. – P. 1-4. – DOI: 10.1109/ICISC.2017.8068601.
13. Snoeij M.F., Ivanov M.V. A 36V JFET-input bipolar operational amplifier with  $1\mu\text{V}/^\circ\text{C}$  maximum offset drift and  $-126\text{dB}$  total harmonic distortion // IEEE International Solid-State Circuits Conference. San Francisco, USA, 2011. – P. 248-250. – DOI: 10.1109/ISSCC.2011.5746305.
14. Davis W. and Vyne R. A monolithic P-channel JFET QUAD operational amplifier // IEEE International Solid-State Circuits Conference. Digest of Technical Papers. San Francisco, USA. 1984. – P. 288-289. – DOI: 10.1109/ISSCC.1984.1156588.



15. *Snoeij M.* A 36V 48MHz JFET-Input Bipolar Operational Amplifier with 150 $\mu$ V Maximum Offset and Overload Supply Current Control // ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC). Dresden, Germany, 2018. – P. 290-293. – DOI: 10.1109/ESSCIRC.2018.8494262.
16. *Close J.P., Counts L.W.* A 50-fA junction-isolated operational amplifier // IEEE Journal of Solid – State Circuits. – 1988. – 23 (3). – P. 843-851. – DOI: 10.1109/4.328.
17. *Riemer D.W.* An 10 nV/square root Hz JFET input precision operational amplifier // Proceedings on Bipolar Circuits and Technology Meeting. Minneapolis, USA, 1990. – P. 223-225. – DOI: 10.1109/BIPOL.1990.171168.
18. *Полонников Д.Е.* Операционные усилители. Принципы построения, теория, схемотехника. – М.: Энергоатомиздат, 1983. – 216 с.
19. *Дворников О.В., Чеховский В.А., Галкин Я.Д., Кунц А.В.* Программируемые быстродействующие операционные усилители для аппаратуры специального и двойного назначения // 10-я Международная научная конференция по военно-техническим проблемам, проблемам обороны и безопасности, использования технологий двойного назначения: сборник научных статей, Государственный военно-промышленный комитет Республики Беларусь. – Минск: Четыре четверти, 2023. – С. 169-172.
20. *Ramirez-Angulo J., Holmes M.* A simple technique to significantly enhance slew rate and bandwidth of one-stage CMOS operational amplifiers // 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353). Phoenix-Scottsdale. USA, 2002. – P. II-II. – DOI: 10.1109/ISCAS.2002.1011483.
21. *Hoi Lee P.K.T. Mok.* Single-point-detection slew-rate enhancement circuits for single-stage amplifiers // 2002 IEEE International Symposium on Circuits and Systems (ISCAS). Phoenix-Scottsdale. USA, 2002. – P. II-II. – DOI: 10.1109/ISCAS.2002.1011482.
22. *Aminzadeh H., Danaie M., Lotfi R.* A low-power design methodology for single-stage operational amplifiers // International Conference on Design and Test of Integrated Systems in Nanoscale Technology. Tunis, Tunisia, 2006. – P. 62-67. – DOI: 10.1109/DTIS.2006.1708694.
23. *Close Santos.* A JFET input single supply operational amplifier with rail-to-rail output // 1993 Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting. Minneapolis, USA, 1993. – P. 149-152. – DOI: 10.1109/BIPOL.1993.617487.
24. *Dvornikov O.V., Tchekhovsci V.A., Prokopenko N.N., Pakhomov I.V.* Reducing noises of high-speed Bi-JFET charge-sensitive amplifiers during schematic design // IOP Conf. Series: Materials Science and Engineering. – 2020. – 862. – P. 8. – DOI:10.1088/1757-899X/862/2/022068.
25. *Bowers D.F., Wurcer S.A.* Recent developments in bipolar operational amplifiers // Proceedings of the 1999 Bipolar/BiCMOS Circuits and Technology Meeting. – 1999. – P. 38-45. – DOI: 10.1109/BIPOL.1999.803521.

## REFERENCES

1. *Dvornikov O.V., Chekhovskiy V.A., Prokopenko N.N., Galkin Ya.D., Kunts A.V., Chumakov V.E.* Proektirovanie analogovykh mikroskhem dlya ekstremal'nykh usloviy ekspluatatsii na osnove bazovogo matrichnogo kristalla MN2KHA031 [Designing analog microcircuits for extreme operating conditions on the master slice array crystals MH2XA031], *Problemy razrabotki perspektivnykh mikro i nanoelektronnykh sistem (MES)* [Problems of development of advanced micro and nanoelectronic systems (MNS)], 2021, No. 2, pp. 37-46.
2. *Prokopenko N.N., Dvornikov O.V., Zhuk A.A.* A Family of High-Speed Voltage Repeaters and Output Stages of Analog Chips Based on Radiation-Resistant Analog Master Slice Array Crystals MH2XA030/031, *2023 25th International Conference on Digital Signal Processing and its Applications (DSPA)*. IEEE, 2023, pp. 1-5.
3. *Dvornikov O.V., Chekhovskiy V.A., Prokopenko N.N., Galkin Ya.D., Kunts A.V., Chumakov V.E.* Bystrodeystvuyushchie shirokopolosnye operatsionnye usiliteli na bazovom matrichnom kristalle [Fast wide-band operational amplifiers on themaster slice array], *Izvestiya vuzov. Elektronika* [Izvestiya vuzov. Electronics], 2023, Vol. 28, No. 1, pp. 96-111.
4. *Carter B., Mancini R.* Op Amps for Everyone. 5th ed. Elsevier. Newnes, 2017, 486 p. ISBN: 978-0-12-811648-7.
5. *Dostal J.* Operational Amplifier, *Studies in electrical and electronic engineering 4*. Elsevier. 1981, 488 p.

6. *Tsegaye Menberu Genzebu*. Design of High Gain and High Slew Rate Two-Stage CMOS Operational Amplifier for Medical Instrumentation, *PREPRINT (Version 1) available at Research Square*. July 2023, 13 p.
7. *Wyers E.J.* Accurate Geometric Programming-Compatible Slew Rate Modeling for Two-Stage Operational Amplifier Design Optimization, *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. Shenzhen, China, 2022, pp. 185-189. DOI: 10.1109/APCCAS55924.2022.10090335.
8. *Sivakumari K., Srinivasulu A., Venkata Reddy V.* A high slew rate, low voltage CMOS class-AB amplifier, *International Conference on Applied Electronics. Czech Republic*, 2014, pp. 267-270. DOI: 10.1109/AE.2014.7011717.
9. *Tripathy D., Bhadra P.* A High Speed Two Stage Operational Amplifier with High CMRR, *3rd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*. Bangalore, India, 2018, pp. 255-259. DOI: 10.1109/RTEICT42901.2018.9012268.
10. *Yavari M., Maghari N., Shoaie O.* An accurate analysis of slew rate for two-stage CMOS opamps, *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2005, Vol. 52, No. 3, pp. 164-167. DOI: 10.1109/TCSII.2004.842058.
11. *Parthipan A., Krishna K.L., Kumar V.N., Hareesh C., Raviteja B. and Varshath C.V.* A High Performance CMOS Operational Amplifier, *3rd International Conference on Computing Methodologies and Communication (ICCMC)*. Erode, India, 2019, pp. 702-706. DOI: 10.1109/ICCMC.2019.8819641.
12. *Kavyashree C.L., Hemambika M., Dharani K., Naik A.V. and Sunil M.P.* Design and implementation of two stage CMOS operational amplifier using 90nm technology, *International Conference on Inventive Systems and Control (ICISC)*. Coimbatore, India, 2017, pp. 1-4. DOI: 10.1109/ICISC.2017.8068601.
13. *Snoei M.F., Ivanov M.V.* A 36V JFET-input bipolar operational amplifier with  $1\mu\text{V}/^\circ\text{C}$  maximum offset drift and  $-126\text{dB}$  total harmonic distortion, *IEEE International Solid-State Circuits Conference*. San Francisco, USA, 2011, pp. 248-250. DOI: 10.1109/ISSCC.2011.5746305.
14. *Davis W. and Vyne R.* A monolithic P-channel JFET QUAD operational amplifier, *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. San Francisco, USA, 1984, pp. 288-289. DOI: 10.1109/ISSCC.1984.1156588.
15. *Snoei M.* A 36V 48MHz JFET-Input Bipolar Operational Amplifier with  $150\mu\text{V}$  Maximum Offset and Overload Supply Current Control, *ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC)*. Dresden, Germany, 2018, pp. 290-293. DOI: 10.1109/ESSCIRC.2018.8494262.
16. *Close J.P., Counts L.W.* A 50-fA junction-isolated operational amplifier, *IEEE Journal of Solid – State Circuits.*, 1988, 23 (3), pp. 843-851. DOI: 10.1109/4.328.
17. *Riemer D.W.* An 10 nV/square root Hz JFET input precision operational amplifier, *Proceedings on Bipolar Circuits and Technology Meeting*. Minneapolis, USA, 1990, pp. 223-225. DOI: 10.1109/BIPOL.1990.171168.
18. *Polonnikov D.E.* Operatsionnye usiliteli. Printsipy postroeniya, teoriya, skhemotekhnika [Operational amplifiers. Principles of construction, theory, circuitry]. Moscow: Energoatomizdat, 1983, 216 p.
19. *Dvornikov O.V., Chekhovskiy V.A., Galkin Ya.D., Kunts A.V.* Programmiruemye bystrodeystvuyushchie operatsionnye usiliteli dlya apparatury spetsial'nogo i dvoynogo naznacheniya [Programmable fast operational amplifiers for special and dual-purpose equipment], *10-ya Mezhdunarodnaya nauchnaya konferentsiya po voenno-tekhicheskim problemam, problemam oborony i bezopasnosti, ispol'zovaniya tekhnologiy dvoynogo naznacheniya: sbornik nauchnykh statey, Gosudarstvennyy voenno-promyshlennyy komitet Respubliki Belarus'* [10th International Scientific Conference on Military and Technical Problems, Defense and Security Problems, Use of Dual-Use Technologies: collection of scientific articles, State Military-Industrial Committee of the Republic of Belarus]. Minsk: CHetyre chetverti, 2023, pp. 169-172.
20. *Ramirez-Angulo J., Holmes M.* A simple technique to significantly enhance slew rate and bandwidth of one-stage CMOS operational amplifiers, *2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353)*. Phoenix-Scottsdale, USA, 2002, pp. II-II. DOI: 10.1109/ISCAS.2002.1011483.

21. Hoi Lee P.K.T. Mok. Single-point-detection slew-rate enhancement circuits for single-stage amplifiers, *2002 IEEE International Symposium on Circuits and Systems (ISCAS)*. Phoenix-Scottsdale, USA, 2002, pp. II-II. DOI: 10.1109/ISCAS.2002.1011482.
22. Aminzadeh H., Danaie M., Lotfi R. A low-power design methodology for single-stage operational amplifiers, *International Conference on Design and Test of Integrated Systems in Nanoscale Technology*. Tunis, Tunisia, 2006, pp. 62-67. DOI: 10.1109/DTIS.2006.1708694.
23. Close Santos. A JFET input single supply operational amplifier with rail-to-rail output, *1993 Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*. Minneapolis, USA, 1993, pp. 149-152. DOI: 10.1109/BIPOL.1993.617487.
24. Dvornikov O.V., Tchekhovsci V.A., Prokopenko N.N., Pakhomov I.V. Reducing noises of high-speed Bi-JFET charge-sensitive amplifiers during schematic design, *IOP Conf. Series: Materials Science and Engineering*, 2020, 862, pp. 8. DOI:10.1088/1757-899X/862/2/022068.
25. Bowers D.F., Wurcer S.A. Recent developments in bipolar operational amplifiers, *Proceedings of the 1999 Bipolar/BiCMOS Circuits and Technology Meeting*, 1999, pp. 38-45. DOI: 10.1109/BIPOL.1999.803521.

Статью рекомендовал к опубликованию д.т.н. Ю.А. Кравченко.

**Дворников Олег Владимирович** – ОАО «Минский научно-исследовательский приборостроительный институт»; e-mail: oleg\_dvornikov@tut.by; г. Минск, Беларусь; д.т.н.; доцент; г.н.с.

**Чеховский Владимир Алексеевич** – Институт ядерных проблем Белорусского государственного университета; e-mail: vtchek@hep.by; г. Минск, Беларусь; зав. лабораторией электронных методов и средств эксперимента.

**Кунц Алексей Вадимович** – e-mail: alexeykunts97@gmail.com; научный сотрудник лаборатории электронных методов и средств эксперимента; аспирант кафедры микро- и нанoeлектроники Белорусского государственного университета информатики и радиоэлектроники.

**Прокопенко Николай Николаевич** – Донской государственный технический университет; e-mail: prokopenko@sssu.ru; г. Ростов-на-Дону, Россия; д.т.н.; профессор; зав. кафедрой информационных систем и радиотехники; зав. научно-исследовательской лабораторией проблем проектирования в экстремальных условиях Института проблем проектирования в микроэлектронике РАН наук и Донского государственного технического университета.

**Чумаков Владислав Евгеньевич** – e-mail: chumakovdssa@gmail.com; тел.: 8636224595; кафедра информационных систем и радиотехники; аспирант.

**Dvornikov Oleg Vladimirovich** – “Minsk Scientific Research Instrument-Making Institute” JSC; e-mail: oleg\_dvornikov@tut.by; Minsk, Belarus; dr. of eng. sc.; associate professor; chief researcher.

**Tchekhovski Vladimir Alekseevich** – Institute of Nuclear Problems, Belarusian State University; e-mail: vtchek@hep.by; Minsk, Belarus; head of the electronic methods and experimental means laboratory.

**Kunts Alexey Vadimovich** – e-mail: alexeykunts97@gmail.com; scientific researcher of the electronic methods and experimental means laboratory; postgraduate student of the micro and nanoelectronics department, Belarusian State University of Informatics and Radioelectronics.

**Prokopenko Nikolay Nikolaevich** – Don State Technical University; e-mail: prokopenko@sssu.ru; Rostov-on-Don, Russia; dr. of eng. sc.; professor; head of the information systems and radio engineering department; head of the research laboratory of design problems in extreme microelectronics, institute for design problems in microelectronics of the RAS and Don State Technical University.

**Chumakov Vladislav Evgenievich** – e-mail: chumakovdssa@gmail.com; phone: 8636224595; the department of information systems and radio engineering; postgraduate student.