

Н.О. Васильев, П.И. Фролова, Г.А. Иванова, А.Н. Щелоков

**МЕТОДЫ ЛОГИЧЕСКОГО РЕСИНТЕЗА ДЛЯ ТОПОЛОГИЧЕСКОГО
ПРОЕКТИРОВАНИЯ МИКРОЭЛЕКТРОННЫХ СХЕМ***

С уменьшением технологических норм возрастает число правил проектирования. Для сокращения временных затрат на проверку правил проектирования для технологий 22 нм и ниже переходят к использованию регулярных структур в нижних слоях топологии. При проектировании схем на основе регулярного шаблона становится возможным совмещение логического и топологического этапов проектирования. Данная задача также актуальна для проектирования схем на ПЛИС. В данной работе рассматривается метод структурной оптимизации логических схем на этапе топологического проектирования. Метод адаптирован для применения в маршруте проектирования схем с регулярными структурами в нижних слоях топологии, а также для ресинтеза технологических отображений на ПЛИС. Для схем с применением регулярных структур предлагается метод логического синтеза в базисе элементов, для которых построены компактные топологические шаблоны. Это позволяет упростить этап топологического проектирования, а также ведет к дополнительному снижению площади проектируемого устройства. Оптимизация логических схем для ПЛИС проводится при помощи алгоритма моделирования отжига, производящего логические операции над специальной графовой моделью, учитывающей особенности ПЛИС. Учет особенностей различных технологий в предлагаемом методе позволяет добиться хороших результатов по необходимым параметрам, в частности по занимаемой проектируемой схемой площади.

Ресинтез; транзисторы с вертикальным затвором (FinFET); КМОП технология; ПЛИС.

N.O. Vasilyev, P.I. Frolova, G.A. Ivanova, A.N. Schelokov

**LOGIC RESYNTHESIS METHODS FOR LAYOUT DESIGN
OF MICROELECTRONIC CIRCUITS**

As the size of electronic components decreases, the number of design rules increases. To reduce design rules checking runtime for 22 nm and below technologies, regular structures are used in the lower layers of the layout. When designing circuits based on a regular template, it becomes possible to combine the logical and layout design stages. This task is also relevant for designing circuits on FPGAs. This paper discusses a method for structural optimization of logic circuits at the stage of layout design. The method is adapted for use in the design route of circuits with regular structures in the lower layers of the layout, as well as for resynthesis of technology mappings on FPGAs. When working with circuits with regular structures, logical synthesis is used in the basis of elements for which compact layout templates are built. This approach simplifies the layout design stage, and also leads to an additional reduction in the area of the designed device. Optimization of logic circuits for FPGAs is carried out using a simulated annealing algorithm that performs logic operations on a special graph model that takes into account the features of the FPGA. Taking into account the features of various technologies in the proposed method allows achieving good results in terms of such parameters as the area occupied by the circuit.

Resynthesis; vertical gate transistors (FinFET); CMOS technology; FPGA.

Введение. Перспективными направлениями развития отечественной микроэлектронной промышленности в данный момент времени являются программируемые логические интегральные схемы (ПЛИС) и схемы с применением транзисторов с вертикальным затвором (FinFET).

* Исследование выполнено при финансовой поддержке РФФИ в рамках научных проектов № 20-07-00425, 18-07-00621.

Существует несколько причин, объясняющих возросший интерес к развитию таких технологий, как FinFET. Одна из основных причин приближение существующих КМОП-технологии к пределу своего масштабирования, что выражается в существенной деградации электрических параметров транзисторов при дальнейшем уменьшении технологических норм производства [1, 2]. Применение FinFET технологии позволяет снизить негативные эффекты, возникающие при уменьшении размеров транзисторов [3].

Популярности ПЛИС также способствовали несколько факторов. Одним из таких факторов является то, что уменьшение технологических норм ведет к увеличению стоимости производства интегральных схем. Из-за этого стоимость ошибки проектировщика многократно возросла за последнее время. В связи с этим среди компаний, имеющих отношение к микроэлектронной области, возник повышенный интерес к использованию ПЛИС для прототипирования разрабатываемых устройств [4, 5]. Другим фактором, объясняющим популярность ПЛИС, является то, что при производстве схем небольшими партиями стоимость единицы продукции получается довольно высокой. Компании, потребность которых в интегральных схемах ограничена небольшими объемами, предпочитают использовать ПЛИС.

Однако для работы с описанными технологиями необходимы специализированные методы проектирования. В частности, необходима разработка методов структурной оптимизации схем на этапах логического и топологического синтеза. В данной работе предлагаются методы оптимизации цифровых схем с применением FinFET, а также для схем, синтезируемых на ПЛИС.

1. Структурная оптимизация комбинационных схем с применением регулярных структур. Применение FinFET позволяет увеличить эффективную ширину затвора полевых транзисторов, которая будет определяться как $2 \cdot n \cdot h$, где n – число плавников, h – высота плавника, по сравнению со схемами, применяющими планарные структуры [6]. Таким образом, более широкие транзисторы с более высокими токами получаются при использовании нескольких плавников. Шаг плавника (p) – минимальное расстояние между соседними плавниками, которое определяется разрешающей способностью литографии на конкретном технологическом узле. Используя спейсерную литографию, p может уменьшиться до значения, равного половине разрешающей способности литографии [7]. Однако проектирование схем с применением данной технологии значительно усложняется. Для уменьшения количества проверок соблюдения правил проектирования на этапе топологического проектирования предъявляются требования к регулярности нижних слоев в транзисторных структурах. При этом, требования к регулярности возрастают с уменьшением технологических норм.

Для удовлетворения требований регулярности транзисторных структур в предлагаемом методе были разработаны компактные топологические шаблоны логических элементов (Рис. 1) [8]. Компактность достигается за счет выбора направления ориентации каждого из транзисторов. Под направлением ориентации транзистора понимается взаимное расположение стока и истока в топологии транзистора. Если в топологии исток находится левее стока, то ориентация считается нормальной, иначе – зеркальной. Выбор ориентации позволяет уменьшить необходимое количество изолирующих затворов путем объединения областей диффузии [9]. Для этого необходимо, чтобы контакты, расположенные слева и справа от изолирующего затвора, были подключены к одному узлу в цепи.

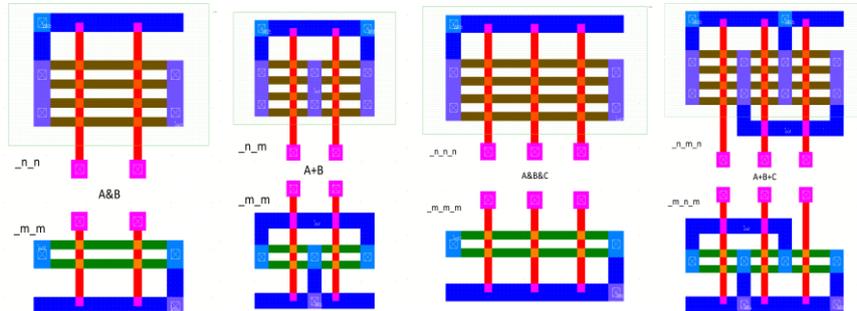


Рис. 1. Шаблоны функций $A \& B$, $A + B$, $A \& B \& C$ и $A + B + C$

Для представления логических функций используется графовая модель на основе графа вложенности последовательно-параллельных структур (SP-граф) [10]. SP-граф – это направленный ациклический граф $G = (V, E)$ [11], вершины которого из множества V соответствуют одной из следующих логических функций: конъюнкция, дизъюнкция, инверсия, конъюнкция с отрицанием, дизъюнкция с отрицанием; а ребра из множества E ссылаются на аргументы соответствующей функции (Рис. 2).

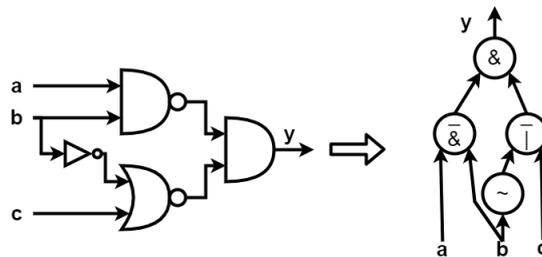


Рис. 2. SP-граф для некоторой схемы

На этапе ресинтеза производится оптимизация логической структуры схемы. Для этого в цикле оптимизации на каждой итерации выбирается подграф, над которым производятся логические преобразования с целью оптимизации схемы по необходимым параметрам. В качестве таких параметров обычно выступают занимаемая схемой площадь, быстродействие и потребляемая мощность.

При логической оптимизации синтез производится в базис элементов, для которых доступны топологические шаблоны регулярных структур. При этом, если контакты топологических шаблонов разных элементов расположены слева и справа от места соединения шаблонов подключены к одному и тому же сигналу, то данные шаблоны могут быть соединены без образования изолирующего затвора. Данный метод позволяет дополнительно снизить площадь итогового устройства.

Для сокращения количества изолирующих затворов при соединении шаблонов по аналогии с ориентацией транзистора используется понятие ориентации шаблона. Ориентация шаблонов позволяет выбрать наиболее удачный способ соединения с точки зрения занимаемой площади нескольких шаблонов.

Набор шаблонов для функций от 2 до 4 переменных позволяет эффективно отобразить в него все логические функции, встречающиеся в комбинационных схемах, с возможностью выбора наиболее оптимальной конфигурации. Использование в шаблонах большого числа переменных значительно усложняет задачу, а также приводит к формированию длинных цепочек последовательно соединенных транзисторов, которые обладают низким быстродействием [12].

2. Логическая оптимизация схем для ПЛИС. При проектировании на ПЛИС необходимо учитывать то, что базовый логический элемент для реализации задач комбинационной логики на ПЛИС выполнен в виде Look-Up Table (LUT) [13]. LUT представляет из себя логический элемент, логика работы которого может быть настроена с помощью задания конфигурационных битов. Фактически это означает, что LUT может реализовывать любую Булеву функцию, количество переменных которой не превышает количества входов в LUT в целевой архитектуре ПЛИС.

При логической оптимизации схемы для LUT обычно применяются следующие упрощения оптимизируемых параметров:

1. Для оценки площади схемы рассматривается количество необходимых для реализации данной схемы LUT [14];
2. Для быстрой оценки быстродействия используется наибольшее количество элементов на пути от первичных входов до первичных выходов [15, 16];
3. Оценка трассируемости схемы на данном этапе может производиться с помощью количества межсоединений в схеме [17].

При оптимизации схем на ПЛИС для представления логических элементов используется направленный ациклический граф $G = (V, E)$, вершины которого из множества V выполняют любую Булеву функцию и ссылаются на логические элементы схемы, а ребра множества E ссылаются на межсоединения между логическими элементами. Достоинством подобной графовой модели является то, что каждая вершина может быть отображена на один LUT.

Над этим графом определены следующие логические преобразования, которые изменяют составляющие структуру проектируемой схемы логические элементы:

1. Декомпозиция вершин разбивает одну вершину на несколько, в которых используется меньше входов, чем в исходной вершине (Рис. 3) [18];
2. Слияние вершин объединяет две вершины в одну (Рис. 3);
3. Переупорядочивание вершин меняет порядок двух вершин в графе (Рис. 4).

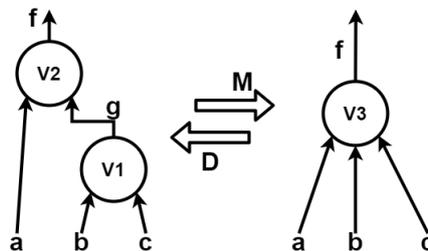


Рис. 3. Слияние (M) и декомпозиция (D) вершин графа

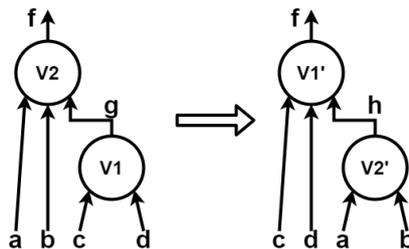


Рис. 4. Переупорядочивание вершин графа

Данные логические операции используются в цикле оптимизации, который производится так же, как и ранее описанный метод оптимизации комбинационных схем с применением регулярных структур, над окнами исходного графа [19]. Это

позволяет уменьшить пространство возможных логических состояний в каждом окне по сравнению с пространством логических состояний всего графа, что ведет к уменьшению вычислительной сложности задачи. Предложенный метод оптимизирует логическую схему по необходимым параметрам, выраженным с помощью целевой функции, в цикле алгоритма моделирования отжига [20]. Алгоритм моделирования отжига по сравнению с жадными алгоритмами стремится к достижению глобального минимума целевой функции путем принятия негативных решений в некоторых случаях.

Заключение. В данной работе были предложены методы оптимизации комбинационных схем для различных технологий микроэлектронной промышленности.

Применение логической оптимизации в сочетании с применением компактных топологических шаблонов для регулярных структур позволяет добиться дополнительного снижения занимаемой схемой площади.

В случае оптимизации логических схем для ПЛИС применение алгоритма моделирования отжига в цикле оптимизации ведет к дополнительной оптимизации схемы по необходимым параметрам, определенным в целевой функции, путем стремления к глобальному минимуму заданной функции.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Hu C.* Gate oxide scaling limits and projection // International Electron Devices Meeting. Technical Digest. – IEEE, 1996. – P. 319-322.
2. *Yeo Y.C., King T.J., Hu C.* MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations // IEEE Transactions on Electron Devices. – 2003. – Vol. 50, No. 4. – P. 1027-1035.
3. *Agostinelli M.* Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology // IEEE Transactions. Very Large Scale Integrated (VLSI) Systems. – 2010. – P. 232-245.
4. *Najibi M. et al.* Prototyping globally asynchronous locally synchronous circuits on commercial synchronous FPGAs // 16th IEEE International Workshop on Rapid System Prototyping (RSP'05). – IEEE, 2005. – P. 63-69.
5. *Юрлин С.В., Бычков И.Н.* Прототипирование на основе ПЛИС для верификации многоядерных микропроцессоров // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – 2014. – №. 4. – С. 45-50.
6. *Bhattacharya D., Jha N.K.* FinFETs: From Devices to Architectures // Advances in Electronics. – 2014. – 21 p.
7. *Манукян А.А.* Исследование и разработка методов логико-топологического синтеза библиотечных элементов и блоков для КМОП технологий с трехмерным затвором транзистора: дисс. ... канд. техн. наук. – 2015. – С. 31-79.
8. *Гаврилов С.В., Иванова Г.А., Манукян А.А.* Методы проектирования заказных сложнофункциональных блоков в базе элементов с регулярной топологической структурой в слоях поликремния и диффузии // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – 2014. – №. 1. – С. 161-166.
9. *Рыжова Д.И., Васильев Н.О., Жукова Т.Д.* Алгоритм межвентильного ресинтеза на транзисторном уровне для автоматизированного проектирования микроэлектронных схем // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – 2018. – №. 1. – С. 193-198.
10. *Гаврилов С.В., Карева Е.С., Рыжова Д.И.* Алгоритмы логико-топологического синтеза библиотечных элементов и блоков с регулярной структурой для технологических норм проектирования 32 нм // Известия высших учебных заведений. – 2017. – Т. 22, №. 4. – P. 42017369.
11. *Bryant R.E.* Graph-based algorithms for boolean function manipulation // Computers, IEEE Transactions on. – 1986. – Vol. 100, No. 8. – P. 677-691.
12. *Талалай М.С.* Метод логико-топологического синтеза нанометровых КМОП схем на основе транзисторных шаблонов: дисс. ... канд. техн. наук. – 2012.

13. Betz V., Rose J. How much logic should go in an FPGA logic block // IEEE Design & Test of Computers. – 1998. – Vol. 15, No. 1. – P. 10-15.
14. Jones D., Lewis D.M. A time-multiplexed FPGA architecture for logic emulation // Proceedings of the IEEE 1995 Custom Integrated Circuits Conference. – IEEE, 1995. – P. 495-498.
15. Ling A., Singh D.P., Brown S.D. FPGA technology mapping: a study of optimality // Proceedings. 42nd Design Automation Conference, 2005. – IEEE, 2005. – P. 427-432.
16. Cong J., Ding Y. On area/depth trade-off in LUT-based FPGA technology mapping // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 1994. – Vol. 2, No. 2. – P. 137-148.
17. Jang S. et al. WireMap: FPGA technology mapping for improved routability // Proceedings of the 16th international ACM/SIGDA symposium on Field programmable gate arrays. – 2008. – P. 47-55.
18. Lehman E. et al. Logic decomposition during technology mapping // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 1997. – Vol. 16, No. 8. – P. 813-834.
19. Vasilyev N.O., Tiunov I.V., Ryzhova D.I. Resynthesis for FPGA During Technology Mapping Stage // 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus). – IEEE, 2019. – P. 1644-1647.
20. Vasilyev N.O., Tiunov I.V., Ryzhova D.I. The Simulated Annealing Based Logical Resynthesis Method for LUT-based FPGAs // 2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus). – IEEE, 2020. – P. 1892-1894.

REFERENCES

1. Hu C. Gate oxide scaling limits and projection, *International Electron Devices Meeting, Technical Digest*. IEEE, 1996, pp. 319-322.
2. Yeo Y.C., King T.J., Hu C. MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations, *IEEE Transactions on Electron Devices*, 2003, Vol. 50, No. 4, pp. 1027-1035.
3. Agostinelli M. Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology, *IEEE Transactions. Very Large Scale Integrated (VLSI) Systems*, 2010, pp. 232-245.
4. Najibi M. et al. Prototyping globally asynchronous locally synchronous circuits on commercial synchronous FPGAs, *16th IEEE International Workshop on Rapid System Prototyping (RSP'05)*. IEEE, 2005, pp. 63-69.
5. Yurlin S.V., Bychkov I.N. Prototipirovanie na osnove PLIS dlya verifikatsii mnogoyadernykh mikroprotessorov [FPGA-based prototyping for multi-core microprocessor verification], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of advanced micro-and nanoelectronic systems (MES)], 2014, No. 4, pp. 45-50.
6. Bhattacharya D., Jha N.K. FinFETs: From Devices to Architectures, *Advances in Electronics*, 2014, 21 p.
7. Manukyan A.A. Issledovanie i razrabotka metodov logiko-topologicheskogo sinteza biblioteknykh elementov i blokov dlya KMOP tekhnologiy s trekhmernym zatvorom tranzistora: diss. ... kand. tekhn. nauk [Research and development of methods for logical-topological synthesis of library elements and blocks for CMOS technologies with a three-dimensional transistor gate: cand. of eng. sc. diss.], 2015, pp. 31-79.
8. Gavrilov S.V., Ivanova G.A., Manukyan A.A. Metody proektirovaniya zakaznykh slozhno-funktional'nykh blokov v bazise elementov s regulyarnoy topologicheskoy strukturoy v sloyakh polikremniya i diffuzii [Methods for designing custom complex-functional blocks in the basis of elements with a regular topological structure in polysilicon and diffusion layers], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of advanced micro- and nanoelectronic systems (MES)], 2014, No. 1, pp. 161-166.
9. Ryzhova D.I., Vasil'ev N.O., Zhukova T.D. Algoritm mezhventil'nogo resinteza na tranzistornom urovne dlya avtomatizirovannogo proektirovaniya mikroelektronnykh skhem [Transistor-level interventional resynthesis algorithm for computer-aided design of microelectronic circuits], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* [Problems of development of advanced micro-and nanoelectronic systems (MES)], 2018, No. 1, pp. 193-198.

10. Gavrilov S.V., Kareva E.S., Ryzhova D.I. Algoritmy logiko-topologicheskogo sinteza biblioteknykh elementov i blokov s regulyarnoy strukturoy dlya tekhnologicheskikh norm proektirovaniya 32 nm [Algorithms for logical-topological synthesis of library elements and blocks with a regular structure for technological design standards of 32 nm], *Izvestiya vysshikh uchebnykh zavedeniy* [Proceedings of higher educational institutions], 2017, Vol. 22, No. 4, pp. 42017369.
11. Bryant R.E. Graph-based algorithms for boolean function manipulation, *Computers, IEEE Transactions on*, 1986, Vol. 100, No. 8, pp. 677-691.
12. Talalay M.S. Metod logiko-topologicheskogo sinteza nanometrovykh KMOP skhem na osnove tranzistornykh shablonov: diss. ... kand. tekhn. nauk [Method of logical-topological synthesis of nanometer CMOS circuits based on transistor templates: cand. of eng. sc. diss.], 2012.
13. Betz V., Rose J. How much logic should go in an FPGA logic block, *IEEE Design & Test of Computers*, 1998, Vol. 15, No. 1, pp. 10-15.
14. Jones D., Lewis D.M. A time-multiplexed FPGA architecture for logic emulation, *Proceedings of the IEEE 1995 Custom Integrated Circuits Conference*. IEEE, 1995, pp. 495-498.
15. Ling A., Singh D.P., Brown S.D. FPGA technology mapping: a study of optimality, *Proceedings. 42nd Design Automation Conference, 2005*. IEEE, 2005, pp. 427-432.
16. Cong J., Ding Y. On area/depth trade-off in LUT-based FPGA technology mapping, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 1994, Vol. 2, No. 2, pp. 137-148.
17. Jang S. et al. WireMap: FPGA technology mapping for improved routability, *Proceedings of the 16th international ACM/SIGDA symposium on Field programmable gate arrays*, 2008, pp. 47-55.
18. Lehman E. et al. Logic decomposition during technology mapping, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1997, Vol. 16, No. 8, pp. 813-834.
19. Vasilyev N.O., Tiunov I.V., Ryzhova D.I. Resynthesis for FPGA During Technology Mapping Stage, *2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*. IEEE, 2019, pp. 1644-1647.
20. Vasilyev N.O., Tiunov I.V., Ryzhova D.I. The Simulated Annealing Based Logical Resynthesis Method for LUT-based FPGAs, *2020 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*. IEEE, 2020, pp. 1892-1894.

Статью рекомендовал к опубликованию к.т.н. В.А. Иванов.

Васильев Николай Олегович – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: vasilyev_n@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; инженер-исследователь.

Фролова Пелагея Ильинична – e-mail: frolova_p@ippm.ru; инженер-исследователь.

Иванова Галина Александровна – e-mail: ivanova_g@ippm.ru; с.н.с.; к.т.н.

Щелоков Альберт Николаевич – e-mail: schan@ippm.ru; зам. директора; к.ф.-м.н.

Vasilyev Nikolay Olegovich – The Institute for Design Problems in Microelectronics (IPPM RAS); e-mail: vasilyev_n@ippm.ru; 3, Sovetskaya street, Zelenograd, Moscow, 124365, Russia; research engineer.

Frolova Pelageya Ilyinichna – e-mail: frolova_p@ippm.ru; research engineer.

Ivanova Galina Aleksandrovna – e-mail: ivanova_g@ippm.ru; senior researcher; cand. of eng. sc.

Schelokov Albert Nikolaevich – e-mail: schan@ippm.ru; deputy director; cand. of phys. and math. sc.