

Раздел II. Автоматизация проектирования

УДК 621.3.049.771.14

DOI 10.18522/2311-3103-2020-4-118-125

Н.О. Васильев, М.А. Заплетина, Г.А. Иванова, А.Н. Щелоков

ЛОГИЧЕСКИЙ РЕСИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ ДЛЯ ПОВЫШЕНИЯ СБОЕУСТОЙЧИВОСТИ*

При функционировании микроэлектронных устройств в условиях космоса необходимо учитывать внешние воздействия. Работа устройства в подобных условиях затрудняется негативным влиянием радиационного излучения на электронные компоненты схемы. Воздействие тяжелых заряженных частиц приводит к одиночным сбоям логических элементов, из-за чего логика работы устройства может быть нарушена. В связи с этим при проектировании электронных схем, которые будут использоваться в космических аппаратах, необходимо выполнение повышенных требований к устойчивости интегральных схем (ИС) к одиночным сбоям. По мере уменьшения технологических норм проектирования ИС проблема сбоеустойчивости становится актуальной и для изделий микроэлектроники гражданского применения. Решение данной задачи обычно осуществляется методами аппаратной защиты, к которым относятся методы помехоустойчивого кодирования, методы резервирования, а также методы логической защиты. В данной статье рассматриваются методы оценки устойчивости ИС к одиночным сбоям в логических элементах, а также основные методы защиты схем. В работе предлагается техника ресинтеза логических комбинационных схем, использующая логические ограничения, выводимые с помощью метода резолюций, для оценки устойчивости к одиночным сбоям. В ходе ресинтеза предлагается использовать методы логической защиты уязвимых участков схемы, что не влечет ощутимого роста занимаемой устройством площади, свойственного методам резервирования и помехоустойчивого кодирования.

Ресинтез; сбоеустойчивость; надежность; комбинационные схемы; логические корреляции; метод резолюций.

N.O. Vasilyev, M.A. Zapletina, G.A. Ivanona, A.N. Schelokov

LOGICAL RESYNTHESIS OF COMBINATIONAL CIRCUITS FOR RELIABILITY INCREASE

The external influences are necessary to take into account for microelectronic devices operating in space. In these conditions, the operation of the device is hampered by the negative effect of radiation on the electronic components of the circuit. Exposure of heavy charged particles leads to single faults of logic elements due to which the operation of a whole device can be violated. In this regard, the designed spacecraft electronic circuits must meet increased requirements for the fault tolerance of integrated circuits (ICs). The decrease of technological design standards for ICs makes the problem of fault tolerance to be relevant for civilian microelectronic products, also. The solution to this problem is usually carried out by methods of hardware protection, which include methods of error-correcting coding, methods of redundancy, as well as methods of logical protection. The paper considers the methods for assessing the IC tolerance to single faults in logic elements, as well as the main methods of circuits failure protection. The paper proposes a resynthesis technique for logical combinational circuits, using logical constraints derived from the resolution method to assess the IC resistance to single faults.

* Проект выполнен при поддержке РФФИ №17-19-01645.

During resynthesis, it is proposed to use the methods of logical protection of vulnerable parts of the circuit. This does not cause a perceptible increase in the area occupied by the device unlike in methods of redundancy and error-correcting coding.

Resynthesis; fault tolerance; reliability; combinational circuits; logic correlations; resolutions method.

Введение. При уменьшении технологических норм проектирования микроэлектронных устройств, помимо положительных факторов в виде увеличения плотности транзисторов на кристалле, улучшения энергоэффективности и повышения быстродействия, проявляются и отрицательные. Среди них выделяется возрастание роли динамического потребления тока, высокая сложность проверки правил топологического проектирования, учета требований к помехоустойчивости и радиационной стойкости устройства [1], а также рост количества дефектов при производстве [2].

В настоящее время логический синтез комбинационных схем с учетом повышенных требований к сбоеустойчивости является актуальной задачей маршрута проектирования микроэлектронных устройств. Методы оценки сбоеустойчивости традиционно делятся на две группы. Методы первой группы подразумевают использование наборов входных воздействий, содержащих ошибку [3]. Для каждого такого набора выполняется полная симуляция работы схемы, показывающая, приведет ли заданная ошибка к неправильной логике работы устройства. Подобные симуляции обычно требуют больших затрат вычислительных ресурсов, так как их вычислительная сложность имеет экспоненциальную зависимость от количества входов схемы [4]. Отсюда следует, что даже для схем с несколькими десятками первичных входов задача становится трудновыполнимой. Методы второй группы для решения задачи оценки помехоустойчивости используют методы статического анализа [5], при которых выполняется поиск нижней оценки сбоеустойчивости. Недостатком такого варианта является излишне пессимистическая оценка.

В данной работе предлагается метод ресинтеза логических комбинационных схем с целью повышения надежности критических участков с применением анализа логических корреляций. Использование информации о логических корреляциях в анализируемой схеме позволяет добиться большей точности в оценке сбоеустойчивости, чем при использовании статического анализа. В то же время подобный подход требует меньших вычислительных ресурсов, чем методы, подразумевающие полную симуляцию работы схемы [6].

1. Метод резолюций. Логические элементы имеют строго детерминированный характер работы. Каждая комбинация состояний входов логического элемента накладывает ограничение на возможное состояние выходов этого элемента. Например, подача логического нуля на один из входов элемента 2И ограничивает выходное состояние нулем. Нарушение логического ограничения возможно только в случае возникновения сбоя в элементе. Одним из способов представления логических ограничений является метод логических импликаций [7].

Логическая импликация представляет собой отношение между двумя узлами цепи следующего вида: $(a = n_1) \rightarrow (b = n_2)$, где n_1, n_2 – булевы состояния узлов. Также может быть использована альтернативная форма записи логической импликации с помощью литералов (литерал соответствует либо логической переменной, либо отрицанию этой переменной) [8]: $\bar{a} \rightarrow b$.

Для любого логического элемента существует множество отношений между входными и выходными узлами, которые могут быть представлены в виде логических импликаций. Например, для логического элемента 2И-НЕ они записываются следующим образом:

$$\begin{aligned} \bar{a} &\rightarrow y, \\ \bar{b} &\rightarrow y, \\ \bar{y} &\rightarrow a, \\ \bar{y} &\rightarrow b, \end{aligned}$$

где a и b – входы элемента, а y – выход. Таким образом, для элемента 2И-НЕ верно то, что логический ноль на любом из входных узлов определяет то, что выходной узел будет находиться в состоянии логической единицы, а состояние логического нуля на выходе схемы определяет то, что оба входных узла находятся в состоянии логической единицы (рис. 1).

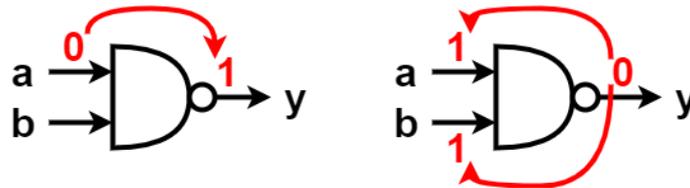


Рис. 1. Логические отношения между узлами элемента 2И-НЕ

Для вывода новых логических ограничений из уже существующих может быть использован модифицированный метод резолюций [9]. Новые логические ограничения представляются в форме суммы ограничений отношений между элементами. Например, для элемента 2И-НЕ ограничение выглядит следующим образом:

$$aby + \bar{a}\bar{y} + \bar{b}\bar{y} = 0.$$

Каждое слагаемое данной формулы наследуется от конкретной логической импликации и накладывает запрет на одну из комбинаций логических значений булевых переменных (например, $\bar{a}\bar{y}$ – на комбинацию $a = 0, y = 0$). При этом для вывода новых ограничений рекурсивно используется правило резолюций:

$$aB = 0, \bar{a}C = 0 \rightarrow BC = 0,$$

где B и C – произведения литералов.

1. Методы повышения сбоеустойчивости. При выполнении логического синтеза важно учитывать, что возникновение одиночного сбоя на одном из элементов комбинационной схемы не всегда приводит к возникновению ошибки на выходах схемы. Возникшая ошибка может быть маскирована и в итоге не окажет влияния на логику работы при некоторых входных воздействиях. Так, например, в логической схеме, изображенной на рис. 2, ошибка, возникшая на элементе $e1$, будет выявлена только в том случае, если на узел c будет подано входное воздействие, равное логическому нулю. При подаче логической единицы на узел c схема отработает корректно. Вероятность того, что ошибка не будет маскирована и приведет к сбою хотя бы на одном из выходов схемы называется наблюдаемостью.

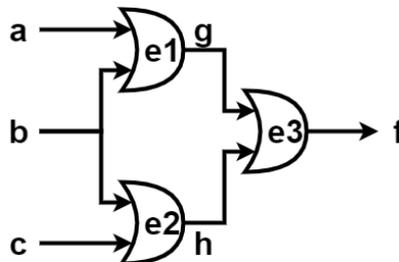


Рис. 2. Пример логической схемы

Классическим методом повышения надежности схем является использование методов резервирования [10–12]. Суть данных методов заключается в дублировании всей схемы либо её наиболее уязвимых участков с добавлением схемы-арбитра на выходе. Достоинство подобных методов заключается в том, что вероятность ошибочной работы защищенных участков схемы крайне мала, так как необходимо, чтобы сбой возник на каждой из копий [13, 14]. К недостаткам можно отнести то, что схема-арбитр также подвержена сбоям, следовательно, в случае возникновения сбоя в арбитра, логика работы схемы будет нарушена. Кроме того, резервирование существенно увеличивает необходимую для реализации схемы площадь.

Существуют также методы улучшения сбоеустойчивости с помощью использования самокорректирующихся схем. Подобные методы используют избыточное кодирование и помехоустойчивые коды [15, 16]. Надежность (сбоеустойчивость) схем, синтезированных с использованием данных методов, может превышать надежность схем, синтезированных с использованием резервирования критических участков схем [17]. Однако, такие методы в ещё большей степени увеличивают количество необходимых для реализации схемы логических элементов.

Компромиссом между необходимой для реализации микроэлектронного устройства площадью и надежностью его работы может служить ресинтез схемы с использованием целевой функции, зависящей от сбоеустойчивости. Для этого, прежде всего, необходимо определить методы и метрики, которые позволят дополнить оценку надежности схемы.

Одним из способов задания функции оценки сбоеустойчивости логических схем без привязки к технологии полупроводникового производства является коэффициент логической чувствительности, предложенный в работе [18]:

$$\alpha = \frac{1}{2^N} \sum_{\mathbf{X}, \mathbf{e}, |\mathbf{e}|=1} E(\mathbf{X}, \mathbf{e}),$$

где $E(\mathbf{X}, \mathbf{e})$ – характеристическая функция, зависящая от вектора входных сигналов \mathbf{X} и вектора ошибок \mathbf{e} . Данный коэффициент является суммой вероятностей возникновения нарушения в логике работы устройства при появлении одиночной ошибки на каждом из элементов при условии корректной работы остальных элементов [19].

Другим подходом к формированию функции надежности схемы, является использование рекурсивной функции потока ошибок (critical bit flow, CBF) [20]. Данная функция определяется следующим образом:

$$CBF(a) = CriticalBits(a) + \sum_{b \in fanins(a)} \frac{CBF(b)}{NumOfFanout(b)},$$

где $CriticalBits(a)$ – количество логических состояний элемента a , которые приведут к возникновению ошибки на выходах схемы в том случае, если в элементе схемы возник сбой; $fanins(a)$ – множество логических элементов, выходные узлы которых являются входными для элемента a ; $NumOfFanout(b)$ – количество входов в элементе b .

Функцию потока ошибок удобно использовать непосредственно во время выполнения ресинтеза, поскольку она не требует выполнения дополнительных симуляций при синтезе от первичных выходов к первичным входам. В то же время, коэффициент логической чувствительности дает более точную оценку и может быть использован для финальной оценки схемы на предмет надежности.

2. Техника логического ресинтеза комбинационных схем. Использование логических отношений между узлами схемы позволяет оценить влияние сбоя в одном из элементов на иные узлы и сделать вывод о критичности защиты опреде-

ленных участков схемы. Так, например, в схеме, изображенной на рис. 3, нахождение узла $n7$ в состоянии логического нуля определяет состояние пяти других узлов этой схемы, три из которых расположены в выходном конусе логики. Причем один из этих узлов является первичным выходом схемы. Следовательно, некорректное состояние данного узла способно вызвать ошибку функционирования всей схемы. При этом, если узел $n7$ будет находиться в состоянии логической единицы, то одной этой информации будет недостаточно для того, чтобы определить состояние других узлов схемы.

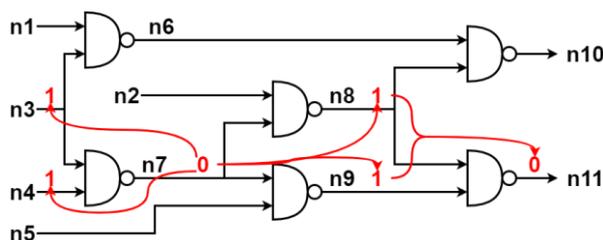


Рис. 3. Корреляции между узлами электрической схемы

Таким образом, методом резолюций построив логические импликации между элементом, в который вносится сбой, и выходными узлами схемы, можно оценить, в каких ситуациях сбой будет маскирован, а в каких окажет влияние на работу итогового устройства. При возникновении сбоя в элементе предполагается, что логика его работы инвертируется.

Применение логических ограничений потенциально может позволить добиться ускорения вычисления функции оценки сбоеустойчивости схемы. В связи с этим, для выполнения синтеза предлагается следующая последовательность действий:

- 1) вывести логические ограничения схемы с помощью метода резолюций;
- 2) с помощью векторов входных воздействий, вектора ошибок и полученных ограничений найти наиболее уязвимые участки схемы, нарушения работы которых наиболее часто приводят к сбоям на выходах;
- 3) с помощью функции потока ошибок произвести синтез схемы, заменив уязвимые участки более устойчивыми к одиночным сбоям аналогами;
- 4) оценить надежность полученной схемы с помощью коэффициента логической чувствительности.

Заключение. В представленной работе рассмотрены современные методы и подходы к оценке сбоеустойчивости логических схем, а также способы повышения их надежности. Авторами предложена методика логического синтеза комбинационных схем с применением метода резолюций, функции потока ошибок и коэффициента логической чувствительности. Предполагается, что предложенная авторами техника способна обеспечить более быстрое выполнение синтеза логических схем с целью повышения их помехоустойчивости к одиночным сбоям по сравнению с существующими подходами. Практическое исследование этой гипотезы представляет собой направление дальнейшей работы.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Mahatme N.N. et al. Impact of technology scaling on the combinational logic soft error rate // 2014 IEEE international reliability physics symposium. – IEEE, 2014. – С. 5F. 2.1-5F. 2.6.
2. Heath J.R. et al. A defect-tolerant computer architecture: Opportunities for nanotechnology // Science. – 1998. – Vol. 280, No. 5370. – P. 1716-1721.

3. *Hu Y. et al.* Robust FPGA resynthesis based on fault-tolerant Boolean matching // 2008 IEEE/ACM International Conference on Computer-Aided Design. – IEEE, 2008. – P. 706-713.
4. *Luckenbill S. et al.* RALF: Reliability analysis for logic faults—An exact algorithm and its applications // 2010 Design, Automation & Test in Europe Conference & Exhibition (Date 2010). – IEEE, 2010. – P. 783-788.
5. *Han J. et al.* Reliability evaluation of logic circuits using probabilistic gate models // Microelectronics Reliability. – 2011. – Vol. 51, No. 2. – P. 468-476.
6. *Стемковский А.Л., Тельпухов Д.В., Соловьев Р.А., Тельпухова Н.В.* Исследование вероятностных методов оценки логической уязвимости комбинационных схем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС) (IF 0,034). – 2016. – № 4. – С. 121-126.
7. *Glebov A. et al.* False-noise analysis using logic implications // IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No. 01CH37281). – IEEE, 2001. – P. 515-521.
8. *Гаврилов С.В.* Методы анализа логических корреляций для САПР цифровых КМОП СБИС: учеб. пособие. – 2011.
9. *Robinson J.A.* A machine-oriented logic based on the resolution principle // Journal of the ACM (JACM). – 1965. – Vol. 12, No. 1. – P. 23-41.
10. *Lyons R.E., Vanderkulk W.* The use of triple-modular redundancy to improve computer reliability // IBM journal of research and development. – 1962. – Vol. 6, No. 2. – P. 200-209.
11. *Kastensmidt F.L. et al.* On the optimal design of triple modular redundancy logic for SRAM-based FPGAs // Design, Automation and Test in Europe. – IEEE, 2005. – P. 1290-1295.
12. *Samudrala P.K., Ramos J., Katkooori S.* Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs // IEEE transactions on Nuclear Science. – 2004. – Vol. 51, No. 5. – P. 2957-2969.
13. *Hamamatsu M., Tsuchiya T., Kikuno T.* On the reliability of cascaded TMR systems // 2010 IEEE 16th Pacific Rim International Symposium on Dependable Computing. – IEEE, 2010. – P. 184-190.
14. *Gomes I.A. C. et al.* Exploring the use of approximate TMR to mask transient faults in logic with low area overhead // Microelectronics Reliability. – 2015. – Vol. 55, No. 9-10. – P. 2072-2076.
15. *Гуров С.И.* Спектральный R-код с проверками на чётность // Прикладная математика и информатика. – 2017. – С. 91-96.
16. *Стемковский А.Л., Тельпухов Д.В., Жукова Т.Д., Гуров С.И., Соловьев Р.А.* Методы синтеза сбоеустойчивых комбинационных КМОП схем, обеспечивающих автоматическое исправление ошибок // Известия ЮФУ. Технические науки. – 2017. – № 7 (192). – С. 197-210.
17. *Гаврилов С.В., Гуров С.И., Жукова Т.Д., Рыжова Д.И., Тельпухов Д.В.* Методы повышения сбоеустойчивости комбинационных ИМС методами избыточного кодирования // Прикладная математика и информатика: Тр. факультета Вычислительной математики и кибернетики. – М.: Изд-во факультета ВМК МГУ, 2016. – № 53. – С. 93-102.
18. *Стемковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В., Тельпухова Н.В.* Разработка технологически независимых метрик для оценки маскирующих свойств логических схем // Вычислительные технологии. – 2016. – Т. 21, № 2.
19. *Тельпухов Д.В., Соловьев Р.А., Тельпухова Н.В., Щелоков А.Н.* Оценка параметра логической чувствительности комбинационной схемы к однократным ошибкам с помощью вероятностных методов // Известия ЮФУ. Технические науки. – 2016. – № 7 (180). – С. 149-158.
20. *Cong J., Minkovich K.* LUT-based FPGA technology mapping for reliability // Proceedings of the 47th Design Automation Conference. – 2010. – P. 517-522.

REFERENCES

1. *Mahatme N.N. et al.* Impact of technology scaling on the combinational logic soft error rate, 2014 IEEE international reliability physics symposium. IEEE, 2014, pp. 5F. 2.1-5F. 2.6.
2. *Heath J.R. et al.* A defect-tolerant computer architecture: Opportunities for nanotechnology, Science, 1998, Vol. 280, No. 5370, pp. 1716-1721.
3. *Hu Y. et al.* Robust FPGA resynthesis based on fault-tolerant Boolean matching, 2008 IEEE/ACM International Conference on Computer-Aided Design. IEEE, 2008, pp. 706-713.

4. Luckenbill S. et al. RALF: Reliability analysis for logic faults—An exact algorithm and its applications, *2010 Design, Automation & Test in Europe Conference & Exhibition (Date 2010)*. IEEE, 2010, pp. 783-788.
5. Han J. et al. Reliability evaluation of logic circuits using probabilistic gate models, *Microelectronics Reliability*, 2011, Vol. 51, No. 2, pp. 468-476.
6. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Tel'pukhova N.V. Issledovanie veroyatnostnykh metodov otsenki logicheskoy uyazvimosti kombinatsionnykh skhem [Investigation of probabilistic methods for evaluating the logical vulnerability of combinational schemes], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES) (IF 0,034)* [Problems of development of advanced micro- and nanoelectronic systems (MES) (IF 0,034)], 2016, No. 4, pp. 121-126.
7. Glebov A. et al. False-noise analysis using logic implications, *IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No. 01CH37281)*. IEEE, 2001, pp. 515-521.
8. Gavrilov S.V. Metody analiza logicheskikh korrelyatsiy dlya SAPR tsifrovyykh KMOP SBIS: ucheb. posobie [Methods for analyzing logical correlations for CAD digital CMOS VLSI: textbook], 2011.
9. Robinson J.A. A machine-oriented logic based on the resolution principle, *Journal of the ACM (JACM)*, 1965, Vol. 12, No. 1, pp. 23-41.
10. Lyons R.E., Vanderkulk W. The use of triple-modular redundancy to improve computer reliability, *IBM journal of research and development*, 1962, Vol. 6, No. 2, pp. 200-209.
11. Kastensmidt F.L. et al. On the optimal design of triple modular redundancy logic for SRAM-based FPGAs, *Design, Automation and Test in Europe*. IEEE, 2005, pp. 1290-1295.
12. Samudrala P.K., Ramos J., Katkooori S. Selective triple modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs, *IEEE transactions on Nuclear Science*, 2004, Vol. 51, No. 5, pp. 2957-2969.
13. Hamamatsu M., Tsuchiya T., Kikuno T. On the reliability of cascaded TMR systems, *2010 IEEE 16th Pacific Rim International Symposium on Dependable Computing*. IEEE, 2010, pp. 184-190.
14. Gomes I.A. C. et al. Exploring the use of approximate TMR to mask transient faults in logic with low area overhead, *Microelectronics Reliability*, 2015, Vol. 55, No. 9-10, pp. 2072-2076.
15. Gurov S.I. Spektral'nyy R-kod s proverkami na chetnost' [Spectral R-code with parity checks], *Prikladnaya matematika i informatika* [Applied mathematics and computer science], 2017, pp. 91-96.
16. Stempkovskiy A.L., Tel'pukhov D.V., Zhukova T.D., Gurov S.I., Solov'ev R.A. Metody sinteza sboeustoychivyykh kombinatsionnykh KMOP skhem, obespechivayushchikh avtomaticheskoe ispravlenie oshibok [Methods for synthesizing fault-tolerant combinational CMOS circuits that provide automatic error correction], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2017, No. 7 (192), pp. 197-210.
17. Gavrilov S.V., Gurov S.I., Zhukova T.D., Ryzhova D.I., Tel'pukhov D.V. Metody povysheniya sboeustoychivosti kombinatsionnykh IMS metodami izbytochnogo kodirovaniya [Methods for improving the fault tolerance of combinational ICS using redundant coding methods], *Prikladnaya matematika i informatika: Tr. fakul'teta Vychislitel'noy matematiki i kibernetiki* [Applied mathematics and computer science: Proceedings of the faculty of Computational mathematics and Cybernetics]. Moscow: Izd-vo fakul'teta VMK MGU, 2016, No. 53, pp. 93-102.
18. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V., Tel'pukhova N.V. Razrabotka tekhnologicheskikh nezavisimyykh metrik dlya otsenki maskiruyushchikh svoystv logicheskikh skhem [Development of technologically independent metrics for evaluating masking properties of logic circuits], *Vychislitel'nye tekhnologii* [Computing technologies], 2016, Vol. 21, No. 2.
19. Tel'pukhov D.V., Solov'ev R.A., Tel'pukhova N.V., ShchHelokov A.N. Otsenka parametra logicheskoy chuvstvitel'nosti kombinatsionnoy skhemy k odnokratnym oshibkam s pomoshch'yu veroyatnostnykh metodov [Estimation of the logical sensitivity parameter of a combinational scheme to single errors using probabilistic methods], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2016, No. 7 (180), pp. 149-158.
20. Cong J., Minkovich K. LUT-based FPGA technology mapping for reliability, *Proceedings of the 47th Design Automation Conference*, 2010, pp. 517-522.

Статью рекомендовал к опубликованию к.т.н. В.А. Иванов.

Васильев Николай Олегович – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: vasilyev_n@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; инженер-исследователь.

Заплетина Мария Андреевна – e-mail: zapletina_m@ippm.ru; м.н.с.

Иванова Галина Александровна – e-mail: ivanova_g@ippm.ru; с.н.с.; к.т.н.

Щелоков Альберт Николаевич – e-mail: schan@ippm.ru; зам. директора; к.ф.-м.н.

Vasilyev Nikolay Olegovich – The Institute for Design Problems in Microelectronics (IPPM RAS); e-mail: vasilyev_n@ippm.ru; 3, Sovetskaya street, Zelenograd, Moscow, 124365, Russia; research engineer.

Zapletina Mariya Andreevna – e-mail: zapletina_m@ippm.ru; junior researcher.

Ivanova Galina Aleksandrovna – e-mail: ivanova_g@ippm.ru; senior researcher; cand. of eng. sc.

Schelokov Albert Nikolaevich – e-mail: schan@ippm.ru; Deputy Director; cand. phys. and math. sc.

УДК 004.896

DOI 10.18522/2311-3103-2020-4-125-136

Б.К. Лебедев, В.Б. Лебедев, О.Б. Лебедев

ПОИСКОВЫЙ ПОПУЛЯЦИОННЫЙ АЛГОРИТМ РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ СБИС*

В работе рассматривается поисковый популяционный алгоритм размещения компонентов СБИС. По аналогии с процессом возникновения и формирования кристаллов из вещества, процесс порождения решения путем последовательного проявления и конкретизации решения на базе интегральной россыпи альтернатив назван методом кристаллизации россыпи альтернатив. Решение Q_k задачи размещения представляется в виде биективного отображения $F_k=A \rightarrow P$, каждому элементу множества A соответствует один единственный элемент множества P и наоборот. Лежащая в основе алгоритма метаэвристика кристаллизации россыпи альтернатив выполняет поиск решений с учетом коллективной эволюционной памяти, под которой подразумевается информация, отражающая историю поиска решения и памяти поисковой процедуры. Отличительной особенностью используемой метаэвристики является учет тенденции к использованию альтернатив из наилучших найденных решений. Предложены компактные структуры данных для хранения интерпретаций решений и памяти. Алгоритм, связанный с эволюционной памятью, стремится к запоминанию и многократному использованию способов достижения лучших результатов. Разработанный алгоритм относится к классу популяционных алгоритмов. Итерационный процесс поиска решений включает три этапа. На первом этапе каждой итерации конструктивным алгоритмом формируется n_a решений Q_k . Работа конструктивного алгоритма базируется на базе показателей основной интегральной россыпи альтернатив – матрицы R , в которой хранятся интегральные показатели решений, полученных на предыдущих итерациях. Процесс назначения элемента в позицию включает две стадии. На первой стадии выбирается элемент, а на второй стадии – позиция r_j . При этом должно выполняться ограничение: каждому элементу соответствует одна позиция r_j . Рассчитывается оценка ξ_k решения Q_k и оценка полезности δ_k множества позиций P_k выбранных агентами. В работе используется циклический метод формирования решений. В этом случае наращивание оценок интегральной полезности δ_k в основной интегральной россыпи альтернатив V выполняется после полного формирования множества решений Q . На втором этапе итерации производится наращивание оценок интегральной полезности δ_k в основной интегральной россыпи альтернатив – матрице R . На третьем этапе итерации осуществляется

* Работа выполнена при финансовой поддержке гранта РФФИ № 20-07-00260 А.