

17. Hsiao C.-L., Wei H.-C., Huang R. -B, Tan K. -Y. A fully integrated switched-capacitor filter design for ECG application, 2013 IEEE 2nd Global Conference on Consumer Electronics (GCCE), Tokyo, Japan, 2013, pp. 247-248. doi: 10.1109/GCCE.2013.6664814.
18. Adhikari P.M., Karmakar A., Das R. A Switched Capacitor Based Realization of Fractional Order Low-Pass Filters, 2015 Fifth International Conference on Communication Systems and Network Technologies, Gwalior, India, 2015, pp. 350-353. doi: 10.1109/CSNT.2015.183.
19. Denisenko D.Yu., Titov A.E., Prokopenko N.N., Kuznetsov D.V. Diskretno-analogovyy fil'tr vtorogo poryadka na dvukh pereklyuchaemykh kondensatorah i perestroykoj chastoty polyusa tsifrovym potentsiometrom [Second-order discrete-analog filter on two switched capacitors and pole frequency tuning by a digital potentiometer], Russian Federation patent application 2025130867, Declared 22.01.25.
20. Micro-Cap user download. Available at: <https://gotroot.ca/spectrum/www.spectrum-soft.com/download/download.html> (accessed 25 April 2025).

Денисенко Дарья Юрьевна – Южный федеральный университет; e-mail: d.u.denisenko@gmail.com; г. Таганрог, Россия; тел.: 88634371689; кафедра систем автоматического управления; к.т.н.; доцент; старший научный сотрудник управления научных исследований ДГТУ.

Прокопенко Николай Николаевич – Донской государственный технический университет; e-mail: prokopenko@sssu.ru; г. Ростов-на-Дону, Россия; тел.: +79281201984; кафедра информационные системы и радиотехника; д.т.н.; профессор; г.н.с.

Иванов Юрий Иванович – Южный федеральный университет; e-mail: ivanov.taganrog@gmail.com; г. Таганрог, Россия; тел.: 88634371689; кафедра систем автоматического управления; к.т.н.; доцент.

Кузнецов Дмитрий Владимирович – Донской государственный технический университет; e-mail: dkuznetsov2000@mail.ru; г. Ростов-на-Дону, Россия; тел.: +79525816170; кафедра информационные системы и радиотехника; аспирант.

Denisenko Darya Yuryevna – Southern Federal University; e-mail: d.u.denisenko@gmail.com; Taganrog, Russia; phone: +78634371689; the Department of Automatic Control Systems; cand. of eng. sc.; associate professor; senior researcher at the Scientific Research Department of DSTU.

Prokopenko Nikolay Nikolaevich – Don State Technical University; e-mail: prokopenko@sssu.ru; Rostov-on-Don, Russia; phone: +79281201984; the Department of Information Systems and Radio Engineering; dr. of eng. sc.; professor; chief researcher.

Ivanov Yuri Ivanovich – Southern Federal University; e-mail: ivanov.taganrog@gmail.com; Taganrog, Russia; phone: +78634371689; the Department of Automatic Control Systems; cand. of eng. sc.; associate professor.

Kuznetsov Dmitry Vladimirovich – Don State Technical University; e-mail: dkuznetsov2000@mail.ru; Rostov-on-Don, Russia; phone: +79525816170; the Department of Information Systems and Radio Engineering; postgraduate student.

УДК 004.3,004.4,004.052.32

DOI 10.18522/2311-3103-2025-5-189-204

Ю.Е. Зинченко, Т.А. Зинченко

РАСПОЗНАВАНИЕ И АДАПТИВНАЯ ГЕНЕРАЦИЯ ПСЕВДОСЛУЧАЙНЫХ ТЕСТОВ ПОСЛЕДОВАТЕЛЬНОСТНЫХ ЦИФРОВЫХ УСТРОЙСТВ

Целью статьи является повышение эффективности псевдослучайного тестирования цифровых устройств по сравнению с общепринятым традиционным подходом. Для достижения поставленной цели в работе решаются следующие основные задачи: анализ эффективности традиционных подходов тестирования; разработка нового подхода тестирования на базе распознавания и адаптивного псевдослучайного тестирования цифровых устройств; разработка системы тестирования на базе разработанных подходов и экспериментальные исследования на ее основе. В качестве объекта диагностики в данной работе выступают последовательностные (с элементами памяти) цифровые устройства, выполненные в виде типовых элементов замены на микросхемах средней и малой степени интеграции. В качестве моделей неисправностей при синтезе и анализе тестов используются константные неисправности. Предметом исследований выступают последовательностные цифровые устройства как объекты диагностики и подходы их псевдо-

случайного тестирования. В работе представляется подход распознавания и тестирования последовательностных цифровых устройств, который базируется на сочетании традиционного псевдослучайного тестирования на первом этапе с «распознаванием объекта диагностики» и построении «альтернативного графа объекта» на втором этапе с последующим «блужданием» по этому графу с целью повышения эффективности тестирования. На базе предложенного подхода разработана система тестирования цифровых устройств AGAT. Тестирование в системе может выполняться как для одного, так и группы объектов диагностики на одном либо группе персональных компьютеров в локальной компьютерной сети, при этом учитывается «многопоточность» на основе многоядерных процессоров персональных компьютеров сети. Выполняются экспериментальные исследования предложенного подхода и системы AGAT на двух типах объектов диагностики: международном наборе экспериментальных схем ISCAS'89 и наборе типовых элементов замены специализированной радиотехнической системы.

Цифровое последовательностное устройство; ISCAS'89; ТЭЗ; константная неисправность; псевдослучайное тестирование; конечный автомат; граф состояний и переходов; распознавание объекта диагностики.

Y.E. Zinchenko, T.A. Zinchenko

RECOGNITION AND ADAPTIVE GENERATION OF PSEUDO-RANDOM TESTS OF SEQUENTIAL DIGITAL DEVICES

The purpose of this paper is to improve the efficiency of pseudo-random testing of digital devices compared to the conventional approach. To achieve this goal, the following main tasks are solved in the work: analysis of the effectiveness of traditional testing approaches; developing a new approach based on recognition and adaptive pseudo-random testing of digital devices and developing a testing system based on the proposed approaches and conducting experimental studies based on it. The devices under test in this paper are sequential digital devices (with memory elements), implemented as printed circuit board on microcircuits with medium and small degree integration. Stuck-at faults are used as fault models in test synthesis and analysis. The subject of this research is sequential digital devices as diagnostic objects and approaches to their pseudo-random testing. An approach to recognizing and testing sequential digital devices is presented, which is based on a combination of traditional pseudo-random testing device under test at the first stage with and constructing an "alternative graph" of the device at the second stage and subsequent "wandering" along this graph in order to improve the testing efficiency. Based on the proposed approach a system AGAT for recognizing and testing digital devices has been developed. Testing can be performed for one or a group of devices under test on one computer or as part of a local computer network, including taking into account "multithreading" based on multi-core processors of personal computers in the network. Extensive research of the proposed approach and the developed system is carried out on two types of devices under test: the ISCAS'89 and the set of PCBs of the specialized radio engineering system.

Sequential digital device; ISCAS'89; PCB; DUT; stuck-at fault; pseudo-random testing; state and transition graph; DUT recognition.

Введение. Автоматическая генерация и синтез тестов цифровых устройств (ЦУ) радиоэлектронной и электронно-вычислительной аппаратуры являются классическими задачами, которые возникли одновременно с рождением вычислительной техники. Однако, несмотря на это они до сих пор успешно не решены. Существующие на мировом рынке и стран СНГ системы автоматического построения тестов обеспечивают покрытие (обнаружение) в среднем всего лишь 50-60% неисправностей, что является далеко недостаточным. Поэтому компании, занимающиеся разработкой диагностического обеспечения, вынуждены строить или дорабатывать тесты вручную, что сопряжено с высочайшей трудоемкостью и требуют высокой квалификации инженеров-диагностов [1–3]. Таким образом разработка эффективных систем генерации и синтеза тестов ЦУ по-прежнему является актуальной задачей.

Одним из подходов построения тестов ЦУ является вероятностное или случайное тестирование ЦУ, которое сводится к генерированию случайных или псевдослучайных тестовых последовательностей. Подход позволяет достаточно просто строить тесты и не нуждается в сложных алгоритмах анализа структуры или функций объекта диагностики (ОД), свойственных детерминированному синтезу тестов. Однако существенным недос-

татком данного подхода является низкая полнота (покрытие) теста неисправностей, обычно не превышающая 50%. При детерминированном синтезе тестов принципиально возможно получить 100-процентную полноту, однако этот подход сопряжен с высочайшей трудоемкостью [4–6]. Поэтому для преодоления указанной проблемы полноты теста в данной работе предлагается подход адаптивного псевдослучайного тестирования (ПСТ) на основе «распознавания ОД», обеспечивающий повышение эффективности теста, сохраняя при этом главное достоинство вероятностного подхода – простоту реализации.

Постановка задачи. *Целью статьи* является повышение эффективности псевдослучайного тестирования цифровых устройств по сравнению с общепринятым традиционным подходом.

Исходное представление ЦУ как ОД. В качестве ОД в данной работе выступают последовательностные (с элементами памяти) ЦУ (ПЦУ), выполненные в виде типовых элементов замены (ТЭЗ) на микросхемах средней и малой степени интеграции. ТЭЗ представляется принципиальной схемой на базе PSpice-моделей компонент, подготовленной в графическом редакторе САПР и преобразованной в EDIF-формат. Далее схема из EDIF-формата с помощью встроенного в систему конвертора преобразуется в логическую схему в виде ISCAS-формата [7–9], построенную на элементарных логических элементах тип И, И-НЕ, ИЛИ, ИЛИ-НЕ, НЕ и элементах задержки сигналов (DFF). В качестве *моделей неисправностей* при синтезе и анализе тестов используются константные неисправности (КН) [1, 10, 11].

Предметом исследований выступают последовательностные цифровые устройства как объекты диагностики и подходы их псевдослучайного тестирования.

Для достижения поставленной цели в работе решаются следующие *основные задачи*: анализ эффективности традиционных подходов тестирования; разработка нового подхода тестирования на базе распознавания и адаптивного псевдослучайного тестирования цифровых устройств; разработка системы тестирования на базе разработанных подходов и экспериментальные исследования на ее основе.

Распознавание ОД и адаптивное ПСТ. Для повышения эффективности традиционного ПСТ в данной работе предлагается использовать автоматную модель ОД. Если такая модель имеется в документации, то рационально использовать ее. Однако, как часто бывает на практике, такая модель в документации отсутствует. В то же время автоматная модель может быть построена в ходе моделирования и ПСТ неисправностей. В этом случае ОД как бы распознается, и построенная модель может быть использована для повышения эффективности тестирования путем «хождения» по состояниям построенного автомата и активизации ветвей из этих состояний.

Разработка системы ПСТ на базе предложенного подхода и проведение экспериментальных исследований. Это позволяет провести сравнительный анализ между традиционным и предлагаемым подходами и доказать эффективность предлагаемого подхода.

Альтернативный граф ОД. Наряду со схематехническим и другими способами может использоваться автоматный (графовый) способ представления ПЦУ [12–14].

Как известно, любое ПЦУ можно представить в виде абстрактного конечного автомата (КА), описываемого шестеркой [12, 14, 15]:

$$A = (S, X, Y, F, V, S^0), \quad (1)$$

где S – алфавит состояний; X, Y – входной и выходной алфавиты; F – множество функций переходов между состояниями; V – множество функций выходов; $S^0 \in S$ – начальное состояние автомата.

От абстрактного можно перейти к структурному КА, если от алфавитов перейти к множествам S, X, Y, F, V .

Сложное (сильнопоследовательностное) ПЦУ можно представить в виде одного или множества (сети) КА [12, 14, 15]:

$$N = (Z, W, \{A_i\}, \{f_{ij}\}, \{\Psi_i\}, g), \quad (2)$$

где $Z = \{Z_u\}$ – входной алфавит сети (или множество внешних входов); W – выходной алфавит сети (или множество внешних выходов ПЦУ);

$\{A_i\}$ – множество компонентных КА сети, каждый из которых описывается шестеркой типа (1). Входной алфавит КА представляется произведением внутреннего X_i' и внешнего X_i'' алфавитов автомата $X_i = X_i' \times X_i''$;

$\{f_i : (\times_j Y_j) \rightarrow X_i'\}$ – множество функций соединения сети; $\{\Psi_i : Z \rightarrow X_i''\}$ – множество

входных функций сети; $g : (\times_j Y_j) \rightarrow W$ – выходная функция сети.

Сильнопоследовательностное ПЦУ, изначально представленное сетью КА, можно представить структурно-функциональной моделью (СФМ) [7–9].

От одиночного КА А вида (1), сети КА N , либо СФМ можно перейти к следующей форме структурного представления последовательностного ПЦУ [14–16]:

$$G = (S, X, Y, P, S^0), \quad (3)$$

где $P = \{X_{ij}\}$, $V(i,j)$, – множество входных векторов ЦУ, под воздействием которых КА переходит из одного состояния в другие состояния.

Представление (3) являются эквивалентным представлению (1), т.е. они идентично описывают поведение моделируемого ЦУ и отличаются только формой представления.

Множество P автомата G можно построить на основе множества функций $F = \{F_{ij}\}$ автомата A , где $F_{ij} = F_{ij}(S, X)$ – функция над входами и состояниями КА. Составляя уравнения для каждой такой функции вида $F_{ij}(S, X) = 1$ и разрешая его относительно входных сигналов из множества X получаем множество корней $\{X_{ij}\}$, где $X_{ij} = \{x_{ij}^1, x_{ij}^2, \dots, x_{ij}^k\}$ – двоичный входной вектор, обеспечивающий переход КА из состояния S_i в состояние S_j , $x_{ij}^l \in \{0, 1\}$ – скалярный двоичный элемент вектора X_{ij} .

Если в документации имеется описание ПЦУ как КА в виде (1), (2), (3) или СФМ, то тестирование ПЦУ можно свести к синтезу детерминированных тестов путем обхода всех ветвей графа КА. В том же случае, когда автоматное описание ПЦУ отсутствует, автомат или сеть автоматов ПЦУ могут быть частично или по возможности полностью построены автоматически путем моделирования устройства в ходе самого процесса тестирования ОД на исчерпывающем, случайном или псевдослучайном тесте. Такой подход, предлагаемый в данной работе, назовем «распознаванием ОД».

Целью распознавания является построение так называемого альтернативного графа (АГ) ОД, который можно описать следующим четверкой:

$$G_a = (S', X, P', S'_0), \quad (4)$$

где $S' = \{S'_i\}$ – алфавит (множество) состояний АГ; $P' = \{P'_{ij}\}$ – множество входных векторов, обеспечивающих переходы между состояниями графа; $S'_0 \in S$ – начальное состояние графа G , которое символизирует то состояние ОД, в которое он устанавливается при начальной установке («инициализации») ОД.

Граф G_a является «усеченным» графом графа G (3) в том смысле, что он является в общем случае подмножеством последнего $G_a \subset G$, что объясняется также тем, что в процессе моделирования мы не всегда можем построить полный АГ ПЦУ и представление (4) в отличие от (3) в общем случае содержит не все состояния и переходы между состояниями ОД: $G \subset A$, $P' \subset P$, $S \subset S'$. Множество P' не обязательно содержит всевозможные входные векторы, обеспечивающие переход между парами состояний; достаточно чтобы оно содержало только один такой вектор.

Общий вид альтернативного графа ЦУ приведен на рис. 1. Здесь состояния АГ $\{U_i\}$, представляют собой коды элементов задержек (триггеров D-типа – DFF) $\{T_i\}$, $i=1, 2, \dots, n$, закодированные в унитарные коды. Также могут быть определены вероятности активации состояний графа P_i отображенные на этом рисунке напротив каждого состояния графа.

В качестве примера построим АГ ЦУ, логическая схема которого, построенная по ISCAS-модели [10], приведена на рис. 2. На рис. 3 приведен АГ для рассматриваемого примера ЦУ, который построен в ходе ПСТ данного ЦУ.

Распознавание и адаптивное ПСТ ОД. Сущность предлагаемого подхода тестирования последовательностного ЦУ можно описать следующей последовательностью этапов.

1. Задание *исходного безразличного состояния* логической модели ОД путем установки всех триггерных элементов модели в безразличное состояние 'X'.

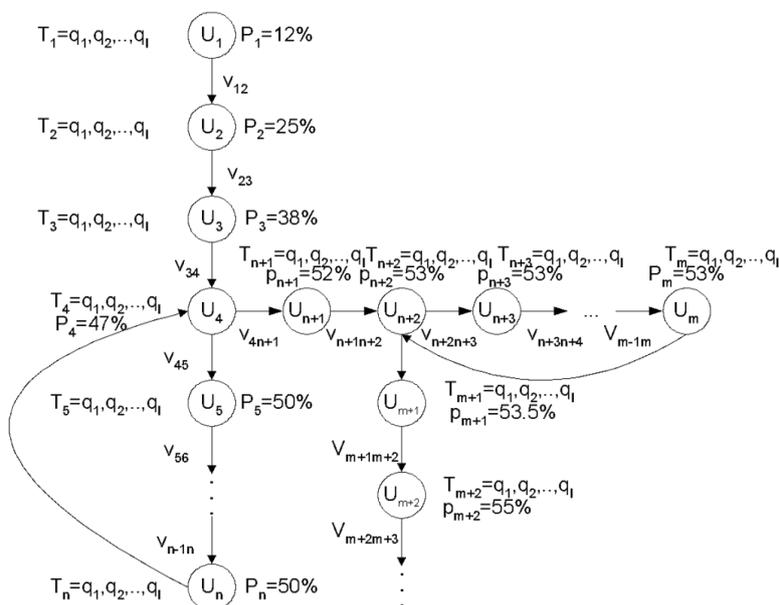


Рис. 1. Общий вид альтернативного графа ЦУ

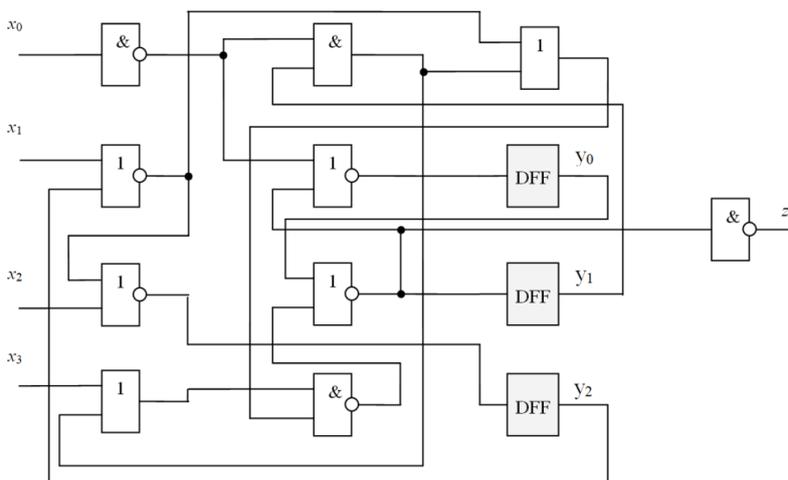


Рис. 2. Пример ЦУ

1. *Инициализация ОД*, которая сводится к тому, чтобы под воздействием входной ПСП установить все триггерные элементы устройства из безразличного в определенное состояние лог. '0' или лог. '1'. В результате получается иницилирующая последовательность U .

2. Если последовательность U путем псевдослучайного воздействия не удастся построить, то применяется *детерминированный синтез U* , обеспечивающий гарантированный, но более трудоемкий процесс ее построения.

3. Далее начинается процесс *традиционного ПСТ и построение альтернативного графа ОД*. Вначале строятся тесты по принципу классической псевдослучайной генерации на основе линейных ПСП, т.е. с вероятностью следования логических сигналов «0» и «1», близкой к 0,5. Если при этом удастся достичь требуемой полноты теста, процесс ге-

нерации теста прекращается. В противном случае, когда в течение заданного времени обнаружение новых КН прекращается, запускается псевдослучайная генерация на основе нелинейных ПСП (с произвольной вероятностью сигналов).

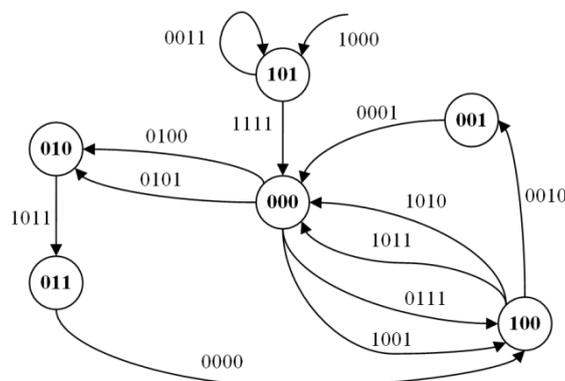


Рис. 3. Альтернативный граф ЦУ, приведенного на рис. 2

4. *Адаптивная генерация ПСТ.* Этот этап запускается, когда и на линейных и нелинейных ПСП требуемой полноты теста достичь не удается. Адаптивное ПСТ сводится к так называемому «блужданию по АГ»: активизация состояний и переходов графа и поиск тестовых векторов для новых неисправностей ОД, которые добавляются к ранее построенному тесту. При этом процесс построения АГ не прекращается. После принятия решения о принудительном переводе ОД в другое состояние один из возможных переходов выбирается из вариантов, присутствующих в графе состояний. Каждый вариант имеет свой вероятностный вес $\lambda = f(k_p, k_f)$, где k_p – коэффициент, определяющий успешность предыстории переходов по этому пути, k_f – коэффициент обнаружения неисправностей для данного перехода. Вероятностный вес пересчитывается каждый раз после выполнения перехода и, таким образом, алгоритм генерации адаптируется под особенности конкретного ОД. Если граф не содержит данных о переходах из некоторой «тупиковой» вершины y_t , то выполняется возврат теста на шаг назад в предыдущее состояние y_{t-1} . При этом в графе отмечается, что переход $y_t \rightarrow y_{t-1}$ является непродуктивным, и в дальнейшем не будет участвовать в выборе возможного пути графа.

Процесс построения теста продолжается до достижения заданных ограничений, основным из которых является полнота покрытия неисправностей и граничное время генерации теста.

Наряду с тестированием ОД на одном персональном компьютере (ПК) с одноядерным процессором для повышения полноты теста адаптивное ПСТ может параллельно выполняться как на одном ПК с многоядерным процессором, так и в составе локальной компьютерной сети (ЛКС) как с однопроцессорными та и с многоядерными ПК сети, т. е. используется «многопоточная» реализация процессов генерации теста и моделирования неисправностей. При этом на каждом процессоре ПК и сети в целом параллельно выполняется весь комплекс процессов распознавания, моделирования и ПСТ ОД. АГ, построенные на отдельных процессорах ПК и ЛКС в целом «суммируются» на сервере сети под управлением последнего, как для одного «тяжелого» объекта, так и для группы ОД [17–19].

Система AGAT распознавания и генерации адаптивных ПСТ. Предлагаемый подход распознавания и адаптивного ПСТ реализован в САПР-Т «Генератор AGAT» (*Automatic Generator of Adaptive Test*) [18–21], разработанный авторами статьи в составе лаборатории «FPGA-технологии проектирования и диагностика КС» ДонНТУ [20–22].

Генератор AGAT предназначен для построения и анализа тестов ЦУ радиоэлектронной и электронно-вычислительной аппаратуры. В качестве ОД генератора выступают цифровые ТЭЗ, построенные на интегральных микросхемах малой и средней степени интеграции. ТЭЗ представляются принципиальной схемой в EDIF-формате и PSpice-

моделями компонент, построенных в САПР ORCAD. В качестве моделей неисправностей при генерации и анализе тестов используется модель одиночной константной неисправности (КН) [1, 8, 9].

AGAT представляет собой интеграцию комплекса собственного программного обеспечения и САПР ORCAD. В процессе построения тестов и моделирования неисправностей генератор AGAT обеспечивает реализацию следующих *основных функций*:

- ◆ генерацию линейных, нелинейных и адаптивных псевдослучайных тестов, ручное задание тестов;
- ◆ анализ полноты теста, измерение активности внешних и внутренних контрольных точек (КТ) ОД на основе логического моделирования;
- ◆ анализ стабильности и критических состязаний теста на основе PSpice-моделирования с реальными задержками ИМС;
- ◆ устранение «холостых» векторов и построение псевдослучайного теста, соизмеримого по длине с детерминированным тестом;
- ◆ автоматическое построение баз данных тестов и тестовых реакций для внешних и внутренних КТ ОД на основе Pspice-моделирования ОД на реальных задержках ИМС;
- ◆ отображение результатов генерации и анализа тестов непосредственно на принципиальной схеме ОД в графическом редакторе САПР ORCAD;
- ◆ поиск неисправностей ОД с точностью до съёмной компоненты на основе сочетания алгоритмов обратного прохода и «галопирования»;
- ◆ гибкую форму задания ОД и ИМС, поддержку EDIF- и PSpice-форматов, широкую номенклатура ИМС с возможностью расширения библиотек компонент ОД;
- ◆ построение базы данных тестов и тестовых реакций ОД на основе моделирования с реальными задержками ИМС;
- ◆ отображение состояния схемы в OrCAD Capture – позволяет непосредственно в схемном редакторе OrCAD отображать обнаруженные и необнаруженные тестом КН на логических элементах схемы ОД, а также информацию об активности входов и выходов элементов;
- ◆ сбор статистики о ходе генерации – создание файла статистики о ходе генерации в формате HTML, который включает информацию о состояниях схемы и переходах между ними, количестве обнаруженных неисправностей в каждом из состояний и прочее.

Архитектура и структура программного обеспечения генератора AGAT, которая реализуется описанные функции, приведена в [20, 21]. На рис. 4 приведено главное окно генератора AGAT. На рис. 5 показаны основные параметры схемы и теста ОД, полученные в ходе тестирования и отображаемые параметры в процессе моделирования неисправностей и генерации тестов ОД. Графическое отображение хода генерации представляет собой ряд графиков, на которых показываются важнейшие показатели процесса генерации (см. рис. 6). Графики периодически обновляются в ходе моделирования и генерации тестов. Здесь:

- ◆ *полнота теста* – показывает изменение полноты теста во времени;
- ◆ *покрытие выходов* – показывает изменение покрытия выходов во времени;
- ◆ *полезные вектора* – изменение полезной длины теста, т.е. суммы длин установочного и тестового сегментов;
- ◆ *неисправностей в секунду* – количество неисправностей, обнаруживаемых в секунду;
- ◆ *коэффициент полезных векторов* – отношение полезной длины теста к общему сгенерированному числу векторов в секунду;
- ◆ *коэффициент использования графа состояний* – отношение количества состояний, которые используются в текущем тесте, к общему числу состояний графа;
- ◆ *коэффициент переходов по графу состояний* – отношение числа принудительно сделанных переходов в результате работы адаптивного алгоритма к общему числу возможных переходов по графу состояний;
- ◆ *новые состояния* – количество новых состояний, добавленных в граф состояний в секунду.

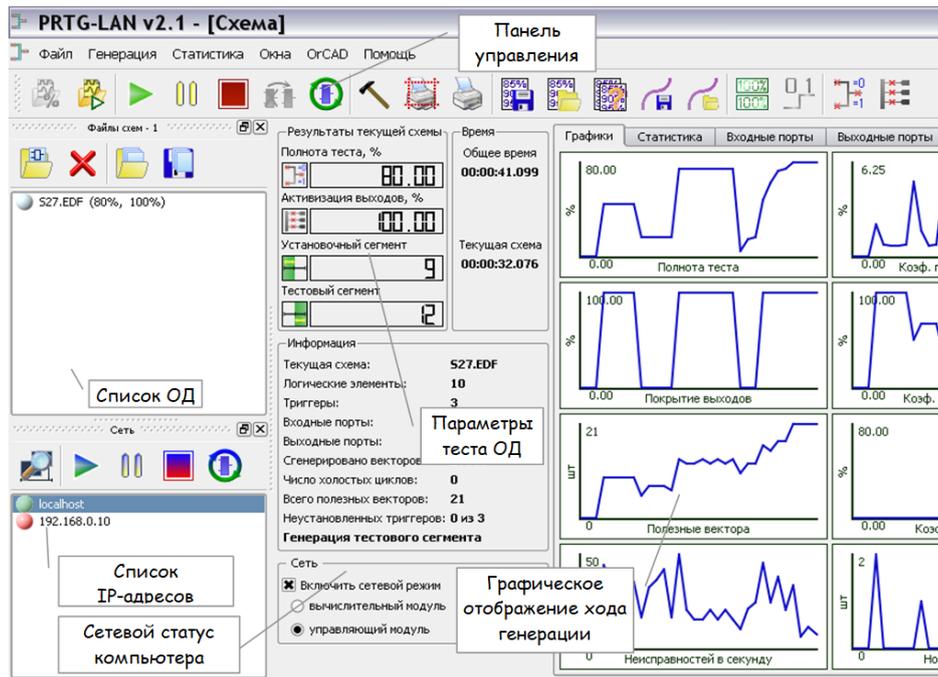


Рис. 4. Главное окно генератора тестов AGAT

	Описание параметра	Значение
1	Название схемы	S27.EDF
2	Количество логических элементов	10
3	Количество триггеров	3
4	Количество входных портов	6
5	Количество выходных портов	1
6	Общее количество константных неисправностей	50
7	Количество обнаруженных константных неисправностей	50
8	Ограничение полноты теста	100
9	Ограничение покрытия выходов	1
10	Тип генератора	NonLinear
11	Вероятность нуля нелинейного генератора	0.5
12	Разрядность полинома	32
13	Текущая полнота теста	66.00
14	Текущее покрытие выходов	100.00
15	Длина установочного сегмента	6
16	Длина тестового сегмента	7
17	Всего полезных векторов	13
18	Общее число сгенерированных векторов	19219
19	Количество холостых циклов	284
20	Количество неустановленных триггеров	0 из 3
21	Кэффициент полезных векторов	0.00
22	Кэффициент использования графа состояний	0.00
23	Кэффициент переходов по графу состояний	0.00
24	Время генерации	00:00:42.231

Рис. 5. Отображаемые параметры в процессе моделирования и генерации тестов неисправностей ОД

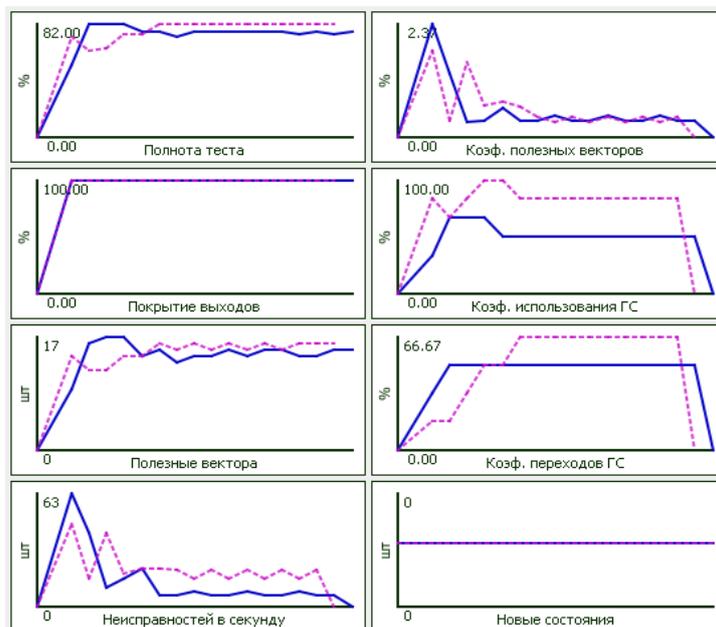


Рис. 6. Графическое отображение сравнительного анализа традиционного и адаптивного ПСТ

Экспериментальные исследования. *Постановка эксперимента.* Как описано выше, разработанная система АГАТ, с помощью которой проводились исследования, позволяет генерировать и анализировать тесты с использованием традиционного и адаптивного подходов ПСТ. Модель ОД представляет собой логическую схему, представленную в формате ISCAS [7] и построенную на элементарных логических элементах (ЛЭ): НЕ, И, И-НЕ, ИЛИ, ИЛИ-НЕ, ИСКЛЮЧАЮЩЕЕ ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ. В качестве модели неисправностей используется модель одиночной КН [1, 2, 12, 13]. Предметом экспериментальных исследований являются следующие параметры:

- ◆ полнота (покрытие неисправностей) теста – количество неисправностей, обнаруженных тестом, относительно общего количества неисправностей ОД, выраженное в процентах;
- ◆ длина теста – количество тестовых векторов;
- ◆ время генерации теста.

Исследования проводятся для двух групп цифровых устройств:

- 1) набор последовательных схем «ISCAS'89» [7];
- 2) набор последовательных типовых элементов замены (ТЭЗ) специализированной радиоэлектронной системы (РЭС).

Первая группа логических схем обычно используется в диагностике для исследования предлагаемых методов моделирования неисправностей и тестирования ЦУ. Вторая группа использовалась в ходе выполнения контракта при диагностике специализированной радиоэлектронной системы.

Исследование проводилось для двух основных режимов тестирования:

- ◆ ПСТ ОД с ограничением на заданное время тестирования; если для какого-либо ОД 100%-покрытие тестом КН достигается раньше заданного временного интервала, то процесс тестирования останавливается и фиксируется время достижения этого значения и длина теста. В противном случае тестирование продолжается до истечения заданного временного интервала, после чего также фиксируются достигнутая полнота и длина теста.
- ◆ ПСТ ОД до достижения 80%-покрытия неисправностей тестом. Время тестирования и длительность теста для данного режима заносятся в таблицу.

Экспериментальные исследования адаптивного и традиционного ПСТ в системе АГАТ на наборе последовательных схем ISCAS'89. В табл. 1 приведены перечень и характеристики некоторых последовательных схем набора ISCAS'89 [7].

Таблица 1

Характеристики последовательных ЦУ набора ISCAS'89 [7]

№ ЦУ	Имя	Входов	Выходов	ЛС	ЛЭ	Триггеров	КН
1	s27	4	1	27	10	3	32
2	s208	11	2	208	96	8	215
3	s298	3	6	298	119	14	308
4	s344	9	11	344	160	15	342
5	s349	9	11	349	161	15	350
6	s386	7	7	386	159	6	384
7	s420	19	2	420	196	16	430
8	s641	35	24	641	379	19	467
9	s713	35	23	713	393	19	581
10	s820	18	19	820	289	5	850
11	s1196	14	14	1196	529	18	1242
12	s1238	14	14	1238	508	18	1355
13	s1423	17	5	1423	657	74	1515
14	s1488	8	19	1488	653	6	1486
15	s1494	8	19	1494	648	6	1506
16	S35932	35	320	35932	16065	1728	39094
В среднем на 1 ОД		16	33	3132	1359	174	3344

Примечание. В табл. 1 и в последующих таблицах **красным** и **синим** шрифтом выделены **максимальные** и **минимальные** значения параметров соответственно.

В табл. 2 показаны результаты сравнительного анализа адаптивного (А) и традиционного (Т) ПСТ для последовательных схем набора ISCAS'89. Проведенные исследования показали следующее.

Полнота теста, полученное за 20-минутный период тестирования:

- ◆ для традиционного ПСТ находится в диапазоне от 49% до 100%, среднее значение составляет 71%;
- ◆ для адаптивного ПСТ находится в диапазоне от 71% до 100%, среднее значение составляет 89%;
- ◆ время тестирования с полнотой 80% составляет в среднем 7 минут и не превышает 28 минут на один ОД;
- ◆ эффективность адаптивного ПСТ по сравнению с традиционным по полноте теста находится в диапазоне от 0 до 67% и в среднем составляет 18% на один ОД;
- ◆ длина теста находится в диапазоне от 12 до 266 векторов и в среднем составляет 58 векторов для традиционного ПСТ и 83 вектора для адаптивного ПСТ на один ОД;
- ◆ адаптивный ПСТ увеличивает длительность традиционных псевдослучайных тестов в среднем на 25 векторов.

Таблица 2

Результаты традиционного (Т) и адаптивного (А) ПСТ последовательных схем набора ISCAS'89

Имя ОД	ПСТ в течении 2 мин						ПСТ в течении 20 мин						Время ПСТ для 80%-полноты теста, ≈мин (сек)		
	Полнота теста, %			Длина теста, векторов			Полнота теста, %			Длина теста, векторов			А	Т	Т - А
	А	Т	А - Т	А	Т	А - Т	А	Т	А - Т	А	Т	А - Т			
s27	100	100	0	12	10	2	100	100	0	12	11	1	1 сек	2 сек	1 сек
s208	42	28	14	35	24	11	87	55	32	14	13	1	22 мин	-	-
s298	42	25	17	7	5	2	71	55	16	15	9	6	-	-	-
s344	58	54	4	13	8	5	99	87	12	34	11	23	2 мин	25 мин	23 мин
s349	64	30	34	15	11	4	94	77	17	45	21	24	2 мин	-	-
s386	51	47	4	38	36	2	82	62	20	66	44	22	12 мин	-	-
s420	27	22	5	26	14	12	81	53	28	57	37	20	11 мин	-	-
s641	83	75	8	80	78	2	96	85	11	96	86	10	2 мин	3 мин	1 мин
s713	78	62	16	71	70	1	87	79	8	85	76	9	2 мин	-	-
s820	38	20	18	48	22	26	78	57	21	64	53	11	-	-	-
s1196	85	84	1	186	182	4	99	88	11	254	193	61	1 мин	2 мин	40 сек
s1238	79	78	1	190	182	8	99	88	11	266	207	59	3 мин	26 мин	23 мин
s1423	26	23	3	28	19	9	75	59	16	51	41	10	-	-	-
s1488	51	28	23	63	33	30	82	49	33	85	68	17	10 мин	-	-
s1494	48	33	15	40	20	20	98	55	43	93	40	53	15 мин	-	-
S35932	74	40	34	80	25	55	98	84	14	96	25	71	3 мин	29 мин	26 мин
В среднем на 1 ОД	59	47	12	58	46	12	89	71	18	83	58	25	7 мин	14 мин	7 мин

Экспериментальное исследование ПСТ в системе АГАТ на наборе последовательных цифровых ТЭЗ специализированной радиоэлектронной системы. В данном подразделе в качестве ОД рассматриваются ЦУ, реализованные в виде ТЭЗ на интегральных микросхемах типа ТТЛ.

В данном случае в качестве исходной информации об ОД выступает электрическая схема, подготовленная в САПР ORCAD в формате EDIF, который затем преобразуется в формат ISCAS [7] с помощью встроенного в систему АГАТ схемного конвертора. Полученный ISCAS-формат непосредственно используется для генерации и анализа тестов КН ТЭЗ.

Всего было исследовано 104 цифровых ТЭЗ специализированной РЭС. Результаты исследований отражены в табл. 3.

Результаты исследования ПСТ из 104 ТЭЗ показали следующие результаты.

1. Для традиционного ПСТ:

- ◆ 59 ТЭЗ (39%) достигли 50% или более полноты теста;
- ◆ 15 ТЭЗ (31%) достигли 80% или более полноты теста.

2. Для адаптивного ПСТ эти показатели составили соответственно:

- ◆ 98 ТЭЗ (94%) достигли 50% или более, т.е. на 39 ТЭЗ (38%) больше, чем для традиционного ПСТ,
- ◆ 46 ТЭЗ (44%) достигли 80% или более полноты теста, т.е. на 31 ТЭЗ (30%) больше, чем для традиционного ПСТ.

3. Средняя эффективность адаптивного ПСТ по сравнению с традиционным для указанного набора ТЭЗ составляет 20%.

Таблица 3

**Результаты ПСТ по набору из 104 последовательностных цифровых ТЭЗ
специализированной РЭС**

Полнота теста, %	А		Т		А-Т	
	Число ТЭЗ	%	Число ТЭЗ	%	Число ТЭЗ	От общего числа ТЭЗ, %
100	1	1	1	1	0	0
90-99	15	14	8	8	7	7
80-89	30	29	6	6	24	23
70-79	19	18	13	13	6	6
60-69	21	20	16	15	5	5
50-59	12	12	15	14	-3	-3
24-49	6	6	32	31	-26	-25
0-23	0	0	13	13	-13	-13
80-100	46	44	15	31	31	30
50-100	98	94	59	39	39	38
В среднем на 1 ТЭЗ, %						20

В качестве примера в табл. 4 перечислены и описаны некоторые из указанного набора этих ТЭЗ. в табл. 5 приведены результаты традиционного и адаптивного ПСТ для 20 ТЭЗ.

Таблица 4

Параметры набора из 20 ТЭЗ специализированной РЭС

№ ТЭЗ	Входов	Выходов	ЛЭ	Триггеров	КН
1	52	7	231	66	367
2	35	3	503	72	852
3	53	11	307	9	255
4	47	21	796	16	438
5	51	16	206	17	418
6	40	19	267	13	270
7	24	10	238	48	662
8	18	15	63	14	205
9	53	14	220	41	377
10	55	12	142	19	237
11	45	21	255	36	522
12	54	15	504	40	561
13	35	20	422	23	508
14	23	39	28	19	312
15	32	34	218	45	317
16	35	32	210	32	417
17	32	36	229	77	306
18	42	25	172	25	370
19	32	34	145	33	263
20	50	11	535	9	304
В среднем на 1 ТЭЗ	40	20	285	33	398

Таблица 5

Результаты традиционного (Т) и адаптивного (А) ПСТ для набора из 20 ТЭЗ специализированной РЭС

№ ТЭЗ	Полнота теста в течение 10 мин, %			Длина теста, векторов			Время ПСТ до достижения 80%-полноты, ≈мин		
	А	Т	А-Т	А	Т	А-Т	А	Т	Т-А
1	86	80	6	104	98	6	4	10	6
2	83	43	40	162	143	19	8	-	
3	91	83	8	55	17	38	5	7	2
4	82	34	48	83	74	9	8	-	
5	95	82	13	105	95	10	6	9	3
6	81	55	26	50	45	5	9	-	-
7	85	56	29	69	49	20	7	-	-
8	80	45	35	28	12	16	10	-	-
9	82	0	82	83	0	83	8	-	-
10	81	54	27	95	45	50	9	-	-
11	89	83	6	81	84	-3	6	8	2
12	81	80	1	82	61	21	9	10	1
13	83	80	3	87	59	28	7	10	3
14	90	84	6	20	10	10	5	7	2
15	91	84	7	78	63	15	2	7	5
16	84	80	4	67	64	3	8	10	2
17	54	43	11	38	32	6	-	-	-
18	89	80	9	80	76	4	2	10	8
19	100	100	0	52	56	-4	1	1	0
20	51	20	31	35	74	-39	-	-	-
В среднем на 1 ТЭЗ	83	63	20	73	58	15	6	8	2

Сравнительный анализ ПСТ для всех ЦУ. В табл. 6 приведены сводные результаты адаптивного и традиционного ПСТ для схем ISCAS'89 и 104 ТЭЗ специализированной РЭС.

Таблица 6

Обобщенные результаты сравнительного анализа адаптивного (А) и традиционного (Т) ПСТ наборов ЦУ ISCAS'89 и ТЭЗ специализированной РЭС

Тип набора ОД		Полнота теста ПСТ, %			Длина теста, векторов			Время ПСТ до достижения 80%-полноты, ≈мин (сек)		
		А	Т	А-Т	А	Т	А-Т	А	Т	А-Т
ISCAS'89	мин	71	49	0	12	9	1	1 сек	2 сек	1 сек
	среднее	89	71	18	83	58	25	7 мин	14 мин	7 мин
	макс	100	100	49	266	207	61	22 мин	29 мин	26 мин
ТЭЗ	мин	51	0	0	20	10	10	1 мин	1 мин	0
	среднее	83	63	20	73	58	15	6 мин	8 мин	2 мин
	макс	100	100	82	162	143	21	10 мин	10 мин	8 мин

Как видно из табл. 6:

♦ тестовое покрытие КН для последовательных ЦУ (ISCAS'89 и ТЭЗ) при традиционном ПСТ находится в диапазоне от 49% до 100%, в среднем – 78%; для адаптивного ПСТ эти показатели составляют 51%, 100% и 86% соответственно;

♦ время тестирования при тестовом покрытии КН равным 80% при традиционном ПСТ находится в диапазоне от 2 сек до 29 мин, в среднем – 14 мин, для адаптивного ПСТ эти показатели составляют 1 сек, 22 мин и 7 мин соответственно;

♦ эффективность адаптивного ПСТ по сравнению с традиционным по тестовому покрытию КН на 1 ОД находится в диапазоне от 0 до 67%, в среднем – 18%;

Общие выводы по результатам экспериментальных исследований метода адаптивного ПСТ в системе АГАТ. Таким образом, по результатам экспериментальных исследований можно сделать следующие общие выводы.

♦ адаптивная генерация ПСТ улучшает традиционную ПСТ в среднем на 20% по полноте теста; для некоторых ЦУ получен «взрывной» рост тестового покрытия – до 63%;

♦ увеличение длины адаптивного ПСТ по сравнению с традиционным не превышает 25 тестовых векторов, что не превосходит 20%;

♦ длина теста для последовательных ЦУ составляет в среднем 58 векторов для традиционного ПСТ и 83 вектора для адаптивного ПСТ на один ОД. Адаптивный ПСТ увеличивает длину традиционного ПСТ в среднем на 25 векторов, или на 20%.

Заключение:

♦ Предложен метод распознавания и адаптивной генерации псевдослучайных тестов ПЦУ на его основе.

♦ Разработана система АГАТ распознавания и адаптивного псевдослучайного тестирования ПЦУ.

♦ Проведены масштабные экспериментальные исследования предложенного метода, которые показали высокую эффективность.

♦ Метод распознавания и адаптивного ПСТ и система АГАТ были реализованы при тестировании реальных ПЦУ специализированной РЭС и в учебном процессе ДонНТУ по курсу «Разработка и анализ тестов цифровых устройств».

♦ Полученные теоретические результаты и разработанное программное обеспечение могут быть также использованы при тестировании и верификации ПЦУ, построенных на базе ПЛИС, над чем в настоящее время работают авторы статьи совместно с сотрудниками лаборатории «FPGA-технологии проектирования и диагностики» ДонНТУ [22].

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Bushnell M.L.* Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits. – NY: Springer, 2006. – 708 p.
2. *Markov I.L.* Design, Analysis and Test of Logic Circuits under Uncertainty. – NY: Springer, 2013. – 708 p.
3. *Jha N., Gupta S.* Testing of Digital Systems. – Cambridge: Cambridge University Press, 2003. – 1016 p.
4. *Rene D.* Random testing of digital circuits. – NY: CRC Press, 1998. – 496 p.
5. *Yarmolik V.N., Demidenko S.N.* Generation and Application of Pseudorandom Sequences for Random Testing. – New Jersey: Wiley-Interscience, 1988. – 176 p.
6. *Paul H. Bardell.* Built In Test for VLSI: Pseudorandom Techniques. –Wiley-Interscience, New Jersey, 1987. – 368 p.
7. *Brgles F., Bryan D., Kozminski K.* Combinational profiles of sequential benchmark circuits // International symposium of circuits and systems, ISCAS-89, 1989. – P. 1929-1934.
8. *Stephan Eggersgluess, Rolf Drechsler.* High Quality Test Pattern Generation: Robust Algorithms Using Boolean Satisfiability. – Springer, New York, 2012. – 211 p.
9. *Dimitris Gizopoulos.* Advances in Electronic Testing: Challenges and Methodologies. – Springer, New York, 2006. – 412 p.
10. *Steven X. Ding.* Model-based Fault Diagnosis Techniques: Design Schemes, Algorithms, and Tools. – Springer, New York, 2008. – 493 p.
11. *Hans-Joachim Wunderlich.* Models in Hardware Testing: Lecture Notes of the Forum in Honor of Christian Landrault. – Springer, New York, 2010. – 271 p.

12. *Baranov S.* Logic Synthesis for Control Automata. – Amsterdam: Kluwer, 1994. – 312 p.
13. *Barkalov A., Titarenko L., Krzywicki K.* Logic Synthesis for FPGA-Based Mealy Finite State Machines. – Florida: CRC Press, 2024. – 332 p.
14. *Ubar R., Raik J., Jenihin M.* Structural Decision Diagrams in Digital Test: Theory and Applications. – Birkhäuser: Computer Science Foundations, 2024. – 608 p.
15. *Mukherjee A.* Bond Graph in Modeling, Simulation and Fault Identification. – Florida: CRC Press, 2006. – 244 p.
16. *Зинченко Ю.Е., Зинченко Т.А.* Структурно-функциональная модель управляющего устройства, представленного сетью конечных автоматов // Вычислительные технологии и прикладная математика: Матер. III науч. конф. с междунар. участием «ВТПМ-2024» Комсомольск-на-Амуре 7-11 октября 2024. – Комсомольск-на-Амуре: ФГБОУ ВО «КНАГУ», 2024. – С. 173-178.
17. *Зинченко Ю.Е., Зинченко Т.А.* Адаптивная генерация псевдослучайных тестов цифровых устройств РЭА и ЭВА // Компьютерные и информационные технологии в науке, инженерии и управлении: материалы Всероссийской научно-технической конференции с международным участием «КомТех-2024»: в 2 т. – Ростов-на-Дону; Таганрог: Изд-во ЮФУ, 2024. – С. 316-325.
18. *Зинченко Ю.Е., Калашиников В.И., Хайдук С.* и др. FPGA-технологии проектирования и диагностика компьютерных систем // Сб. научных трудов Международной научно-практической конференции «Современные информационные технологии и ИТ-образование». Т. 1. – М.: МГУ, 2011. – С. 422-429.
19. *Зинченко Ю.Е., Калашиников В.И., Хайдук С.* и др. Современные проекты FPGA-лаборатории ДонНТУ // Сб. трудов Международной научно-практической конференции в рамках I-го Международного научного форума ДНР «Донбасс-2015»: Инновационные перспективы Донбасса, 20-22 мая 2015. – Донецк: ДонНТУ, 2015. – С. 4.
20. *Зинченко Т.А., Зинченко Ю.Е., Дяченко О.Н.* Разработка архитектуры интегрированной система генерации псевдослучайных тестов цифровых устройств // Информатика и кибернетика. – 2021. – № 4 (26). – С. 27-33.
21. *Zinchenko Yuriy, Zinchenko Tatyana.* Adaptive pseudo-random testing approach of digital devices and a test generation system based on it // AIP Conference Proceedings. – 2025. – Vol. 3347, Issue 1. – P. 1-8.
22. Сайт лаборатории ДонНТУ «FPGA-технологии проектирования и диагностика компьютерных систем». – Донецк: ДонНТУ. – URL: <http://fpga.donntu.ru>.

REFERENCES

1. *Bushnell M.L.* Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits. NY: Springer, 2006, 708 p.
2. *Markov I.L.* Design, Analysis and Test of Logic Circuits under Uncertainty. NY: Springer, 2013, 708 p.
3. *Jha N., Gupta S.* Testing of Digital Systems. Cambridge: Cambridge University Press, 2003, 1016 p.
4. *Rene D.* Random testing of digital circuits. NY: CRC Press, 1998, 496 p.
5. *Yarmolik V.N., Demidenko S.N.* Generation and Application of Pseudorandom Sequences for Random Testing. New Jersey: Wiley-Interscience, 1988, 176 p.
6. *Paul H. Bardell.* Built In Test for VLSI: Pseudorandom Techniques. Wiley-Interscience, New Jersey, 1987. – 368 p.
7. *Brgles F., Bryan D., Kozminski K.* Combinational profiles of sequential benchmark circuits // International symposium of circuits and systems, ISCAS-89, 1989. – P. 1929-1934.
8. *Stephan Eggersgluess, Rolf Drechsler.* High Quality Test Pattern Generation: Robust Algorithms Using Boolean Satisfiability. Springer, New York, 2012, 211 p.
9. *Dimitris Gizopoulos.* Advances in Electronic Testing: Challenges and Methodologies. Springer, New York, 2006, 412 p.
10. *Steven X. Ding.* Model-based Fault Diagnosis Techniques: Design Schemes, Algorithms, and Tools. Springer, New York, 2008, 493 p.
11. *Hans-Joachim Wunderlich.* Models in Hardware Testing: Lecture Notes of the Forum in Honor of Christian Landrault. Springer, New York, 2010, 271 p.
12. *Baranov S.* Logic Synthesis for Control Automata. Amsterdam: Kluwer, 1994, 312 p.
13. *Barkalov A., Titarenko L., Krzywicki K.* Logic Synthesis for FPGA-Based Mealy Finite State Machines. Florida: CRC Press, 2024, 332 p.
14. *Ubar R., Raik J., Jenihin M.* Structural Decision Diagrams in Digital Test: Theory and Applications. Birkhäuser: Computer Science Foundations, 2024, 608 p.
15. *Mukherjee A.* Bond Graph in Modeling, Simulation and Fault Identification. Florida: CRC Press, 2006, 244 p.

16. Zinchenko Yu.E., Zinchenko T.A. Strukturno-funktsional'naya model' upravlyayushchego ustroystva, predstavlenogo set'yu konechnykh avtomatov [Structural and functional model of a control device represented by a network of finite automata], *Vychislitel'nye tekhnologii i prikladnaya matematika: Mater. III nauch. konf. s mezhdunar. uchastiem «VTPM-2024» Komsomol'sk-na-Amure 7-11 oktyabrya 2024* [Computational technologies and applied mathematics: Proceedings of the III scientific conference with international participation "VTPM-2024" Komsomolsk-on-Amur October 7-11, 2024]. Komsomol'sk-na-Amure: FGBOU VO «KnAGU», 2024, pp. 173-178.
17. Zinchenko Yu.E., Zinchenko T.A. Adaptivnaya generatsiya psevdosluchaynykh testov tsifrovyykh ustroystv REA i EVA [Adaptive generation of pseudo-random tests of digital devices of REA and EVA], *Komp'yuternye i informatsionnye tekhnologii v nauke, inzhenerii i upravlenii: materialy Vserossiyskoy nauchno-tekhnicheskoy konferentsii s mezhdunarodnym uchastiem «KomTekh-2024»* [Computer and information technologies in science, engineering and management: materials of the All-Russian scientific and technical conference with international participation "KomTech-2024"]: In 2 vol. Rostov-on-Don; Taganrog: Izd-vo YuFU, 2024, pp. 316-325.
18. Zinchenko Yu.E., Kalashnikov V.I., Khayduk S. i dr. FPGA-tekhnologii proektirovaniya i diagnostika komp'yuternykh sistem [FPGA technologies for designing and diagnostics of computer systems], *Sb. nauchnykh trudov Mezhdunarodnoy nauchno-prakticheskoy konferentsii «Sovremennye informatsionnye tekhnologii i IT-obrazovanie»* [Collection of scientific papers of the International scientific and practical conference "Modern information technologies and IT education"]. Vol. 1. Moscow: MGU, 2011, pp. 422-429.
19. Zinchenko Yu.E., Kalashnikov V.I., Khayduk S. i dr. Sovremennye proekty FPGA-laboratorii DonNTU [Modern projects of the FPGA laboratory of DonNTU], *Sb. trudov Mezhdunarodnoy nauchno-prakticheskoy konferentsii v ramkakh I-go Mezhdunarodnogo nauchnogo foruma DNR «Donbass-2015»: Innovatsionnye perspektivy Donbassa, 20-22 maya 2015* [Collection of works of the International scientific and practical conference within the framework of the 1st International Scientific Forum of the DPR "Donbass-2015": Innovative prospects of Donbass, May 20-22, 2015]. Donetsk: DonNTU, 2015, pp. 4.
20. Zinchenko T.A., Zinchenko Yu.E., Dyachenko O.N. Razrabotka arkhitektury integrirovannoy sistema generatsii psevdosluchaynykh testov tsifrovyykh ustroystv [Development of the architecture of an integrated system for generating pseudo-random tests of digital devices], *Informatika i kibernetika* [Computer Science and Cybernetics], 2021, No. 4 (26), pp. 27-33.
21. Zinchenko Yuriy, Zinchenko Tatyana. Adaptive pseudo-random testing approach of digital devices and a test generation system based on it, *AIP Conference Proceedings*, 2025, Vol. 3347, Issue 1, pp. 1-8.
22. Sayt laboratorii DonNTU «FPGA-tekhnologii proektirovaniya i diagnostika komp'yuternykh sistem» [Website of the DonNTU laboratory "FPGA technologies for designing and diagnostics of computer systems"]. Donetsk: DonNTU. Available at: <http://fpga.donntu.ru>.

Зинченко Юрий Евгеньевич – Донецкий национальный технический университет; e-mail: zinchenko.yuri@gmail.com; г. Донецк, Россия; тел.: +79494865546; доцент; к.т.н.; доцент.

Зинченко Татьяна Анатольевна – Донецкий национальный технический университет; e-mail: zinchenko.tatyana@gmail.com; г. Донецк, Россия; тел.: +79493349152; старший преподаватель.

Zinchenko Yuriy Evgenievich – Donetsk National Technical University; e-mail: zinchenko.yuri@gmail.com; Donetsk, Russia; phone: +79494865546; cand. of eng. sc.; associate professor.

Zinchenko Tatyana Anatolyevna – Donetsk National Technical University; e-mail: zinchenko.tatyana@gmail.com; Donetsk, Russia; phone: +79493349152; senior lecturer.