

Раздел III. Электроника, нанотехнологии и приборостроение

УДК 621.3.049.774.2

DOI 10.18522/2311-3103-2025-4-174-181

Б.Г. Коноплев

ОСОБЕННОСТИ НИЗКОВОЛЬТНЫХ ЦИФРОВЫХ СХЕМ НА ОСНОВЕ КМОП-ТЕХНОЛОГИЙ 90–20 НМ

С целью снижения потребляемой мощности и повышения энергетической эффективности в КМОП интегральных схемах используется подпороговый режим работы транзисторов. При этом напряжение питания снижается до уровня меньше пороговых напряжений МОП-транзисторов, резко уменьшаются токи транзисторов и падает быстродействие устройств. Однако, в ряде применений значительное снижение потребляемой мощности оказывается более важным, чем низкое быстродействие. Поэтому КМОП интегральные схемы в подпороговом режиме нашли применение там, где определяющим требованием является радикальное уменьшение потребляемой мощности. К настоящему времени в разной степени освоения фирмами в мире используются субмикронные КМОП-технологии с минимальными проектными размерами элементов от 500 до 3 нм, причем большая часть продукции приходится на КМОП СБИС уровня 90–20 нм. В работе проведен анализ особенностей характеристик низковольтных цифровых схем на основе КМОП-технологий уровня 90–20 нм с целью выработки рекомендаций по проектированию энергоэффективных устройств на их основе. Рассмотрена методика определения ключевых параметров предиктивных моделей МОП-транзистора в подпороговом режиме. Получены выражения характеристик КМОП-инвертора в подпороговой области. Анализ результатов расчетов показывает существенное ухудшение характеристик КМОП-элементов в подпороговом режиме при уменьшении минимальных проектных размеров менее 90 нм. Это объясняется тем, что при разработке конструкции и технологии изготовления СБИС уровня 90–20 нм все меры были направлены на снижение токов утечки закрытых транзисторов в надпороговом режиме с целью уменьшения статической составляющей потребляемой мощности. Для повышения характеристик КМОП-элементов в подпороговом режиме необходимо оптимизировать конструкцию и технологию с целью снижения величин подпорогового размаха, DIBL-коэффициента и увеличения характеристического тока. Результаты могут быть полезны для разработчиков энергоэффективной аппаратуры.

Низковольтные КМОП интегральные схемы; технологии 90–20 нм; предиктивные модели МОП-транзисторов; подпороговый режим.

B.G. Konoplev

FEATURES OF LOW-VOLTAGE DIGITAL CIRCUITS BASED ON CMOS TECHNOLOGIES 90–20 NM

To increase energy efficiency, CMOS integrated circuits use a subthreshold mode of operation. The supply voltage decreases to a level lower than the threshold voltages of the MOSFETs, currents decrease and performance decreases. However, often a reduction in power consumption is more important than low performance. Therefore, CMOS integrated circuits in the subthreshold mode have applications where a radical reduction in power consumption is a crucial requirement. Now firms have used technologies with minimum sizes from 500 to 3 nm, with most of the products being at the 90–20 nm. The paper analyzes low-voltage circuits based on technologies 90–20 nm to develop recommendations for the design of energy-efficient devices. A technique for determining the key parameters of predictive MOSFET models in the subthreshold mode is considered. Expressions of the characteristics of inverter in the subthreshold region are obtained. Analysis shows a significant deterioration in the characteristics of CMOS elements in the subthreshold mode with a decrease in the dimensions of less than 90 nm. It is explained that when

developing technology 90–20 nm, all measures were aimed at reducing leakage currents in the over threshold mode to reduce static power consumption. To improve the characteristics of CMOS elements in the subthreshold mode, it is necessary to optimize the design and technology to reduce the values of the subthreshold span, the DIBL coefficient and increase the characteristic current. The results may be useful for developers of energy-efficient equipment.

Low-voltage CMOS integrated circuits; 90–20 nm technologies; predictive MOSFET models; subthreshold mode.

Введение. С целью кардинального снижения потребляемой мощности и повышения энергетической эффективности в КМОП интегральных схемах используется подпороговый режим работы транзисторов [1, 2].

При этом напряжение питания таких низковольтных схем снижается до уровня меньше пороговых напряжений МОП-транзисторов, резко уменьшаются токи транзисторов и падает быстродействие устройств. Однако, в ряде применений значительное снижение потребляемой мощности оказывается более важным, чем низкое быстродействие. Поэтому КМОП интегральные схемы в подпороговом режиме нашли широкое применение в беспроводных устройствах радиочастотной идентификации (RFID), контроля доступа, систем логистики, в медицинских имплантатах, автономных сенсорных сетях «интернета вещей» (Internet of Things – IoT) и других миниатюрных устройствах, где определяющим требованием является радикальное уменьшение потребляемой мощности [3], особенно в случае сбора радиочастотной энергии из окружающей среды (Energy Harvesting – EH) для питания устройств [4, 5].

В низковольтных схемах могут применяться МОП-транзисторы типовой для данной технологии конструкции или специально спроектированные с учетом особенностей подпорогового режима работы [6].

К настоящему времени в разной степени освоения фирмами в мире используются субмикронные КМОП-технологии с минимальными проектными размерами элементов от 500 до 3 нм, причем большая часть продукции приходится на КМОП СБИС уровня 90–20 нм [7, 8].

Конструкции и технологии микросхем при уменьшении проектных норм изменялись с целью повышения характеристик элементов КМОП СБИС при номинальных напряжениях питания, при этом, как правило, не учитывались особенности их применения в низковольтных приложениях.

Целью исследования является анализ особенностей характеристик низковольтных цифровых схем на основе КМОП-технологий уровня 90–20 нм и выработка рекомендаций по проектированию и совершенствованию энергоэффективных устройств на их основе.

Особенности КМОП-технологий уровня 90–20 нм. Уровни промышленных технологий СБИС принято обозначать технологическими узлами TN (technology node) [8].

Субмикронные КМОП-технологии с минимальными проектными размерами элементов от 500 до 3 нм можно разделить на три группы (поколения), имеющих существенные различия. К первому поколению [7] можно отнести TN 500 нм, 350 нм, 250 нм, 180 нм, 130 нм; ко второму поколению – TN 90 нм [9], 65 нм [10], 45 нм [11], 32 нм [12], 20 нм [13]; к третьему поколению [8, 14] – TN 14 нм, 10 нм, 7 нм, 5 нм, 3 нм.

В субмикронных КМОП СБИС первого поколения использовались планарные (2D) полевые транзисторы с затворами из поликристаллического кремния (poly-Si) и подзатворным диэлектриком из SiO₂. Повышение степени интеграции и быстродействия СБИС при движении от TN 500 нм до TN 130 нм достигалось за счет уменьшения размеров и паразитных емкостей элементов и соединительных проводников. При этом конструкция МОП-транзисторов принципиально не изменялась [7]. Для КМОП СБИС первого поколения применимы правила масштабирования с обеспечением постоянной напряженности электрического поля в подзатворном диэлектрике [15].

Важнейшим параметром цифровых схем является отношение тока стока открытого транзистора I_{don} (при $V_{ds}=V_{gs}=V_{dd}$, где V_{ds} - напряжение сток-исток, V_{gs} – напряжение затвор-исток, V_{dd} – напряжение источника питания) к току закрытого транзистора I_{doff} (при $V_{ds}=V_{dd}$, $V_{gs}=0$). При уменьшении длины канала увеличивается влияние на характеристики транзистора короткоканальных эффектов, приводящих к уменьшению отношения I_{on}/I_{off} [7].

Субмикронные СБИС второго поколения также строятся на планарных полевых транзисторах, но с целью предотвращения деградации отношения I_{don}/I_{doff} , начиная с TN 90 нм, структуры и технологии формирования транзисторов существенно изменялись при движении от TN 90 нм к TN 20 нм [7, 9, 13].

В субмикронных СБИС третьего поколения с целью дальнейшего снижения влияния короткоканальных эффектов на отношение I_{don}/I_{doff} применяются непланарные (3D) полевые транзисторы: FINFET (fin, с затвором в виде плавника, окружающим канал с трех сторон), GAA (gate-all-around, с затвором, окружающим канал со всех четырех сторон), MCB (multi-bridge-channel, с многими каналами, окруженными затвором со всех сторон) [8, 14].

В табл. 1 сведены ключевые инновации для субмикронных СБИС второго поколения.

Таблица 1

Инновации для субмикронных СБИС второго поколения

TN	Материал затвора	Материал подзатворного диэлектрика	Ключевые инновации
90 нм	poly-Si	SiO ₂	Напряженный кремний [7, 9]
65 нм	poly-Si	SiON	Подзатворный диэлектрик из оксинитрида кремния SiO _x N _y [10]
45 нм	Metal	High K	Затвор из никель-силицида NiSi или титан-нитрида TiN [11]. Подзатворный диэлектрик из оксида гафния HfO ₂ [11]
32 нм	Metal	High K	Подзатворный диэлектрик из оксинитрида гафния HfSiON [12]
20 нм	Metal	High K	Затвор из алюминия Al и титан-нитрида TiN [13]

В субмикронных СБИС второго поколения с целью увеличения I_{don} , начиная с TN 90 нм, применяются технологии напряженного кремния [9–13]. Сток-истоковые области р-МОП-транзисторов формируются на основе кремний-германия SiGe, кристаллическая решетка которого отличается от решетки кремния в канале. Возникающие за счет этого сжимающие механические напряжения несколько сближают атомы кремния в канале, повышая скорость, подвижность дырок и ток I_{don} . Для создания растягивающих механических напряжений в каналах n-МОП-транзисторов над затворами формируются «шапочки» из нитрида кремния Si₃N₄, при этом расстояния между атомами в канале увеличиваются, повышая скорость, подвижность электронов и ток I_{don} [9–12].

Другим способом увеличения отношения I_{don}/I_{doff} является снижение токов утечки закрытого транзистора I_{doff} [16]. Для этого следует увеличивать толщину подзатворного оксида T_{ox}, что при сохранении на прежнем уровне порогового напряжения V_{th} требует, начиная с TN 65 нм, применения подзатворного диэлектрика с более высокой диэлектрической проницаемостью (High K): оксинитрида кремния SiO_xN_y [10], оксида гафния HfO₂ [11], оксинитрида гафния HfSiON [12].

С целью снижения порогового напряжения, сопротивления проводников затворов и повышения подвижности носителей заряда в канале для TN 45 нм, TN 32 нм затворы транзисторов формируются из металлических никель-силицида NiSi или титан-нитрида TiN [11, 12], а для TN 20 - из алюминия Al и титан-нитрида TiN [13].

С учетом существенных различий структуры и технологии КМОП СБИС второго поколения при движении от TN 90 нм к TN 20 нм для моделирования уже нельзя применять правила масштабирования с обеспечением постоянной напряженности электрического поля в подзатворном диэлектрике [15, 17]. Удовлетворительные результаты для прогнозирования характеристик КМОП СБИС в этом случае дает использование предиктивных технологических моделей PTM (Predictive Technology Model), предложенных в [18–21] и основанных на весьма точной модели МОП-транзистора BSIM [22, 23].

Компактная предиктивная модель МОП-транзистора в подпороговом режиме.

В подпороговом режиме ток стока МОП-транзистора определяется выражением [21]:

$$I_d = I_0 \cdot W \cdot \left(1 - \exp\left(\frac{-V_{ds}}{\varphi_T}\right) \right) \cdot \exp\left(\frac{(V_{gs} + \eta \cdot V_{ds}) \cdot \ln 10}{S}\right), \quad (1)$$

где I_0 – характеристический ток на единицу ширины канала; W – ширина канала; φ_T – температурный потенциал; η – DIBL-коэффициент (DIBL – Drain-Induced Barrier Lowering, отражает степень уменьшения V_{th} при увеличении V_{ds}); S – подпороговый размах ($S = \varphi_T \cdot n \cdot \ln 10$, где n – коэффициент наклона вольтамперной характеристики).

В соответствии с выражением (1) удельный ток стока ($I_{d0} = I_d/W$) при заданной температуре определяется только тремя параметрами, характерными для рассматриваемого TN: I_0 , η , S . Эти параметры можно определить экспериментально или вычислить для каждого TN, используя модель BSIM [23].

В табл. 2 приведены типовые значения параметров МОП-транзисторов второго поколения от TN 90 нм до TN 32 нм в подпороговом режиме [21].

Таблица 2

Параметры МОП-транзисторов в подпороговом режиме [21]

TN, нм	S , мВ/декада	η , мВ/В	I_0 , нА/мкм
90	86.1	100	5.1
65	88.2	123	4.6
45	94.4	171	3.7
32	99.9	236	3.2

В табл. 2 отсутствуют данные для TN 20 нм, кроме того, для различных фирм конкретные значения технологических узлов могут отличаться от приведенных в табл. 2. Чтобы определить параметры моделей для любых значений TN, можно применить метод наименьших квадратов, основываясь на известных данных для других TN в пределах рассматриваемого поколения КМОП СБИС. Для вычисления неизвестных коэффициентов в формулах, описывающих зависимости параметров предиктивных моделей от значений TN, удобно в методе наименьших квадратов для решения систем алгебраических уравнений применить программу Mathcad.

Полученные по методу наименьших квадратов на основе данных табл. 2 выражения для параметров S_m , η_m , I_{0m} предиктивных моделей имеют вид (размерности соответствуют табл. 2):

$$S_m = 120.71 - 0.793 \cdot (TN) + 4.529 \cdot 10^{-3} \cdot (TN)^2, \quad (2)$$

$$\eta_m = 442.213 - 8.028 \cdot (TN) + 0.047 \cdot (TN)^2, \quad (3)$$

$$I_{0m} = 1.15 + 0.073 \cdot (TN) - 3.228 \cdot 10^{-4} \cdot (TN)^2. \quad (4)$$

В табл. 3 приведены результаты расчетов по формулам (2–4).

Таблица 3

Параметры предиктивных моделей МОП-транзисторов

TN, нм	S_m , мВ/декада	η_m , мВ/В	I_{0m} , нА/мкм
90	86.03	100.39	5.11
65	88.30	118.97	4.53
45	94.20	176.13	3.78
32	99.97	233.45	3.16
20	106.66	300.39	2.48

Погрешности параметров моделей относительно известных начальных данных не превышают 3.3%.

Цифровые КМОП-элементы в подпороговой области. Из выражения (1) можно получить формулу для оценки отношения I_{don}/I_{doff} , важной характеристики электронного ключа:

$$I_{don}/I_{doff} = \exp(2.3 \cdot V_{dd}/S) = \exp(V_{dd}/(n \cdot \varphi_T)). \tag{5}$$

Из (5) видно, что отношение I_{don}/I_{doff} уменьшается при снижении V_{dd} и при увеличении S , а также при возрастании температуры.

Для анализа помехоустойчивости логических элементов из (1) можно аналогично [17] получить выражение для передаточной характеристики КМОП-инвертора, приравняв токи стока n-канального I_{dn} и p-канального I_{dp} транзисторов при $V_{gsn} = V_{in}$, $V_{gsp} = V_{in} - V_{dd}$, $V_{dsn} = V_{out}$, $V_{dsp} = V_{out} - V_{dd}$, в следующем виде:

$$V_{in} = \frac{S_n \cdot S_p}{2.3 \cdot (S_n + S_p)} \cdot \ln \frac{I_{op} \cdot W_p \cdot \left(1 - \exp\left(\frac{V_{out} - V_{dd}}{\varphi_T}\right)\right)}{I_{on} \cdot W_n \cdot \left(1 - \exp\left(\frac{-V_{out}}{\varphi_T}\right)\right)} + \frac{S_n \cdot (V_{dd} + \eta_p \cdot (V_{dd} - V_{out})) - S_p \cdot \eta_n \cdot V_{out}}{S_n + S_p}, \tag{6}$$

где V_{in} , V_{out} – входное и выходное напряжение инвертора, соответственно; подстрочные значки n или p определяют принадлежность параметров к n- или p-канальному транзистору, соответственно.

В подпороговой области задержку сигнала в логическом элементе t_p и потребляемую им динамическую P_{dyn} мощность можно оценить по формулам [2, 21]:

$$t_p = \frac{C_{sub} \cdot W \cdot V_{dd}}{I_{don}}, \tag{7}$$

$$P_{dyn} = \alpha \cdot C_{sub} \cdot W \cdot V_{dd}^2 \cdot f_{clk}, \tag{8}$$

где C_{sub} – общая емкость логического элемента на единицу ширины канала в подпороговой области; α – коэффициент активности ($\alpha \leq 1$); f_{clk} – тактовая частота.

В табл. 4 приведены типовые значения C_{sub} для инвертора с нагрузочной способностью, равной четырем (FO4) [21].

Таблица 4

Значения общей емкости инвертора с FO4

C_{sub} , фФ/мкм	TN, нм				
	20	32	45	65	90
из [21]	-	14.4	15.9	17.5	18.7
расчет (9)	12.84	14.42	15.86	17.53	18.69

Полученное по методу наименьших квадратов на основе данных [21] выражение для параметра C_{subm} предиктивной модели имеет вид (размерности соответствуют табл. 4):

$$C_{subm} = 9.693 + 0.174 \cdot (TN) - 8.227 \cdot 10^{-4} \cdot (TN)^2. \tag{9}$$

Результаты расчетов по формуле (9) для TN 20–90 нм также приведены в табл. 4. Погрешности параметров моделей относительно известных начальных данных не превышают 0.3%.

Выражения (1, 5–8) можно использовать для прогностических оценок характеристик цифровых КМОП-элементов в подпороговой области. Описанная методика позволяет определять параметры предиктивных технологических моделей РТМ для любых технологических узлов TN при совершенствовании технологий в рамках рассматриваемого поколения: см. табл. 2–4 и формулы (2–4, 9).

На рис. 1, 2 в качестве примера использования рассмотренной методики представлены результаты расчетов некоторых характеристик инвертора в подпороговой области для различных TN.

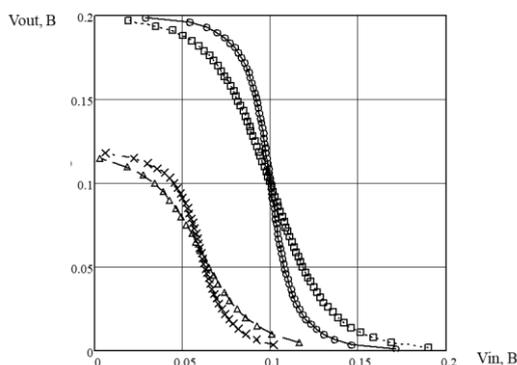


Рис. 1. Передаточные характеристики инвертора при $V_{dd} = 0.2$ В ($\circ - TN=90$ нм, $\square - TN=20$ нм) и $V_{dd} = 0.12$ В ($\times - TN=90$ нм, $\Delta - TN=20$ нм)

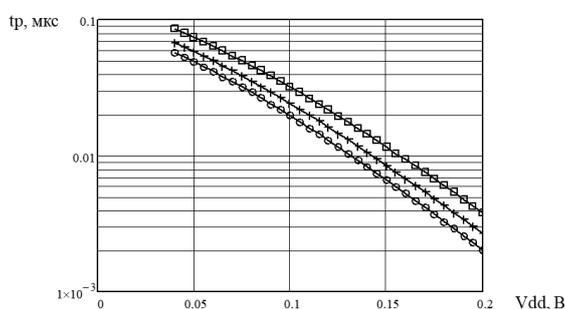


Рис. 2. Зависимости задержки сигнала в инверторе от напряжения питания V_{dd} для различных значений TN : $\circ - TN=90$ нм, $+ - TN=45$ нм, $\square - TN=20$ нм

По результатам анализа полученных характеристик можно определить основные параметры низковольтных цифровых схем: логические уровни, запасы помехоустойчивости, время задержки, статическую и динамическую потребляемую мощность и др. Результаты расчетов (см. рис. 1, 2) свидетельствуют о существенной деградации основных параметров цифровых КМОП-элементов в подпороговой области при уменьшении проектной нормы. Анализ результатов расчетов и формул (1, 5–8) показывает, что для совершенствования КМОП-элементов в подпороговом режиме необходимо оптимизировать конструкцию и технологию с целью снижения величин S , η и увеличения характеристического тока I_0 .

Заключение. В работе проведен анализ особенностей характеристик низковольтных цифровых схем на основе КМОП-технологий уровня 90–20 нм с целью выработки рекомендаций по проектированию и совершенствованию энергоэффективных устройств на их основе.

Рассмотрена методика определения ключевых параметров предиктивных моделей МОП-транзистора в подпороговом режиме. Получены выражения характеристик КМОП-инвертора в подпороговой области.

Анализ результатов расчетов показывает существенное ухудшение характеристик КМОП-элементов в подпороговом режиме при уменьшении минимальных проектных размеров менее 90 нм. Это объясняется тем, что при разработке конструкции и технологии изготовления СБИС уровня 90–20 нм все меры были направлены на снижение токов утечки закрытых транзисторов в надпороговом режиме с целью уменьшения статической составляющей потребляемой мощности. Для повышения характеристик КМОП-элементов в подпороговом режиме необходимо оптимизировать конструкцию и технологию с целью снижения величин S , η и увеличения характеристического тока I_0 .

Результаты могут быть полезны для разработчиков энергоэффективной аппаратуры.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Wang A., Calhoun B. H., Chandrakasan A. P. Sub-threshold Voltage Circuit Design for Ultra Low Power Systems. – New York: Springer, 2006. – 209 p.
2. Reynders N., Dehaene W. Ultra-Low-Voltage Design of Energy-Efficient Digital Circuits. – New York: Springer, 2015. – 192 p.
3. Jiann-Shiun Yuan, Jie Lin, Qutaiba Alasad, Shayan Taheri. Ultra-Low-Power Design and Hardware Security Using Emerging Technologies for Internet of Things // *Electronics*. – 2017. – Vol. 6, No. 3, 67. – 55 p.
4. Ibrahim H.H., Singh M.J., Al-Bawri S.S., Ibrahim S.K., Islam M.T., Alzamil A., Islam M.S. Radio Frequency Energy Harvesting Technologies: A Comprehensive Review on Designing, Methodologies, and Potential Applications // *Sensors*. – 2022. – Vol. 22, 4144. – 30 p.
5. Коноплев Б.Г. Модель ректенны на основе МОП-транзисторов для собирания СВЧ энергии при сверхнизких уровнях мощности // *Известия ЮФУ. Технические науки*. – 2024. – № 6 (242). – С. 248-256.
6. Vaddi R., Dasgupta S., Agarwal R.P. Device and Circuit Design Challenges in the Digital Subthreshold Region for Ultralow-Power App // *Hindawi VLSI Design*. – 2009. – Vol. 9, 283702. – 14 p.
7. Sicard E., Bendhia S.D. Advanced CMOS Cell Design. – New Delhi: Tata McGraw-Hill, 2007. – 364 p.
8. International Roadmap for Devices and Systems. More Moore White Paper. – IEEE, 2023. – 37 p.
9. Sicard E. Introducing 90 nm technology in Microwind3 // HAL Open Science. – URL: <https://hal.science/hal-03324305> (дата обращения: 16.05.2025).
10. Sicard E., Aziz S.M. Introducing 65 nm technology in Microwind3 // HAL Open Science. – URL: <https://hal.science/hal-03324309> (дата обращения: 16.05.2025).
11. Sicard E., Aziz S.M. Introducing 45 nm technology in Microwind3 // HAL Open Science. – URL: <https://hal.science/hal-03324315> (дата обращения: 16.05.2025).
12. Sicard E., Aziz S.M. Introducing 32 nm technology in Microwind35 // HAL Open Science. – URL: <https://hal.science/hal-03324299> (дата обращения: 16.05.2025).
13. Sicard E. Introducing 20 nm technology in Microwind // HAL Open Science. – URL: <https://hal.science/hal-03324322> (дата обращения: 16.05.2025).
14. Sicard E., Trojman L. Introducing 3-nm Nano-Sheet FET technology in Microwind // HAL Open Science. – URL: <https://hal.science/hal-03377556> (дата обращения: 16.05.2025).
15. Bol D., Ambroise R., Flandre D., Legat J.-D. Interests and Limitations of Technology Scaling for Subthreshold Logic // *IEEE Transactions on very large scale integration (VLSI) systems*. – 2009. – Vol. 17, No. 10. – P. 1508-1519.
16. Roy K., Mukhopadhyay S., Mahmoodi-Meimand H. Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits // *Proceedings of the IEEE*. – 2003. – Vol. 91, No. 2. – P. 305-327.
17. Hanson S., Seok M., Sylvester D., Blaauw D. Nanometer Device Scaling in Subthreshold Logic and SRAM // *IEEE Transactions on Electron Devices*. – 2008. – Vol. 55, No. 1. – P. 175-185.
18. Cao Y., Sato T., Orshansky M., Sylvester D., Hu C. New Paradigm of Predictive MOSFET and Interconnect Modeling for Early Circuit Simulation // *IEEE 2000 Custom Integrated Circuits Conference*. – IEEE, 2000. – P. 201-204.
19. Zhao W., Cao Y. Predictive technology model for nano-CMOS design exploration // *ACM J. Emerg. Technol. Comput. Syst.* – 2007. – Vol. 3, No. 1. Article 1. – 17 p.
20. Zhao W., Cao Y. New Generation of Predictive Technology Model for Sub-45 nm Early Design Exploration // *IEEE Transactions on Electron Devices*. – 2006. – Vol. 53, No. 11. – P. 2816-2823.
21. Bol D., Ambroise R., Flandre D., Legat J.-D. Impact of Technology Scaling on Digital Subthreshold Circuits // *IEEE Computer Society Annual Symposium on VLSI*. – IEEE, 2008. – P. 179-184.
22. Sheu B. J., Scharfetter D. L., Ko P.-K., JENG M.-C. BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors // *IEEE J. of Solid-State Circuits*. – 1987. – Vol. SC-22, No. 4. – P. 558-566.
23. Hu C., Niknejad A.M., Chauhan S.Y. BSIM4v4.8.2 MOSFET Model – User’s Manual. – USA, CA, Berkeley: University of California, 2020. – 176 p.

REFERENCES

1. Wang A., Calhoun B. H., Chandrakasan A. P. Sub-threshold Voltage Circuit Design for Ultra Low Power Systems. New York: Springer, 2006, 209 p.
2. Reynders N., Dehaene W. Ultra-Low-Voltage Design of Energy-Efficient Digital Circuits. New York: Springer, 2015, 192 p.
3. Jiann-Shiun Yuan, Jie Lin, Qutaiba Alasad, Shayan Taheri. Ultra-Low-Power Design and Hardware Security Using Emerging Technologies for Internet of Things, *Electronics*, 2017, Vol. 6, No. 3, 67, 55 p.
4. Ibrahim H.H., Singh M.J., Al-Bawri S.S., Ibrahim S.K., Islam M.T., Alzamil A., Islam M.S. Radio Frequency Energy Harvesting Technologies: A Comprehensive Review on Designing, Methodologies, and Potential Applications, *Sensors*, 2022, Vol. 22, 4144, 30 p.

5. *Konoplev B.G.* Model' rektenny na osnove MOP-tranzistorov dlya sobiraniya SVCH energii pri sverkh nizkikh urovnyakh moshchnosti [A rectenna model based on MOSFETS for microwave energy harvesting at ultra-low power levels], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2024, No. 6 (242), pp. 248-256.
6. *Vaddi R., Dasgupta S., Agarwal R.P.* Device and Circuit Design Challenges in the Digital Subthreshold Region for Ultralow-Power App, *Hindawi VLSI Design*, 2009, Vol. 9, 283702, 14 p.
7. *Sicard E., Bendhia S.D.* Advanced CMOS Cell Design. New Delhi: Tata McGraw-Hill, 2007, 364 p.
8. International Roadmap for Devices and Systems. More Moore White Paper. IEEE, 2023, 37 p.
9. *Sicard E.* Introducing 90 nm technology in Microwind3, *HAL Open Science*. Available at: <https://hal.science/hal-03324305> (accessed 16 May 2025).
10. *Sicard E., Aziz S.M.* Introducing 65 nm technology in Microwind3, *HAL Open Science*. Available at: <https://hal.science/hal-03324309> (accessed 16 May 2025).
11. *Sicard E., Aziz S.M.* Introducing 45 nm technology in Microwind3, *HAL Open Science*. Available at: <https://hal.science/hal-03324315> (accessed 16 May 2025).
12. *Sicard E., Aziz S.M.* Introducing 32 nm technology in Microwind35, *HAL Open Science*. Available at: <https://hal.science/hal-03324299> (accessed 16 May 2025).
13. *Sicard E.* Introducing 20 nm technology in Microwind, *HAL Open Science*. Available at: <https://hal.science/hal-03324322> (accessed 16 May 2025).
14. *Sicard E., Trojman L.* Introducing 3-nm Nano-Sheet FET technology in Microwind, *HAL Open Science*. – URL: <https://hal.science/hal-03377556> (accessed 16 May 2025).
15. *Bol D., Ambroise R., Flandre D., Legat J.-D.* Interests and Limitations of Technology Scaling for Subthreshold Logic, *IEEE Transactions on very large scale integration (VLSI) systems*, 2009, Vol. 17, No. 10, pp. 1508-1519.
16. *Roy K., Mukhopadhyay S., Mahmoodi-Meimand H.* Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits, *Proceedings of the IEEE*, 2003, Vol. 91, No. 2, pp. 305-327.
17. *Hanson S., Seok M., Sylvester D., Blaauw D.* Nanometer Device Scaling in Subthreshold Logic and SRAM, *IEEE Transactions on Electron Devices*, 2008, Vol. 55, No. 1, pp. 175-185.
18. *Cao Y., Sato T., Orshansky M., Sylvester D., Hu C.* New Paradigm of Predictive MOSFET and Interconnect Modeling for Early Circuit Simulation, *IEEE 2000 Custom Integrated Circuits Conference*, IEEE, 2000, pp. 201-204.
19. *Zhao W., Cao Y.* Predictive technology model for nano-CMOS design exploration, *ACM J. Emerg. Technol. Comput. Syst.*, 2007, Vol. 3, No. 1. Article 1, 17 p.
20. *Zhao W., Cao Y.* New Generation of Predictive Technology Model for Sub-45 nm Early Design Exploration, *IEEE Transactions on Electron Devices*, 2006, Vol. 53, No. 11, pp. 2816-2823.
21. *Bol D., Ambroise R., Flandre D., Legat J.-D.* Impact of Technology Scaling on Digital Subthreshold Circuits, *IEEE Computer Society Annual Symposium on VLSI*. IEEE, 2008, pp. 179-184.
22. *Sheu B. J., Scharfetter D. L., Ko P.-K., JENG M.-C.* BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors, *IEEE J. of Solid-State Circuits*, 1987, Vol. SC-22, No. 4, pp. 558-566.
23. *Hu C., Niknejad A.M., Chauhan S.Y.* BSIM4v4.8.2 MOSFET Model – User's Manual. USA, CA, Berkeley: University of California, 2020, 176 p.

Коноплев Борис Георгиевич – Южный федеральный университет; e-mail: kbg@sfedu.ru; г. Таганрог, Россия; д.т.н.; профессор; научный руководитель Института нанотехнологий, электроники и приборостроения.

Konoplev Boris Georgievich – Southern Federal University; e-mail: kbg@sfedu.ru; Taganrog, Russia; dr. of eng. sc.; professor; scientific advisor, Institute of Nanotechnologies, Electronics, and Equipment Engineering.