

Раздел I. Алгоритмы обработки информации

УДК 681.3

DOI 10.18522/2311-3103-2025-4-6-20

А.В. Болгак, Э.И. Ватутин, Д.А. Трокоз

ОЦЕНКА ВРЕМЕННЫХ ЗАТРАТ НА УМНОЖЕНИЕ КВАДРАТНЫХ БИНАРНЫХ МАТРИЦ УСТРОЙСТВА С КОНВЕЙЕРИЗАЦИЕЙ ЧТЕНИЯ ДАННЫХ ИЗ СПЕЦИАЛИЗИРОВАННОЙ МНОГОПОРТОВОЙ ПАМЯТИ

Целью данной работы является оценка временных затрат на умножение квадратных бинарных матриц размером $n \times n$ устройства с конвейеризацией операции чтения данных из специализированной многопортовой памяти и ее сравнение с временными затратами прототипа. В данной работе использовались методы математической логики, теории множеств и графов, дискретных систем и устройств ЭВМ, теории проектирования конечных автоматов. В результате исследования было показано, что использование конвейеризации операции чтения данных из специализированной многопортовой памяти позволяет снизить временные затраты на обработку квадратных бинарных матриц размером $n \leq 2048$ до 206,3 раза. Из полученных данных видно, что время загрузки и выгрузки исходных и результирующих данных для предложенного устройства существенно выше времени умножения матриц, ввиду чего частые загрузки и выгрузки матриц нецелесообразны. Например, при выполнении операции транзитивного замыкания бинарного отношения, представленного в виде бинарной матрицы, производится однократная загрузка исходной матрицы с последующей серией ее возведения в квадрат, что эффективно реализуется предложенным устройством. На основании полученных результатов можно сделать вывод, что предложенное устройство для умножения квадратных бинарных матриц с конвейеризацией операции чтения данных из специализированной многопортовой памяти обеспечивает существенный выигрыш во времени обработки и умножения квадратных бинарных матриц по сравнению с прототипом. Кроме того, результаты показали, что частые загрузки и выгрузки матриц нецелесообразны для предложенного устройства с конвейеризацией операции чтения из специализированной многопортовой памяти, так как затрачиваемое время на загрузку и выгрузку исходных и результирующих данных существенно превышает время на операцию умножения матриц.

Умножение матриц; транзитивное замыкание; оценка быстродействия; многопортовая специализированная память; специализированные вычислительные устройства; систолические вычислительные устройства.

A.V. Bolgak, E.I. Vatutin, D.A. Trokoz

ESTIMATION OF TIME SPENT ON MULTIPLICATION OF SQUARE BINARY MATRICES OF A DEVICE WITH PIPELINING OF DATA READING FROM SPECIALIZED MULTIPORT MEMORY

The purpose of this work is to estimate the time costs for multiplying square binary matrices of size $n \times n$ by a device with pipelining the operation of reading data from a specialized multiport memory and compare it with the time costs of the prototype. This work used methods of mathematical logic, set and graph theory, discrete systems and computer devices, and finite state machine design theory. As a result of the study, it was shown that the use of pipelining the operation of reading data from specialized multiport memory reduces the time spent on processing square binary matrices with a size of $n \leq 2048$ up to 206.3 times. It can be seen from the data obtained that the loading and unloading time of the source and result data for the proposed device is significantly higher than the matrix multiplication time, which makes frequent loading and unloading of matrices impractical. For example, when performing the operation of transitive closure of a binary relation represented as a binary matrix, the initial matrix is loaded once, followed by a series of squaring, which is effectively implemented by the proposed device. Based on the obtained results, it can be concluded that the proposed device for multiplying square binary matrices with

pipelining the operation of reading data from a specialized multiport memory provides a significant gain in the time of processing and multiplying square binary matrices compared to the prototype. In addition, the results showed that frequent loading and unloading of matrices is impractical for the proposed device with pipelining the operation of reading from a specialized multiport memory, since the time spent on loading and unloading the original and resulting data significantly exceeds the time for the matrix multiplication operation.

Matrix multiplication; transitive closure; performance evaluation; multiport specialized memory; specialized computing devices; systolic computing devices.

Введение. Умножение матриц – это одна из задач, решение которой позволяет эффективно задействовать основные вычислительные ресурсы современных процессоров и графических ускорителей, тем самым, увеличивая реальную производительность и уменьшая временные затраты на решение поставленной задачи за счет алгоритмической и высокоуровневой оптимизации соответствующей программной реализации.

Существует базовый подход умножения матриц – классическое умножение, которое реализуется в соответствии с известной формулой:

$$c_{ij} = \sum_{k=1}^N a_{ik} b_{kj}, \quad i, j = \overline{1, N}.$$

Данный подход достаточно прост, однако неэффективен, когда размер матриц превышает объем кэш-памяти процессора. Любая практическая реализация умножения матриц требовательная к темпу поступления данных из памяти [1], в связи с этим, на практике применяются различные методы, позволяющие увеличить темп поступления данных из памяти. Например, на процессорах (CPU) блочное умножение матриц позволяет разбить большие матрицы на меньшие блоки, которые помещаются в кэш-память, что минимизирует количество обращений к основной памяти [2–4]. Стоит отметить, что на процессорах с поддержкой векторных расширений системных команд (SSE) также существуют специализированные программные реализации, которые также позволяют повысить эффективность использования кэш-памяти процессора в совокупности с выполнением нескольких арифметических действий параллельно во времени в соответствии с принципом SIMD.

Другим направлением для снижения времени выполнения матричного умножения является умножение матриц на графических процессорах (GPU) в рамках концепции GPGPU. Использование параллельных алгоритмов, таких как алгоритмы на основе технологий CUDA, OpenCL, STREAM для GPU [5–8] позволяет значительно ускорить выполнение умножения матриц.

Помимо вышеперечисленных, существует множество алгоритмических подходов, направленных на снижение временных затрат на умножение матриц. Например, алгоритмы умножения матриц Штрассена [9], Копперсмита-Винограда [10], отличительной особенностью которых является более низкая временная асимптотика, но, несмотря на это, практический выигрыш от их использования наблюдается на матрицах значительно большего размера (миллионы элементов).

В случае, если на программном уровне время выполнения операции умножения матриц оказывается неприемлемо долгим, то возможен перенос данной операции с программного уровня на аппаратный путем разработки специализированного вычислительного устройства. На аппаратном уровне существует несколько подходов к реализации умножения матриц. Они могут быть разделены на три основные группы:

1. Оптические устройства [11, 12]. Устройства данной группы используют оптические элементы для выполнения операций умножения. Несмотря на их теоретическую привлекательность, в настоящее время они не используются на практике.

2. Вероятностные устройства [13]. Эти устройства имеют встроенные вероятностные свойства и могут допускать статистическую погрешность. Несмотря на то, что они могут предлагать высокую производительность, несоответствие стандартам IEEE 754 и низкая точность ограничивают их применение в практических задачах.

3. Цифровые устройства с параллельно-конвейерной архитектурой [14–18]. На сегодняшний день эта группа является наиболее распространенной. Устройства, основанные на принципах параллельной и конвейерной обработки, позволяют эффективно выполнять умножение матриц. Примеры таких устройств включают умножители Брауна, Бута и Бо-Вули и другие, которые реализуют различные архитектурные подходы к выполнению операций над матрицами.

Существует отдельный класс задач, направленный на обработку бинарных матриц. К ним, например, относятся задачи построения матриц достижимости и контрдостижимости в графах [19], поиска транзитивного замыкания бинарного отношения [20–22]. В случае их аппаратной реализации удастся значительно снизить аппаратную сложность и повысить быстродействие соответствующих специализированных вычислительных устройств. Данные устройства можно разделить на два направления: на базе систолических структур [23, 24] и итерационные устройства [25]. Вычислительные устройства с систолической структурой характеризуется высоким быстродействием, однако они обладают существенно большей аппаратной сложностью, являющейся препятствием для их практической реализации при умножении матриц большого размера. Итерационные устройства умножения бинарных матриц характеризуются умеренным быстродействием и низкой аппаратной сложностью. Также при реализации операции умножения бинарных матриц процесс умножения строки на столбец может быть досрочно прерван в случае получения единичного значения на одной из промежуточных итераций, что может быть использовано для снижения затрат вычислительного времени в случае умножения разреженных бинарных матриц. Данная особенность может быть эффективно реализована на практике только в составе устройств на базе аппаратной реализации алгоритмов классического умножения матриц с возможностью параллельной обработки информации.

В каждом конкретном случае (размер матриц, плотность матриц, ограничение на аппаратную сложность устройства) возможен выбор одного из перечисленных выше программных или аппаратных подходов к реализации операции умножения матриц на практике.

Одним из примеров систолических устройств, взятых за основу для дальнейшей доработки, является устройство для матричных операций [26]. При его работе умножение матриц возможно за линейное время, однако, на каждом такте работы ему требуется поступление $2n$ коэффициентов перемножаемых матриц, что невозможно при использовании классической памяти и требует разработки специализированной многопортовой памяти с n портами чтения, что было предложено в устройстве [23]. Кроме того, при обработке бинарных матриц возможно существенное снижение аппаратной сложности и повышение быстродействия за счет сокращения разрядности обрабатываемых данных с нескольких байт до одного бита, что было реализовано в устройстве [24]. Дальнейшие расчеты [27] показали, что при использовании специализированной многопортовой памяти предложенной архитектуры достигается снижения времени обработки, однако для матриц размером $n > 64$ время обработки по-прежнему лимитируется темпом поступления данных из памяти, а не временем работы систолической операционной части.

Исходя из вышесказанного, с целью снижения временных затрат на чтение данных из многопортовой памяти предложено устройство, основанное на систолическом принципе умножения, отличительной особенностью которого является конвейеризация чтения данных.

Основное внимание в данной статье уделяется оценке временных затрат устройства для умножения бинарных матриц размером $n \times n$ и их сопоставление с известными программными и аппаратными реализациями, перечисленными выше.

Материалы и методы. При программной обработке матрица хранится в оперативной памяти в виде двумерного массива бинарных значений, элементы матрицы располагаются в памяти подряд, для обращения к элементу матрицы требуется вычисление адреса. При аппаратно-ориентированной обработке данные передаются из оперативной памяти в специализированную многопортовую память устройства. Матрицы подаются в операционную часть систолического устройства в направлении сверху-вниз для одной мат-

рицы и слева-направо для другой, где за линейное время производится их умножение. На рис. 1 приведена функциональная схема предложенного устройства, на рис. 2 – схема операционного блока устройства, на рис. 3 – схема блока хранения одной ячейки памяти (специализированная конвейерная многопортовая память), на рис. 4 – схема блока коэффициентов матрицы (одна ячейка для хранения одного коэффициента матрицы в рамках многопортовой памяти).

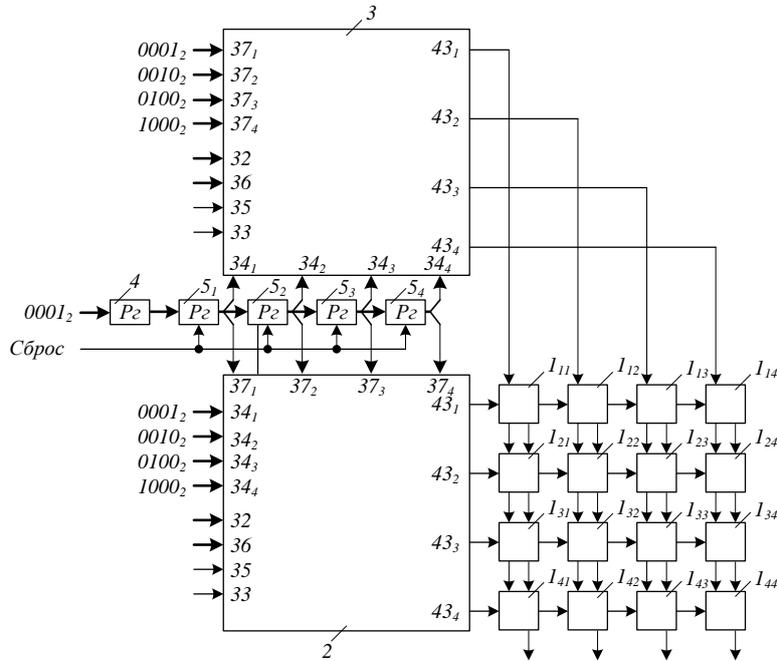


Рис. 1. Функциональная схема предложенного устройства

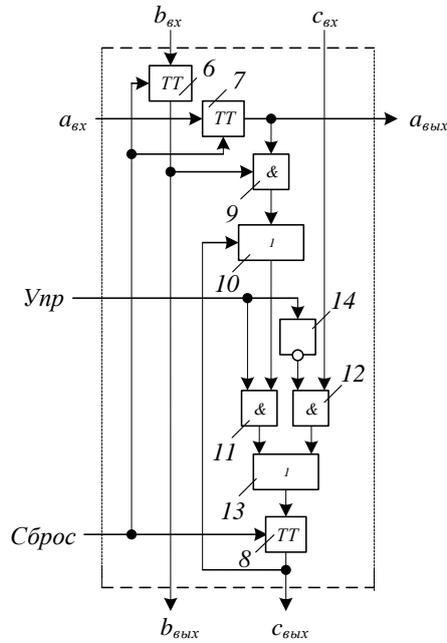


Рис. 2. Схема операционного блока предложенного устройства

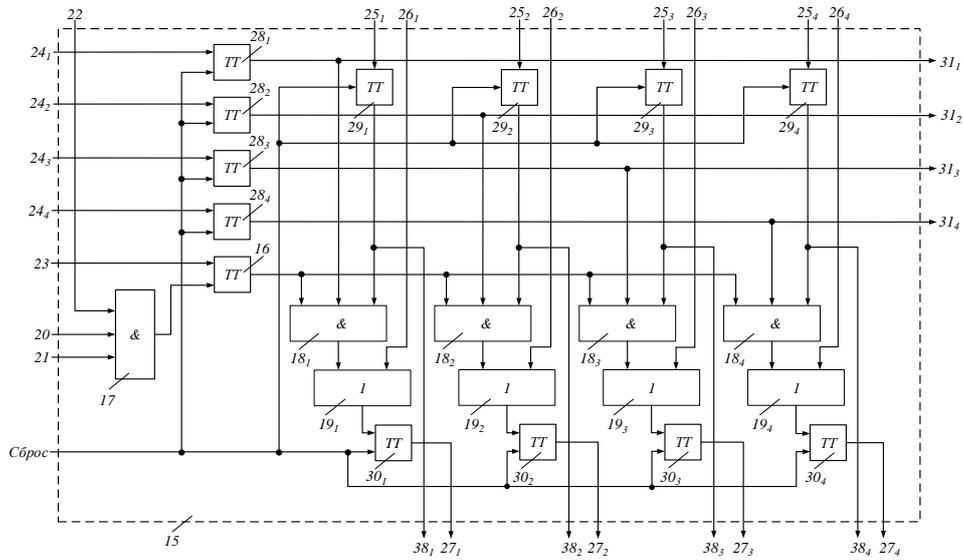


Рис. 3. Схема блока хранения предложенного устройства

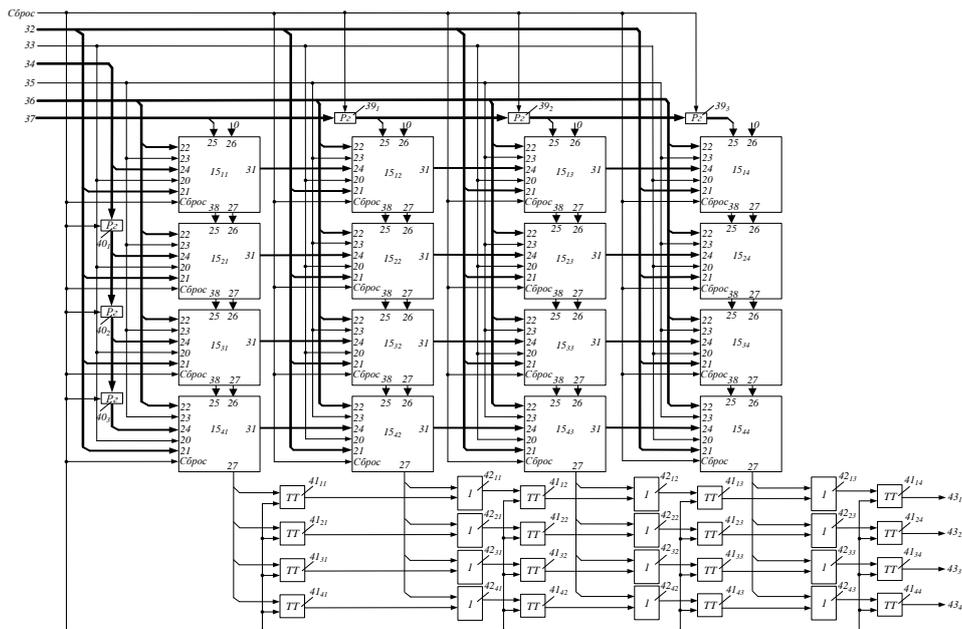


Рис. 4. Схема блока коэффициентов матрицы предложенного устройства

Перед началом работы устройства выполняется подача сигнала сброса значений на входы всех регистров и триггеров устройства, что обеспечивает их установку в ноль. На вход данных подается единичное значение. После выполнения инициализации устройства исходные данные (коэффициенты) умножаемых матриц А и В поочередно загружаются в блоки коэффициентов матриц 2 и 3 (рис. 1) внешним устройством, загрузка элементов первой и второй матриц может быть совмещена во времени. Далее выполняется умножение двух матриц и чтение следующей порции данных. После получения результирующей матрицы С происходит её выгрузка из специализированной многопортовой памяти устройства в оперативную память. Выгрузка осуществляется в конвейерном режиме.

В общем случае, кроме непосредственно времени умножения, необходимо учитывать время загрузки исходных данных и время возврата результата, для чего определяющим фактором является пропускная способность шины, обеспечивающая связь специализированного устройства и оперативной памяти (контроллера прямого доступа в память).

Результаты и их обсуждение. Выполним оценку предлагаемого устройства с точки зрения временных затрат на умножение квадратных бинарных матриц. Время работы устройства напрямую будет зависеть от времени работы каждого отдельного этапа и определяется как

$$t_{\text{общ}} = t_{\text{зан}} + t_{\text{ин}} + t_{\text{раб}} + t_{\text{выгр}},$$

где $t_{\text{зан}}$ – время передачи данных из оперативной памяти в память устройства; $t_{\text{ин}}$ – время инициализации устройства; $t_{\text{раб}}$ – время обработки данных; $t_{\text{выгр}}$ – время передачи данных из памяти устройства в оперативную память.

При реализации операции записи сигналу со входа 23 (рис. 3) данных записи необходимо переключить триггер 16 (необходимое время – $2t_0$, где t_0 – время работы одного эквивалентного вентиля) по приходу синхросигнала, которому требуется пройти через трехходовой элемент И 17 (необходимое время – $2t_0$). Таким образом, общее время записи одного блока хранения 15 составляет

$$t_{\text{зан}} = \underbrace{2t_0}_{\text{ТТ 16}} + \underbrace{2t_0}_{\text{И 17}} = 4t_0.$$

На этапе загрузки исходных данных значения a_{ij} , $i, j = \overline{1, n}$ элементов первой матрицы подаются поочередно. С учетом того, что время записи одного блока хранения 15 составляет $4t_0$, общее время последовательной загрузки данных одной матрицы, включающей в своем составе $n \times n$ блоков хранения 15, составляет $4t_0n^2$. Аналогичное время требуется для загрузки данных второй матрицы, а общее время загрузки составляет $t_{\text{зан}} = 8t_0n^2$.

На этапе инициализации устройства производится сброс значений группы двухступенчатых регистров 5, триггеров 6, 7, 8, групп триггеров 28, 29, 30, групп двухступенчатых регистров 39, 40, группы триггеров 41, на что требуется время $t_{\text{ин}} = 2t_0$.

Этап работы устройства включает в своем составе $(2n - 1)$ итерацию. На каждой итерации операционная часть работает как группа линейных синхронных конвейеров под управлением общего синхросигнала. Конвейерный такт t_k определяется максимумом из времени чтения данных из специализированной памяти и времени работы операционного блока 1:

$$t_k = \max(t_{k \text{ чм}}, t_{k \text{ об}}).$$

В начале работы адрес строки с одного из входов 34 (рис. 4) адресов строк чтения блока коэффициентов матрицы записывается в первую ступень двухступенчатого регистра 40₁ и с входа 24 в первую ступень группы триггеров 28₁ – 28_n блока хранения 15₁₁, на что затрачивается время $2t_0$, параллельно с этим адрес столбца с одного из входов 37 адресов строк чтения блока коэффициентов матрицы записывается в первую ступень двухступенчатого регистра 39₁ с входа 25 в первую ступень группы триггеров 29₁ – 29_n блока хранения 15₁₁, далее данные переписываются из первых во вторые ступени группы триггеров 30₁ – 30_n, на что затрачивается время $2t_0$.

Далее производится запись информации из вторых ступеней двухступенчатых регистров 40 _{$i-1$} в первые ступени регистров 40 _{i} и из вторых ступеней двухступенчатых регистров 39 _{$i-1$} в первые ступени регистров 39 _{i} , где $i = \overline{2, n}$, на что затрачивается время $2t_0$, и из вторых ступеней триггеров 28₁ – 28_n блоков хранения 15 _{ij} в первые ступени триггеров 28₁ – 28_n блоков хранения 15 _{$i, j+1$} , где $i = \overline{1, n}$, $j = \overline{1, n-1}$, и из вторых ступеней триггеров 29₁ – 29_n блоков хранения 15 _{ij} в первые ступени триггеров 29₁ – 29_n блоков хранения 15 _{$i+1, j$} , где $i = \overline{1, n-1}$, $j = \overline{1, n}$, на что затрачивается время $2t_0$.

Далее сигналы с выходов вторых ступеней групп триггеров 28₁ – 28_n и 29₁ – 29_n открывают трехходовые элементы И 18₁ – 18_n (необходимое время – $2t_0$) для прохождения сигнала с выхода триггера 16 на входы элементов ИЛИ 19 (необходимое время – t_0) и затем записывается в первую ступень группы триггеров 30, на что затрачивается время $2t_0$.

Параллельно с записью информации во вторые ступени двухступенчатых регистров 39, 40 и триггеров 28, 29 выполняется прохождение сигнала через элементы ИЛИ 42 (необходимое время – t_0), далее запись информации в первую ступень триггеров 41 (необходимое время – $2t_0$) и затем запись информации из первой ступени во вторую триггеров 41 (необходимое время – $2t_0$).

Временная диаграмма, поясняющая этап работы предложенного устройства приведена на рис. 5.

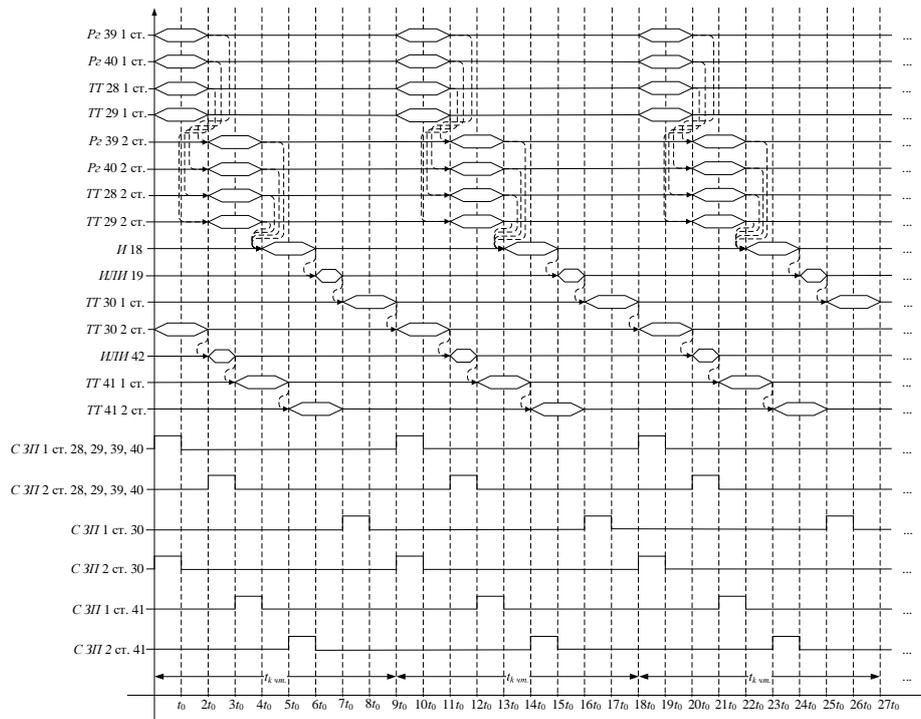


Рис. 5. Временная диаграмма, поясняющая логику работы предложенного устройства

Время чтения порции данных из памяти в конвейерном режиме составляет

$$t_{k \text{ чт.}} = \max \left(\underbrace{2t_0}_{Pz\ 39\ 1\ \text{ст.}}, \underbrace{2t_0}_{Pz\ 40\ 1\ \text{ст.}}, \underbrace{2t_0}_{TT\ 28\ 1\ \text{ст.}}, \underbrace{2t_0}_{TT\ 29\ 1\ \text{ст.}}, \underbrace{2t_0}_{TT\ 30\ 1\ \text{ст.}} \right) + \max \left(\max \left(\underbrace{2t_0}_{Pz\ 39\ 2\ \text{ст.}}, \underbrace{2t_0}_{Pz\ 40\ 2\ \text{ст.}}, \underbrace{2t_0}_{TT\ 28\ 2\ \text{ст.}}, \underbrace{2t_0}_{TT\ 29\ 2\ \text{ст.}} \right) + \underbrace{2t_0}_{И\ 18} + \underbrace{t_0}_{ИЛИ\ 19} + \underbrace{2t_0}_{TT\ 30\ 2\ \text{ст.}}, \right. \\ \left. \underbrace{t_0}_{ИЛИ\ 42} + \underbrace{2t_0}_{TT\ 41\ 1\ \text{ст.}} + \underbrace{2t_0}_{TT\ 41\ 2\ \text{ст.}} \right) = 2t_0 + \max(7t_0, 5t_0) = 9t_0.$$

Во время работы ячейки операционного блока устройства обработки бинарных матриц на базе систолических структур (рис. 2) сигнал a_{ex} проходит через двухступенчатый триггер 7 за время $4t_0$, параллельно с этим, сигнал b_{ex} аналогично проходит через двухступенчатый триггер 6. Изначально запись сигналов a_{ex} и b_{ex} происходит в первую ступень триггеров 6 и 7, соответственно, за время $2t_0$. Далее, сигналы переходят на вторую ступень данных триггеров, за время равное $2t_0$.

Наиболее длинный путь, возникающий при прохождении сигнала через логические элементы по схеме операционного блока 1, представлен элементами: триггеры 6, 7, 8, элементы И 9, 11, элементы ИЛИ 10, 13, на что необходимо время

$$t_{k \text{ об.}} = \max \left(\underbrace{4t_0}_{TT\ 6}, \underbrace{4t_0}_{TT\ 7} \right) + \underbrace{t_0}_{И\ 9} + \underbrace{t_0}_{ИЛИ\ 10} + \underbrace{t_0}_{И\ 11} + \underbrace{t_0}_{ИЛИ\ 13} + \underbrace{2t_0}_{TT\ 8} = 10t_0,$$

запись во вторую ступень триггера 8 производится параллельно с записью в первые ступени триггеров 6 и 7, поясняющая временная диаграмма приведена на рис. 6.

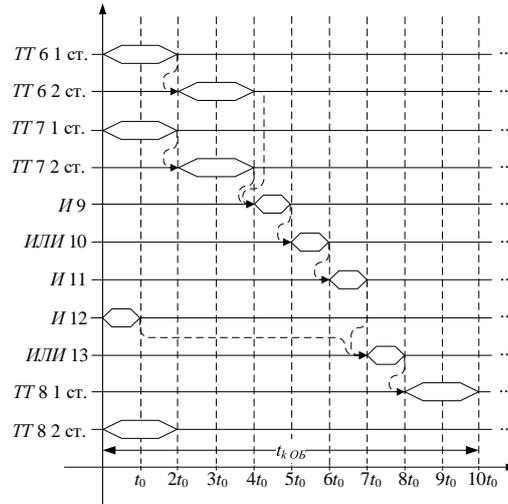


Рис. 6. Временная диаграмма, поясняющая работу операционного блока предложенного устройства

Конвейерный такт может быть определен как

$$t_k = \max(9t_0, 10t_0) = 10t_0.$$

Время обработки данных $t_{раб} = t_k \times (2n - 1)$ ввиду того, что при выбранном алгоритме умножения матриц подача коэффициентов производится за $(2n - 1)$ итерацию. Исходя из этого, время обработки данных составляет

$$t_{раб} = 10t_0 \times (2n - 1) = 20t_0n - 10t_0 = (20n - 10) t_0.$$

На этапе получения результата происходит выгрузка данных, хранящихся в триггерах 8 операционных блоков 1. Выгрузка происходит в конвейерном режиме: перемещение данных между ступенями триггеров 8 занимает время, равное $4t_0$, через каждый из элементов И 12 и ИЛИ 13 – t_0 , общее время – $6t_0$. Для перемещения данных операционных блоков 1 верхнего ряда требуется n итераций. На каждой итерации производится выгрузка n коэффициентов, следовательно, $t_{выгр} = 6t_0n^2$.

Общее время работы устройства определяется как

$$t_{общ} = 8t_0n^2 + 2t_0 + 10t_0 \times (2n - 1) + 6t_0n^2 = 14t_0n^2 + 2t_0 + 20t_0n - 10t_0 = (14n^2 + 20n - 8) t_0.$$

Оценим временные затраты прототипа [24] на умножение бинарных матриц.

Время работы прототипа определяется как

$$t_{общ. прот.} = t_{зап. прот.} + t_{ин. прот.} + t_{раб. прот.} + t_{выгр. прот.},$$

где $t_{зап. прот.}$ – время передачи данных из оперативной памяти в память устройства; $t_{ин. прот.}$ – время инициализации устройства; $t_{раб. прот.}$ – время обработки данных; $t_{выгр. прот.}$ – время передачи данных из памяти устройства в оперативную память.

Время загрузки данных, время инициализации, время работы операционных блоков и время выгрузки результата совпадают у предложенного устройства и прототипа:

$$t_{зап. прот.} = t_{зап.};$$

$$t_{ин. прот.} = t_{ин.};$$

$$t_{к ОБ прот.} = t_{к ОБ};$$

$$t_{выгр. прот.} = t_{выгр.}$$

Этап работы прототипа включает в своем составе $(2n - 1)$ итерацию. На каждой итерации операционная часть работает как группа линейных синхронных конвейеров под управлением общего синхросигнала. Конвейерный такт определяется максимумом из времени чтения данных из специализированной памяти и времени работы операционного блока 1:

$$t_{к прот.} = \max(t_{к чт. прот.}, t_{к ОБ прот.}).$$

При чтении данных сигнал с выхода триггера 16 (рис. 7) проходит через один из трехходовых элементов И 18, на что затрачивается время $2t_0$ (все элементы И 18 в составе блоков хранения работают параллельно), через один из двухходовых элементов ИЛИ 19, на что затрачивается время t_0 и через n -входовой элемент ИЛИ 34 (рис. 8), на что с использованием пирамидальной схемы из двухходовых элементов необходимо время $\lceil \log_2 n \rceil t_0$, где $\lceil x \rceil$ – операция округления вверх. Таким образом, общее время чтения данных составляет

$$t_{\text{чт. прот.}} = 2t_0 + t_0n + \lceil \log_2 n \rceil t_0.$$

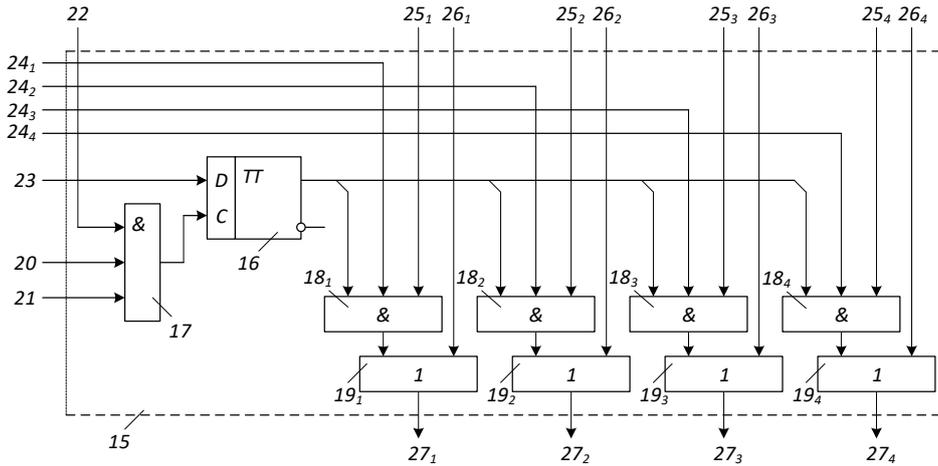


Рис. 7. Схема блока хранения прототипа

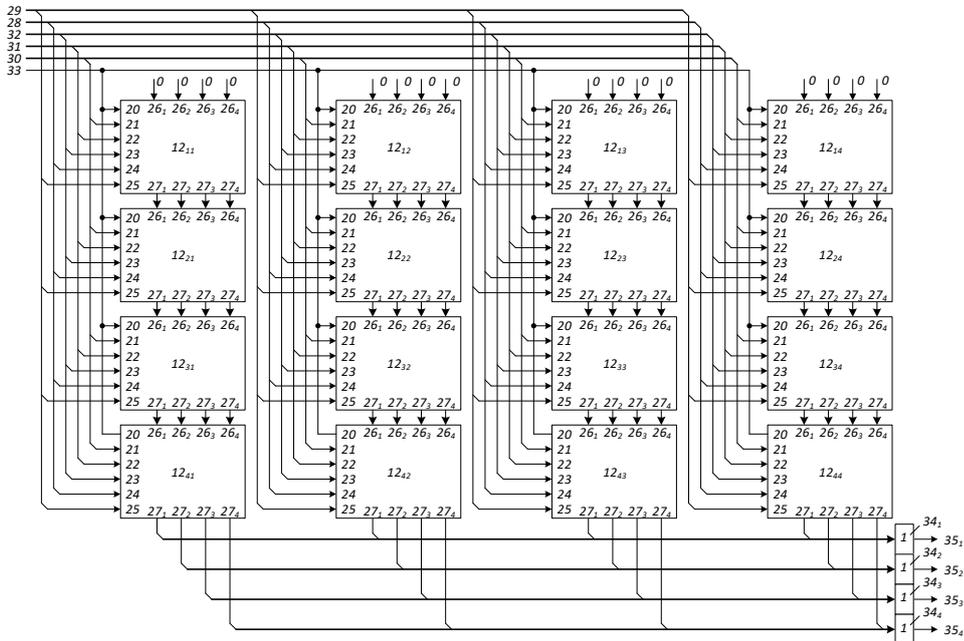


Рис. 8. Схема блока коэффициентов матрицы прототипа

Конвейерный такт может быть определен как

$$t_k \text{ прот.} = \max (10t_0, 2t_0 + t_0n + \lceil \log_2 n \rceil t_0).$$

Для практически важных случаев ($n > 4$)

$$t_k \text{ прот.} = 2t_0 + t_0n + \lceil \log_2 n \rceil t_0,$$

т.е. время работы прототипа лимитируется темпом поступления входных данных из специализированной многопортовой памяти. Время обработки данных $t_{\text{раб. прот.}} = t_k \text{ прот.} \times (2n - 1)$ ввиду того, что при выбранном алгоритме умножения матриц подача коэффициентов производится за $(2n - 1)$ итерацию и составляет

$$t_{\text{раб. прот.}} = 2t_0 + t_0n + \lceil \log_2 n \rceil t_0 \times (2n - 1) = 4t_0n + 2t_0n^2 + 2n \lceil \log_2 n \rceil t_0 - 2t_0 - t_0n - \lceil \log_2 n \rceil t_0 = 2t_0n^2 + 3t_0n - 2t_0 + 2n \lceil \log_2 n \rceil t_0 - \lceil \log_2 n \rceil t_0.$$

Общее время работы прототипа определяется как

$$t_{\text{общ. прот.}} = 8t_0n^2 + 2t_0 + (2t_0n + t_0n + \lceil \log_2 n \rceil t_0) \times (2n - 1) + 6t_0n^2 = 14t_0n^2 + 2t_0 + 4t_0n + 2t_0n^2 + 2n \lceil \log_2 n \rceil t_0 - 2t_0 - t_0n - \lceil \log_2 n \rceil t_0 = 14t_0n^2 + 2t_0n^2 + 3t_0n + 2n \lceil \log_2 n \rceil t_0 - \lceil \log_2 n \rceil t_0 = (16n^2 + 3n + 2n \lceil \log_2 n \rceil - \lceil \log_2 n \rceil) t_0.$$

Проведем сравнение временных затрат двух устройств при одинаковых n .

Выигрыш во времени обработки определяется как

$$\eta = \frac{t_{\text{общ. прот.}}}{t_{\text{общ.}}} = \frac{16n^2 + 3n + 2n \lceil \log_2 n \rceil - \lceil \log_2 n \rceil}{14n^2 + 20n - 8}.$$

Значения временных затрат каждого этапа работы для предложенного устройства и прототипа, рассчитанные для различных n , $t_0 = 1 \text{ нс}$ приведены в табл. 1.

Таблица 1

Значения временных затрат каждого этапа работы устройств

n	$t_{\text{зан.}} \text{, МС}$	$t_{\text{зан. прот.}} \text{, МС}$	$t_{\text{раб.}} \text{, МС}$	$t_{\text{раб. прот.}} \text{, МС}$	$t_{\text{выгр.}} \text{, МС}$	$t_{\text{выгр. прот.}} \text{, МС}$	$t_{\text{общ. прот.}} \text{, МС}$	$t_{\text{общ.}} \text{, МС}$
2		0,000032	0,00003	0,000015	0,000024		0,000073	0,000088
4		0,000128	0,00007	0,000056	0,000096		0,000282	0,000296
8		0,000512	0,00015	0,000195	0,000384		0,00109	0,00104
16		0,00205	0,00031	0,00068	0,00154		0,00427	0,00389
32		0,00819	0,00063	0,00245	0,00614		0,0168	0,0149
64		0,0327	0,00127	0,00914	0,0246		0,0664	0,0586
128		0,131	0,00255	0,0349	0,0983		0,264	0,232
256		0,524	0,00511	0,135	0,393		1,05	0,922
512		2,09	0,0102	0,535	1,57		4,21	3,68
1024		8,39	0,0204	2,12	6,29		16,8	14,7
2048		33,5	0,0409	8,44	25,2		67,1	58,7

Сравнительная оценка временных затрат на работу предложенного устройства и прототипа, рассчитанная для различных n , $t_0 = 1 \text{ нс}$ приведена в табл. 2.

Таблица 2

Сравнительная оценка временных затрат на работу устройств

n	$t_{\text{общ. прот.}}, \text{мс}$	$t_{\text{общ.}}, \text{мс}$	Выигрыш	
			Раз	%
8	0,00109	0,00104	1,04	4
16	0,00427	0,00389	1,10	10
32	0,0168	0,0149	1,12	12
64	0,0664	0,0586	1,13	13
128	0,264	0,232	1,14	14
256	1,05	0,922	1,14	14
512	4,21	3,68	1,14	14
1024	16,8	14,7	1,14	14
2048	67,1	58,7	1,14	14

Значения временных затрат для предлагаемого устройства и прототипа, рассчитанные для различных n , $t_0 = 1 \text{ нс}$ приведены в табл. 3.

Таблица 3

Сравнительная оценка временных затрат устройств на умножение матриц

n	Предложенное устройство	Устройство-прототип [24]	Выигрыш, раз
8	150 нс	190 нс	1,3
16	310 нс	680 нс	2,2
32	630 нс	2450 нс	3,9
64	1,27 мкс	9,14 мкс	7,2
128	2,55 мкс	34,9 мкс	13,7
256	5,11 мкс	135 мкс	26,4
512	0,0102 мс	0,535 мс	52,4
1024	0,0204 мс	2,12 мс	103,9
2048	0,0409 мс	8,44 мс	206,3

Оценка временных затрат устройств на умножение матриц, рассчитанная для различных n , $t_0 = 1 \text{ нс}$ приведена в табл. 4.

Таблица 4

Оценка временных затрат вычислительных устройств на умножение матриц

n	Intel Core i5-11400 [4]	Intel Core i7-4770 [28]	Intel Core i7-4770 (SSE) [29-30]	NVIDIA GeForce 770 GT [7]	Устройство-аналог [23]	Устройство-аналог [25]	Устройство-прототип [24]	Предложенное устройство
8	330 нс	–	–	–	145000 нс	3900 нс	190 нс	150 нс
16	2870 нс	–	1321,3 нс	–	145000 нс	24300 нс	680 нс	310 нс
32	28250 нс	–	9637,6 нс	–	145000 нс	175000 нс	2450 нс	630 нс
64	300 мкс	–	58,2 мкс	–	198 мкс	1314 мкс	9,14 мкс	1,27 мкс
128	2600 мкс	–	419,4 мкс	–	391 мкс	10073 мкс	34,9 мкс	2,55 мкс
256	23600 мкс	14000 мкс	3078 мкс	55000 мкс	776 мкс	81400 мкс	135 мкс	5,11 мкс
512	194,5 мс	104 мс	22,7 мс	75 мс	1,54 мс	656,3 мс	0,535 мс	0,0102 мс
1024	1603 мс	850 мс	238,6 мс	210 мс	3,08 мс	4895 мс	2,12 мс	0,0204 мс
2048	13318 мс	7000 мс	2454,3 мс	1300 мс	6,15 мс	39068 мс	8,44 мс	0,0409 мс

Заключение. Из представленных расчетов можно сделать вывод о том, что использование конвейеризации операции чтения данных из специализированной многопортовой памяти позволяет снизить временные затраты на обработку квадратных бинарных матриц размером $n \leq 2048$ до 206,3 раза. Из данных табл. 1 видно, что время загрузки и выгрузки исходных и результирующих данных для предложенного специализированного вычислительного устройства существенно выше времени умножения матриц, ввиду чего частые загрузки и выгрузки матриц нецелесообразны. Например, при выполнении операции транзитивного замыкания бинарного отношения, представленного в виде бинарной матрицы, производится однократная загрузка исходной матрицы с последующей серией ее возведения в квадрат, что эффективно реализуется предложенным специализированным вычислительным устройством.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Штейнберг Б.Я. Блочно-рекурсивное параллельное перемножение матриц // Известия ВУЗов. Приборостроение. – 2009. – Т. 52, № 10. – С. 33-41.
2. Кожин А.С., Недбайло Ю.А. Методы оптимизации времени доступа в общий кэш многоядерного микропроцессора // Вопросы радиоэлектроники. – 2017. – № 3. – С. 27-32.
3. Егунов В.А. О влиянии кэш-памяти на эффективность программной реализации базовых операций линейной алгебры // Прикаспийский журнал: управление и высокие технологии. – 2018. – № 3. – С. 88-96.
4. Болгак А.В., Ватутин Э.И. Оценка реальной производительности процессоров семейства Intel Core различных поколений в задаче умножения вещественных матриц для однопоточной программной реализации // Облачные и распределенные вычислительные системы в электронном управлении. ОРВС – 2023: Сб. трудов 4-й международной научно-технической конференции (28 ноября – 1 декабря 2023 года) / ред. кол.: И.И. Курочкин [и др.]; ИПС РАН. Переславль-Залесский. – Курск: Изд-во ЗАО «Университетская книга». – 2024. – С. 98-100.
5. Старовойтов И.Н., Ревняков Е.Н., Полякова Е.Н. Параллельные вычисления на графических процессорах // Первая Международная научная конференция по проблемам цифровизации: EDCRUNCH URAL – 2020: Матер. конференции (Екатеринбург, 29–30 сентября 2020 г.); М-во науки и высш. образования РФ. – Екатеринбург: Изд-во Урал. ун-та, 2020. – С. 314-319.
6. Тумаков Д.Н., Чикрин Д.Е., Егорчев А.А., Голоусов С.В. Технология программирования CUDA: учеб. пособие. – Казань: Казанский государственный университет, 2017. – 112 с.
7. Ватутин Э.И., Мартынов И.А., Титов В.С. Оценка реальной производительности современных видеокарт с поддержкой технологии CUDA в задаче умножения матриц // Известия Юго-Западного государственного университета. Серия: Управление, вычислительная техника, информатика. Медицинское приборостроение. – 2014. – № 2. – С. 8-17.
8. Боресков А.В., Харламов А.А., Марковский Н.Д. и др. Параллельные вычисления на GPU. Архитектура и программная модель CUDA. – М.: Изд-во Московского университета, 2012. – 336 с.
9. Volker S. Gaussian Elimination is not Optimal // Numerische Mathematik. – Springer Science+Business Media, 1969. – Vol. 13, Iss. 4. – P. 354-356.
10. Don C., Shmuel W. Matrix Multiplication via Arithmetic Progressions // Journal of Symbolic Computation. – 1990. – P. 251-280.
11. Юшин А.М. Справочник. Оптоэлектронные приборы и их зарубежные аналоги. – М.: Изд-во «РадиоСофт»2000. – Т. 1. – 512 с.
12. Белов П.А., Беспалов В.Г., Васильев В.Н., Козлов С.А., Павлов А.В., Симовский К.Р., Шполянский Ю.А. Оптические процессоры: достижения и новые идеи // В кн.: Проблемы когерентной и нелинейной оптики. – СПб, 2006. – С. 6-36.
13. Плаксиенко В.С., Плаксиенко Н.Е., Плаксиенко С.В. Устройства приема и обработки сигналов: учеб. пособие для вузов. – М.: Учебно-методический издательский центр «Учебная литература», 2004. – 376 с.
14. Лобач В.Т., Потупак М.В. Основы проектирования цифровых устройств радиоэлектронных систем: учеб. пособие. – Ростов-на-Дону; Таганрог: Изд-во ЮФУ, 2020. – 140 с.
15. Сырякин В.И. Интеллектуальные системы 4-й промышленной революции: Сб. материалов IV Международного форума, г. Томск, 15-16 декабря 2021 г. – Томск: STT, 2022. – 104 с.
16. Одинец А.И., Науменко А.П. Цифровые устройства: АЦП и ЦАП: учеб. пособие. – Омск: Изд-во ИРСИД, 2006. – 48 с.
17. Gümüşskaya Haluk, Örencik Bülent. A parallel pipelined computer architecture for digital signal processing // Turkish Journal of Electrical Engineering and Computer Sciences. – 1998. – Vol. 6, No. 2. – Article 4. – P. 107-130.

18. *Строгонов А.В.* Основы цифровой обработки сигналов. – Воронеж: ФГБОУ ВПО «Воронежский государственный технический университет», 2014.
19. *Зыков А.А.* Основы теории графов. – М.: Наука, 1986. – 384 с.
20. *Ватутин Э.И., Зотов И.В.* Построение матрицы отношений в задаче оптимального разбиения параллельных управляющих алгоритмов // Известия Курского государственного технического университета. – 2004. – № 2. – С. 85-89.
21. *Алескеров Ф.Т., Хабина Э.Л., Шварц Д.А., Егорова Л.Г.* Бинарные отношения, графы и коллективные решения. Примеры и задачи: учеб. пособие для вузов. – М.: Изд-во Юрайт, 2021. – 458 с.
22. *Бобонова Е.Н.* Методы математической обработки данных: учеб. пособие. – М.; Вологда: Инфра-инженерия, 2024. – 116 с.
23. Патент РФ на полезную модель № 157948. Устройство для умножения матриц / *Мартынов И.А., Ватутин Э.И., Титов В.С.* Заявл. 08.07.2015, опубл. 20.12.2015. Бюл. № 35.
24. Патент РФ на полезную модель № 193927. Устройство для умножения бинарных матриц / *Гвоздева С.Н., Ватутин Э.И., Пиеничных А.О., Титов В.С.* Заявл. 26.06.2019, опубл. 21.11.2019.
25. Патент РФ № 2744239. Устройство для возведения бинарной матрицы в квадрат / *Гвоздева С.Н., Ватутин Э.И., Титов В.С.* Заявл. 05.07.2020, опубл. 04.03.2021.
26. А.с. СССР 1429127 МПК G06F17/16. Устройство для матричных операций / *Якуш В.П., Седухин С.Г., Авгуль Л.Б., Ленев А.А.* Заявл. 04.03.1987. Опубл. 07.10.1988.
27. *Гвоздева С.Н., Ватутин Э.И., Титов В.С.* Оценка быстродействия устройства с систолической структурой для умножения бинарных матриц // Телекоммуникации. – 2020. – Т. 3. – С. 2-10.
28. *Ватутин Э.И., Мартынов И.А., Титов В.С.* Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации // Известия Юго-Западного государственного университета. Серия: Управление, вычислительная техника, информатика. Медицинское приборостроение. – 2013. – № 4. – С. 11-20.
29. *Ватутин Э.И., Титов В.С.* Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 1) // Известия Юго-Западного государственного университета. – 2015. – Т. 1, № 4 (61). – С. 26-35.
30. *Ватутин Э.И., Титов В.С.* Оценка реальной производительности современных процессоров в задаче умножения матриц для однопоточной программной реализации с использованием расширения SSE (часть 2) // Известия Юго-Западного государственного университета. – 2015. – Т. 1, № 5 (62). – С. 8-16.

REFERENCES

1. *Shteynberg B.Ya.* Blochno-rekursivnoe parallel'noe peremnozhenie matrits [Block-recursive parallel matrix multiplication], *Izvestiya VUZov. Priborostroeniye* [Proceedings of Higher Education Institutions. Instrumentation], 2009, Vol. 52, No. 10, pp. 33-41.
2. *Kozhin A.S., Nedbaylo Yu.A.* Metody optimizatsii vremeni dostupa v obshchiy kesh mnogoyadernogo mikroprotssora [Methods for optimizing access time to the shared cache of a multicore microprocessor], *Voprosy radioelektroniki* [Questions of radio electronics], 2017, No. 3, pp. 27-32.
3. *Egunov V.A.* O vliyaniy kesh-pamyati na effektivnost' programmnoy realizatsii bazovykh operatsiy lineynoy algebrы [On the effect of cache memory on the effectiveness of software implementation of basic linear algebra operations], *Prikaspiyskiy zhurnal: upravlenie i vysokie tekhnologii* [Caspian Journal: Management and High Technologies], 2018, No. 3, pp. 88-96.
4. *Bolgak A.V., Vatutin E.I.* Otsenka real'noy proizvoditel'nosti protssorov semeystva Intel Core razlichnykh pokoleniy v zadache umnozheniya veshchestvennykh matrits dlya odnopotochnoy programmnoy realizatsii [Evaluation of the real performance of Intel Core processors of various generations in the task of multiplying real matrices for single-threaded software implementation], *Oblachnye i raspredelennye vychislitel'nye sistemy v elektronnom upravlenii. ORVS – 2023: Sb. trudov 4-y mezhdunarodnoy nauchno-tekhnicheskoy konferentsii (28 noyabrya – 1 dekabrya 2023 goda)* [Cloud and distributed computing systems in electronic control. ORVS – 2023: Proceedings of the 4th International Scientific and Technical Conference (November 28 – December 1, 2023)], ed. by I.I. Kurochkin [et al.]; IPS RAS. Pereslavl-Zalessky. Kursk: Izd-vo ZAO «Universitetskaya kniga». – 2024, pp. 98-100.
5. *Starovoytov I.N., Revnyakov E.N., Polyakova E.N.* Parallelnye vychisleniya na graficheskikh protssorakh [Parallel computing on graphics processors], *Pervaya Mezhdunarodnaya nauchnaya konferentsiya po problemam isifrovizatsii: EDCRUNCH URAL – 2020: Mater. konferentsii (Ekaterinburg, 29–30 sentyabrya 2020 g.)* [The First International Scientific Conference on Digitalization: EDCRUNCH URAL – 2020: conference proceedings (Yekaterinburg, September 29-30, 2020)]; Ministry of Science and Higher Education. education of the Russian Federation. Ekaterinburg: Izd-vo Ural. un-ta, 2020, pp. 314-319.

6. *Tumakov D.N., Chikrin D.E., Egorchev A.A., Golousov S.V.* Tekhnologiya programmirovaniya CUDA: ucheb. posobie [CUDA programming technology: a textbook]. Kazan': Kazanskiy gosudarstvennyy universitet, 2017, 112 p.
7. *Vatutin E.I., Martynov I.A., Titov V.S.* Otsenka real'noy proizvoditel'nosti sovremennykh videokart s podderzhkoy tekhnologii CUDA v zadache umnozheniya matrits [Evaluation of the actual performance of modern graphics cards with support for CUDA technology in the matrix multiplication problem], *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta. Seriya: Upravlenie, vychislitel'naya tekhnika, informatika. Meditsinskoe priborostroenie* [Proceedings of the Southwest State University. Series: Management, computer engineering, computer science. Medical instrumentation], 2014, No. 2, pp. 8-17.
8. *Boreskov A.V., Kharlamov A.A. Markovskiy N.D. i dr.* Parallelnye vychisleniya na GPU. Arkhitektura i programnaya model' CUDA [Parallel computing on the GPU. CUDA architecture and software model]. Moscow: Izd-vo Moskovskogo universiteta, 2012, 336 p.
9. *Volker S.* Gaussian Elimination is not Optimal, *Numerische Mathematik*. Springer Science+Business Media, 1969, Vol. 13, Iss. 4, pp. 354-356.
10. *Don C., Shmuel W.* Matrix Multiplication via Arithmetic Progressions, *Journal of Symbolic Computation*, 1990, pp. 251-280.
11. *Yushin A.M.* Spravochnik. Optoelektronnye pribory i ikh zarubezhnye analogi [Handbook. Optoelectronic devices and their foreign analogues]. Moscow: Izd-vo «RadioSoft»2000, Vol. 1, 512 p.
12. *Belov P.A., Bepalov V.G., Vasil'ev V.N., Kozlov S.A., Pavlov A.V., Simovskiy K.R., Shpolyanskiy Yu.A.* Opticheskie protsessory: dostizheniya i novye idei [Optical processors: achievements and new ideas], *V kn.: Problemy kogerentnoy i ne-lineynoy optiki* [Problems of Coherent and Nonlinear Optics]. Saint Petersburg, 2006, pp. 6-36.
13. *Plaksienko V.S., Plaksienko N.E., Plaksienko S.V.* Ustroystva priema i obrabotki signalov: ucheb. posobie dlya vuzov [Signal reception and processing devices: A textbook for universities]. Moscow: Uchebno-metodicheskiy izdatel'skiy tsentr «Uchebnaya literatura», 2004, 376 p.
14. *Lobach V.T., Potipak M.V.* Osnovy proektirovaniya tsifrovyykh ustroystv radioelektronnykh sistem: ucheb. posobie [Fundamentals of designing digital devices of radioelectronic systems: a textbook]. Rostov-on-Don; Taganrog: Izd-vo YuFU, 2020, 140 p.
15. *Syryamkin V.I.* Intellektual'nye sistemy 4-y promyshlennoy revolyutsii: Sb. materialov IV Mezhdunarodnogo foruma, g. Tomsk, 15-16 dekabrya 2021 g. [Intelligent systems of the 4th industrial revolution: collection of materials of the IV International Forum, Tomsk, December 15-16, 2021]. Tomsk: STT, 2022, 104 p.
16. *Odinets A.I., Naumenko A.P.* Tsifrovyye ustroystva: ATSP i TSAP: ucheb. posobie [Digital devices: ADC and DAC: textbook]. Omsk: Izd-vo IRSID, 2006, 48 p.
17. *Gümüşkaya Haluk, Örencik Bülent.* A parallel pipelined computer architecture for digital signal processing, *Turkish Journal of Electrical Engineering and Computer Sciences*, 1998, Vol. 6, No. 2, Article 4, pp. 107-130.
18. *Strogonov A.V.* Osnovy tsifrovoy obrabotki signalov [Fundamentals of digital signal processing]. Voronezh: FGBOU VPO «Voronezhskiy gosudarstvennyy tekhnicheskiy universitet», 2014.
19. *Zykov A.A.* Osnovy teorii grafov [Fundamentals of graph theory]. Moscow: Nauka, 1986, 384 p.
20. *Vatutin E.I., Zotov I.V.* Postroenie matritsy otnošeniy v zadache optimal'nogo razbieniya parallelnykh upravlyayushchikh algoritmov [Construction of a matrix of relations in the problem of optimal partitioning of parallel control algorithms], *Izvestiya Kurskogo gosudarstvennogo tekhnicheskogo universiteta* [Proceedings of the Kursk State Technical University], 2004, No. 2, pp. 85-89.
21. *Aleskerov F.T., Khabina E.L., Shvarts D.A., Egorova L.G.* Binarnyye otnošeniya, grafy i kollektivnyye resheniya. Primery i zadachi: ucheb. posobie dlya vuzov [Binary relations, graphs and collective solutions. Examples and tasks: a textbook for universities]. Moscow: Izd-vo Yurayt, 2021, 458 p.
22. *Bobonova E.N.* Metody matematicheskoy obrabotki dannykh: ucheb. posobie [Methods of mathematical data processing: textbook]. Moscow; Vologda: Infrainzheneriya, 2024, 116 p.
23. *Martynov I.A., Vatutin E.I., Titov V.S.* Patent RF na poleznuyu model' № 157948. Ustroystvo dlya umnozheniya matrits [Patent of the Russian Federation for utility model No. 157948. Device for matrix multiplication]. Claimed 08.07.2015, publ. 20.12.2015. Bul. No. 35.
24. *Gvozdeva S.N., Vatutin E.I., Pshenichnykh A.O., Titov V.S.* Patent RF na poleznuyu model' № 193927. Ustroystvo dlya umnozheniya binarnyykh matrits [Patent of the Russian Federation for utility model No. 193927. Device for multiplying binary matrices]. Claimed 26.06.2019, publ. 21.11.2019.

25. *Gvozdeva S.N., Vatutin E.I., Titov V.S.* Patent RF № 2744239. *Ustroystvo dlya vozvedeniya binarnoy matritsy v kvadrat* [Patent of the Russian Federation No. 2744239. Device for squaring a binary matrix]. Claimed 07.05.2020, publ. 03.04.2021.
26. *Yakush V.P., Sedukhin S.G., Avgul' L.B., Lenev A.A.* A.s. SSSR 1429127 MPK G06F17/16. *Ustroystvo dlya matrichnykh operatsiy* [A.S. USSR 1429127 IPC G06F17/16. Device for matrix operations]. Claimed 03.04.1987. publ. 10.07.1988.
27. *Gvozdeva S.N., Vatutin E.I., Titov V.S.* Otsenka bystrodeystviya ustroystva s sistolicheskoy strukturoy dlya umnozheniya binarnykh matrits [Evaluation of the performance of a device with a systolic structure for multiplying binary matrices], *Telekommunikatsii* [Telecommunications], 2020, Vol. 3, pp. 2-10.
28. *Vatutin E.I., Martynov I.A., Titov V.S.* Otsenka real'noy proizvoditel'nosti sovremennykh protsessorov v zadache umnozheniya matrits dlya odnopotochnoy programmnoy realizatsii [Evaluation of the real performance of modern processors in the task of matrix multiplication for single-threaded software implementation], *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta. Seriya: Upravlenie, vychislitel'naya tekhnika, informatika. Meditsinskoe priborostroenie* [Proceedings of the Southwest State University]. Series: Management, computer engineering, computer science. Medical instrumentation], 2013, No. 4, pp. 11-20.
29. *Vatutin E.I., Titov V.S.* Otsenka real'noy proizvoditel'nosti sovremennykh protsessorov v zadache umnozheniya matrits dlya odnopotochnoy programmnoy realizatsii s ispol'zovaniem ras-shireniya SSE (chast' 1) [Evaluation of the real performance of modern processors in the matrix multiplication problem for single-threaded software implementation using the SSE extension (part 1)], *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta* [Proceedings of the Southwest State University], 2015, Vol. 1, No. 4 (61), pp. 26-35.
30. *Vatutin E.I., Titov V.S.* Otsenka real'noy proizvoditel'nosti sovremennykh protsessorov v zadache umnozheniya matrits dlya odnopotochnoy programmnoy realizatsii s ispol'zovaniem rasshireniya SSE (chast' 2) [Evaluation of the real performance of modern processors in the matrix multiplication problem for single-threaded software implementation using the SSE extension (part 2)], *Izvestiya Yugo-Zapadnogo gosudarstvennogo universiteta* [Proceedings of the Southwest State University], 2015, Vol. 1, No. 5 (62), pp. 8-16.

Болгак Алексей Владимирович – Юго-Западный государственный университет; e-mail: aleksei.bolgack@yandex.ru; г. Курск, Россия; тел.: +79081218651; аспирант кафедры вычислительной техники; ORCID: <https://orcid.org/0009-0004-6081-0395>.

Ватутин Эдуард Игоревич – Юго-Западный государственный университет; e-mail: evatutin@rambler.ru; г. Курск, Россия; д.т.н.; доцент; ORCID: <https://orcid.org/0000-0002-7362-7387>.

Трокоз Дмитрий Анатольевич – Пензенский государственный университет; e-mail: dmitriy.trokoz@gmail.com; г. Пенза, Россия; д.т.н.; доцент; ORCID: <https://orcid.org/0000-0003-0989-3928>.

Bolgak Aleksei Vladimirovich – Southwest State University; e-mail: aleksei.bolgack@yandex.ru; Kursk, Russia; phone: +79081218651; post-graduate student of the Department of Computer Engineering; ORCID: <https://orcid.org/0009-0004-6081-0395>.

Vatutin Eduard Igorevich – Southwest State University; e-mail: evatutin@rambler.ru; Kursk, Russia; dr. of eng. sc.; associate professor; ORCID: <https://orcid.org/0000-0002-7362-7387>.

Trokoz Dmitriy Anatol'evich – Penza State University; e-mail: dmitriy.trokoz@gmail.com; Penza, Russia; dr. of eng. sc.; associate professor; ORCID: <https://orcid.org/0000-0003-0989-3928>.