

**А.В. Подопригора**

**МЕТОД ОРГАНИЗАЦИИ ДИСКРЕТНО-СОБЫТИЙНЫХ ВЫЧИСЛЕНИЙ  
ДЛЯ ОБРАБОТКИ БОЛЬШИХ РАЗРЕЖЕННЫХ  
НЕСТРУКТУРИРОВАННЫХ МАТРИЦ НА РВС**

*С усложнением моделей исследуемых объектов и процессов в разных областях науки и техники появляется большое количество задач, для которых необходимо применять высокопроизводительные вычислительные системы. Так, для обработки матричных массивов используют кластерные многопроцессорные вычислительные системы с применением специальных методов, направленных на организации параллельных вычислений, и в большинстве случаев производительность вычислительной системы является достаточно высокой. Однако такая эффективность вычислений наблюдается не на всех видах матриц. Матричная структура может содержать большое количество незначимых элементов, большую размерность, и ее портрет может быть неструктурированным. Решение такого рода матриц на кластерных МВС не позволяет получить производительность, близкую к пиковой, поскольку методы обработки никак не учитывают такую сложную структуру обрабатываемой матрицы, в результате чего производительность системы многократно снижается. Разработка методов для кластерных МВС не позволяет в полной мере обеспечить высокую производительность на классе задач, посвященной обработке больших разреженных неструктурированных матриц. Жесткая архитектура связей процессоров не учитывает особенности таких матриц, что приведёт к неоднородности загрузки вычислительного процессора. Для обеспечения производительности, близкой к пиковой на задачах обработки больших разреженных неструктурированных матриц, необходимо применять реконфигурируемые вычислительные системы, архитектура которых позволяет адаптироваться под структуру решаемой задачи. Это позволяет организовывать конвейерную обработку так, чтобы вычислительный ресурс РВС был использован только на информативно значимые операции. Помимо использования общепринятых методов структурной организации высокопроизводительных вычислений для РВС, необходимо разработать формат хранения и передачи больших разреженных неструктурированных матриц, определить принципы построения базовых матричных макроопераций и возможность организации составных дискретно-событийных матричных функций для решения прикладных задач. В результате проведенных исследований положено начало метода, позволяющего организовать вычисления, операндами которых являются большие разреженные неструктурированные матрицы. Применение этого метода для организации вычислений позволяет существенно повысить производительность и обеспечить повышение эффективности работы такой системы.*

*Реконфигурируемые вычислительные системы; высокопроизводительные вычислительные системы; разреженная матрица; большая разреженная неструктурированная матрица; сложение разреженных матриц; дискретно-событийное моделирование; системы массового обслуживания; дискретно-событийная организация вычислений.*

**A.V. Podoprigora**

**DISCRETE-EVENT METHOD COMPUTATIONS ORGANIZING FOR  
PROCESSING LARGE SPARSE UNSTRUCTURED MATRIXES ON RCS**

*Increasing models complexity objects and processes study, in different sphere of science and technology, set up plenty issues to necessary to use high-performance computing systems. Arrays matrix processing by cluster multiprocessor computing systems in conjunction special methods aimed at organizing parallel computations, basically obtain computing performance system is quite high. However, that computational efficiency is not observed for all types of matrices. Matrix structure be in a position contain large amount of insignificant elements, large dimension and unstructured portrait. Calculation execute for described kind of matrices on cluster multiprocessor*

*computing system couldn't achieve close peak performance. Considering that processing methods leave out the complex structure of the matrix being processed. As a result, the performance of the system is significantly reduced. The development of cluster MCS methods doesn't allow for full ensure high performance for class of problems processing of large sparse unstructured matrices. Rigid architecture of processor commutation net doesn't take into account the peculiarities of such matrices, and lead to non-uniformity loading processor. To achieve performance close the peak for tasks large sparse unstructured matrices processing necessary to use reconfigurable computing systems. RCS architecture allows adapting computation structure to the problem solved. This makes it possible to organize pipeline processing, such a way that computational resource RCS used only for informational significant operations. In addition using generally accepted methods for structural organization of high-performance computing for RCS, it is necessary to develop a format for storing and transferring large sparse unstructured matrices, to determine the principles of constructing basic matrix macro-operations and the possibility of organizing composite discrete-event matrix functions for solving applied problems. Consequently method founding laid allows organizing computations operands, which are large sparse unstructured matrices. The application this method for organizing computations can significantly increase productivity, and provide an increase in the efficiency of such a system.*

*Reconfigurable computing systems; high-performance computing systems; sparse matrix; large sparse unstructured matrix; addition sparse matrices; discrete-event modeling; queuing systems; discrete-event computing.*

**Введение.** При решении задач, описывающих физические процессы, технические, социально-экономические и другие системы, возникает потребность в обработке массивов данных, представляемых в виде матриц [1]. Постоянное усложнение исследуемых объектов и процессов особым образом влияет на вид обрабатываемых матриц, их размеры увеличиваются, а портрет становится все менее структурированным. При этом их размерность может достигать порядка нескольких миллионов элементов в строке, а плотность заполнения значимыми элементами не превышать шестой части от общего числа элементов в матрице [2]. Как правило, для обработки таких больших разреженных неструктурированных матриц (БРМ матриц) применяются МВС кластерного типа, которые построены на процессорах общего назначения, часто с использованием графических сопроцессоров [3] или ускорителя вычислений на основе ПЛИС [4–6].

В совокупности с аппаратной частью используются специальные методологические подходы в организации вычислений. В частности, широко используются особые форматы хранения и передачи разреженных матриц [7]. Наиболее распространённый из них формат – CSR и его модификации. Также для выполнения операций с разреженными матрицами используются алгоритмы, предполагающие распараллеливание по данным и по инструкциям. Основной идеей таких алгоритмов является деление разреженной матрицы на группы строк и направление каждой группы на обработку определенным вычислительным узлом кластера. Это делается для равномерного распределения нагрузки между вычислительными узлами системы. Так, алгоритм распределения потоков данных главным образом направлен на организацию работы с быстрой памятью процессора, поскольку на ее загрузку требуются сотни тактов процессорного времени. В общем случае работа алгоритма состоит в том, чтобы обеспечить процессор достаточным количеством данных для непрерывной обработки. Это происходит за счет разбиения обрабатываемой матрицы на группы с последующей загрузкой в быструю память вычислителя, после обработки которых происходит смена данных. При наличии достаточного ресурса быстрой памяти процессора можно обеспечить полностью непрерывные вычисления. Распараллеливания по инструкциям широко применяется в вычислительных системах с графическими процессорами, поскольку их архитектура – это поле вычислительных узлов, которые состоят из минимального набора простейших конвейерных операций. Алгоритм распараллеливания по инструкциям

предполагает независимое использование всех доступных операций в вычислительном узле. Распараллеливание по инструкциям увеличивает производительность на ряде задач [8], однако зачастую этот подход сложен в реализации и в большей степени зависит от вида обрабатываемых данных, что существенно в задачах, связанных с обработкой БРН матрицами. Алгоритмы распараллеливания по потокам данных и по инструкциям позволяют получать прирост производительности, однако, в сравнении с пиковой производительностью вычислительной систем, он не является существенным [5].

На реализацию каждого из рассмотренных алгоритмов необходимо использовать быструю память при вычислителе, и использование этих алгоритмов сводится к поиску баланса между ресурсом быстрой памяти процессора под каждый из них. Однако при обработке БРН матриц на кластерных МВС работа этих алгоритмов становится неэффективной из-за потребности помещать большое количество данных в быструю память процессора. Причем реализация каждого из этих алгоритмов по отдельности для обработки БРН матриц на кластерной МВС становится сложной задачей, поэтому производительность кластерных систем на рассматриваемых задачах не превышает 10% от пиковой [5, 6].

Для эффективного решения задач обработки БРН матриц необходимо использовать вычислительные системы, которые позволяют организовать вычислительную структуру, в которой есть возможность аппаратно реализовать такие информационные незначимые операции, как обмен между вычислительными узлами [9], вычислительными узлами и кеш-памятью, вычислительными узлами и оперативной памятью, оперативной памятью и кеш-памятью [10]. При таком подходе БРН матрицы подаются на обработку в виде множества плотных потоков данных. При этом простое оборудования, выполняющего информационно значимые преобразования, исключаются, и обработка ведется конвейерным образом [11]. Подходящими вычислительными системами для организации такого рода вычислительных структур являются реконфигурируемые вычислительные системы на основе ПЛИС [12, 13].

**Организация обработки БРН матриц на РВС.** Концепция преобразования множества потоков в результирующий в большей степени описана в теории структурной организации вычислений для РВС, позволяет достигать максимальной производительности при решении задач [14]. Основной идеей структурной организации вычислений является реализация информационного графа задачи в параллельном виде, который содержит все возможные варианты обработки данных для выполняемой задачи. Для реализации вычислительной структуры, соответствующей всему информационному графу задачи обработки БРН матриц, с большой долей вероятности потребуется аппаратный ресурс, который не может быть обеспечен существующими РВС.

При нехватке аппаратного ресурса на структурную реализацию информационного графа задачи используют структурно-процедурную организацию вычислений, для которой из информационного графа необходимо выделить базовый подграф. Базовый подграф изоморфен по отношению к информационному графу и содержит минимально необходимый набор операторов для решения поставленной задачи. При наличии аппаратного ресурса вычислительная структура на основе базового подграфа может быть масштабирована для линейного увеличения скорости решения задачи [15].

Для реконфигурируемых вычислительных систем существуют методы, позволяющие организовать матричные вычисления, однако эти методы и средства подходят для плотных матриц [16]. Применение этих методов для обработки БРН матриц являются неэффективным, поскольку ведет к использованию чрезмерных аппаратных затрат вычислительной системы.

**Дискретно-событийная организация потоков данных.** На основании этого автором предлагается метод [17], который берет свое начало от дискретно-событийного моделирования – вида имитационного моделирования, в котором функционирование системы представляется как хронологическая последовательность событий [18]. В качестве событий обычно выступает появление объекта в системе, обработка которого определяет изменение состояния системы. Все данные о периодах работы и состояниях системы фиксируются в статистику для дальнейшей оптимизации специалистом. В дискретно-событийном моделировании существует набор неотъемлемых компонент, однако основополагающим для организации дискретно-событийных матричных операций является механизм появления новых объектов с фиксированием их по времени, а также выполнение обработки при появлении события. Использование дискретно-событийного подхода позволяет исключить нулевые или незначимые элементы из структуры хранения матрицы и не выполнять операций, результат которых не повлияет на формирование финального результата [19].

Первым компонентом организации дискретно-событийных матричных операций является разработка формата представления БРН матрицы в РВС, поскольку для него необходимо выполнять не только адресную, как в существующих форматах хранения разреженных матриц, но и управляющую функцию. Этот формат основан на процессе поступления объектов в дискретно-событийной модели, когда каждому событию соответствует определенное время. Так, БРН матрица хранит только значимые элементы, и каждому ненулевому элементу соответствует номер его позиции в строке, строки матрицы отделяются специальным символом. В вычислительной системе хранение матрицы организуется в виде двух одномерных массивов, представленных как последовательность строк матрицы: массива ненулевых элементов матрицы и массива позиций, соответствующих номерам значимых элементов. Массив позиций, помимо адресной функции, выполняет управляющую функцию. Анализ текущих позиций в матрице требуется для обработки более чем одной матрицы, поскольку на основе анализа позиций будут формироваться необходимость выполнения преобразований над значениями ненулевых элементов и выбор правильной позиции этого элемента. Для выполнения простых операций, таких как арифметика матрицы со скалярными значениями или операция транспонирования, достаточно использовать структуры, позволяющие обрабатывать поток строк БРН матрицы в представленном дискретно-событийном формате.

При выполнении операций над двумя БРН матрицами, такими как суммирование двух БРН матриц или умножения двух БРН матриц, необходимо организовать анализ позиций значимых элементов. На основании анализа происходит выбор чтения памяти одной или обеих матриц операндов на вход вычислительного узла матричной операции и необходимость выполнения или пропуск арифметической операции. После чтения значимого элемента и номера его позиции БРН матрицы на его место продвигается следующий значимый элемент со своей позицией для новой итерации анализа. Обработка матрицы происходит поэлементно. При соответствии позиций значимых элементов происходит обработка элементов в соответствии с реализуемой операцией над матрицами. Важным является то, что при выполнении операции БРН матрицы будут загружаться в вычислительное поле последовательно, что влечет появление скважности обработки данных. Таким образом, на операциях обработки двух БРН матриц наблюдается пятидесятипроцентная производительность относительно пиковой производительности реконфигурируемой вычислительной системы.

В случае выполнения операций над тремя и более БРН матрицами необходимо проводить анализ позиций значимых элементов всех БРН матриц. Скважность обработки вычислительной структуры будет соответствовать количеству БРН матриц, при этом значение скважности будет варьироваться от одного до количества обрабатываемых БРН матриц, а логика управления в функциях усложняется и становится уникальной для каждой новой функции над  $n$  БРН матрицами. Для снижения скважности до минимально достижимого значения необходимо произвести преобразования, которые рассмотрим подробнее.

В ходе проведенных автором исследований было установлено, что для обработки произвольного количества БРН матриц необходимо строить пирамидальную вычислительную структуру, в каждом узле которой находится базовая макрооперация. Критерием для базовых макроопераций является обеспечение минимального числа операндов, поскольку количество операндов в макрооперации напрямую влияет на скважность обработки данных. К таким операциям относятся простые арифметические операции БРН матриц со скалярными значениями, транспонирование БРН матрицы, а также суммирование двух БРН матриц и умножение двух БРН матриц. При применении данного преобразования для любого количества БРН матриц в составе функции можно обеспечить скважность во всех узлах пирамидальной вычислительной структуры, равное двум.

Следующее преобразование касается внутренней структуры базовой макрооперации. Полученная скважность на базовых макрооперациях, равная двум, может быть компенсирована за счет увеличения аппаратных затрат. Этот дополнительный ресурс необходим для организации дополнительных управляющих функций, обеспечивающих выбор количества портов для записи результатов операции на текущих значимых элементах БРН матрицы. Также необходимо обеспечить возможность выбора двухканального режима записи в буферный элемент следующего уровня в пирамидальной вычислительной структуре. Таким образом, скважность подачи данных сократится до единицы, а удельная производительность вычислительной системы с учетом увеличения аппаратного ресурса на организацию базовых макроопераций над БРН матрицами будет приближаться к 75% относительно пиковой производительности РВС.

**Эффекты СМО в процессе обработки БРН матриц.** Использование подходов систем массового обслуживания влечет за собой некоторые характерные особенности. Такой важной особенностью является вероятность потери события. Поскольку в нашем случае событием является подача значимого элемента на вход вычислительного узла функции над БРН матрицами, то потеря значимого элемента ведет к получению неправильного результата. Однако на практике это может означать следующую процедуру: остановку чтения данных в вычислительное поле, перестройку памяти на запись данных из вычислительного поля в память, после чего необработанный элемент БРН матрицы должен записаться в память и после обратной перестройки памяти на чтение быть вычитан для следующей операции. Такая процедура возврата элемента в цикл обработки крайне неэффективна, поэтому для разрешения такого случая используется буферизация. Использование буферизации входного потока используется для минимизации потерь пакетов при передаче данных. В таких системах, где возможна потеря заявок, в случае с обработкой БРН матриц значимых элементов одной из важнейших характеристик является вероятность того, что произвольный элемент будет потерян. Для операции над БРН матрицей вероятность потери произвольного ненулевого элемента соотносится с вероятностью того, что в произвольный момент времени буфер будет полностью заполнен. Эта вероятность рассчитывается, исходя из длины буфери-

зируемых данных, интенсивностей поступления и обработки данных, по формуле (1) для стационарной вероятности процесса гибели и размножения, таким образом, чтобы вероятность  $p_f \rightarrow 0$ . На основании полуденных вероятностей рассчитывается размер буферных элементов [20].

$$p_f = \rho^n \frac{1-\rho}{1-\rho^{n+1}} \quad (1).$$

Таким образом, выделенные базовые макрооперации над БРН матрицами можно представить в виде типовой структуры потоков данных базовой макрооперации над БРН матрицами с буферной синхронизацией входных потоков данных, которая показана на рис. 1.

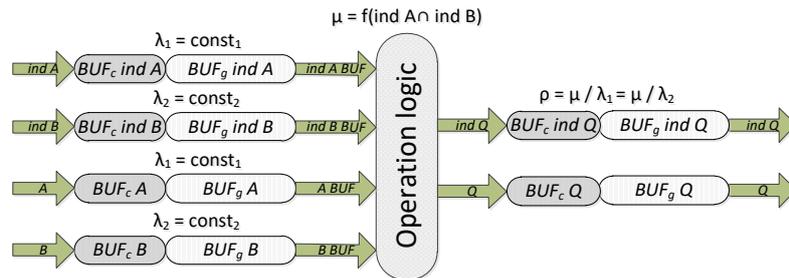


Рис. 1. Типовая структура базовой макрооперации над БРН матрицей

Размер буферных элементов  $BUF_g$  ограничен рассчитанным с применением формулы (1) значением глубины буферов для хранения входных данных. Глубина дополнительного буфера  $BUF_c$  определяется коэффициентом, вычисляемым из общей вероятности совпадения значений позиций первой и второй БРН матриц. Для задач обработки больших разреженных матриц на РВС значения интенсивностей  $\lambda_1$  и  $\lambda_2$ , как правило, будут равными и постоянными, так как характеризуются частотой подачи данных в вычислительное поле РВС. Для вычислительного узла темп обработки  $\mu$  входных потоков переменный, поскольку имеет функциональную зависимость от позиций  $ind A$  и  $ind B$ , сопровождающих значимые элементы БРН матриц  $A$  и  $B$ . Интенсивность нагрузки системы  $\rho$  определяется для выходных потоков матрицы значащих элементов  $Q$  и потока позиций  $ind Q$  как отношение интенсивности обработки  $\mu$  к интенсивности входного потока  $\lambda$ .

**Заключение.** Использование конвейерной обработки данных, структурно-процедурной организации вычислений, а также возможности аппаратной реализации информационно-незначащих операции во многом позволяет достигать производительности, близкой к значениям максимальной производительности, в отличие от МВС кластерного типа, построенных на процессорах общего назначения.

Для обеспечения высокой производительности используется метод, который основан на дискретно-событийной организации потоков данных. С учетом особенностей БРН матриц был разработан дискретно-событийный формат представления данных, который позволяет исключать незначимые элементы из структуры матрицы. Помимо адресной функции, дискретно-событийный формат представления данных выполняет функцию управления в составе дискретно-событийных матричных операций, за счет которой обеспечивается возможность исключения незначащих операций из процесса вычислений.

Стоит отметить, что без использования модернизаций базовых макроопераций над БРН матрицами дополнительным аппаратным ресурсом РВС можно гарантированно обеспечивать производительность РВС не менее 50% от пиковой. При этом использование подходов для снижения скважности за счет дополнитель-

ного аппаратного ресурса повышает удельную производительность PBC относительно пиковой на задаче обработки БРН матриц на 75 %. В конечном итоге производительность PBC на базе ПЛИС на задачах обработки БРН матриц в 7.5 раз превышает кластерные MBC.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Тихонов А.Н., Самарский А.А.* Уравнения математической физики. – М.: Изд-во Московского университета, 1999. – 6-е изд. – 798 с. Научная библиотека диссертаций и авторефератов disserCat. – URL: <http://www.dissercat.com/content/razrabotka-i-issledovanie-ekonomichnykh-algoritmov-resheniya-setochnykh-zadach-naklastere-r#ixzz5WvO2qG2e> (дата обращения: 23.11.2018).
2. *Kolodziej Scott P., Mohsen Aznaveh, Matthew Bullock, Jarrett David, Davis Timothy A., Matthew Henderson, Yifan Hu, and Read Sandstrom.* The SuiteSparse Matrix Collection Website Interface // Journal of Open Source Software 4, 35 (March 2019). – P. 1244-1248. – DOI: <https://doi.org/10.21105/joss.01244> (дата обращения: 02.12.2021).
3. Параллельные вычисления CUDA // NVIDIA Corporation. – 2018. – URL: <http://www.nvidia.ru/object/cuda-parallel-computing-ru.html> (дата обращения: 14.12.2021).
4. *Chungz E.S., Davisz J.D., Kestury S.* An FPGA Drop-In Replacement for Universal Matrix-Vector Multiplication. – Portland: Workshop on the Intersections of Computer Architecture and Reconfigurable Logic, 2012. – P. 1-6.
5. *Yang C., Buluc A., Owens J.* Design Principles for Sparse Matrix Multiplication on the GPU // Turin: International European Conference on Parallel and Distributed Computing. – 2018. – P. 12.
6. *Georgopoulos L., Sobczyk A., Christofidellis D., Dolfi M., Auer C., Staar P., Bekas C.* Enhancing multi-threaded sparse matrix multiplication for knowledge graph oriented algorithms and analytics IBM Research. – Zurich Säumerstrasse 4 CH-8803 Rüschlikon Switzerland, 2019. – 11 p.
7. *Подопригора А.В.* Методы и средства обработки больших разреженных матриц на реконфигурируемой вычислительной системе // XVI Ежегодная молодежная научная конференция «Юг России: вызовы времени, открытия, перспективы»: Матер. конференции (г. Ростов-на-Дону, 13–28 апреля 2020 г.). – Ростов-на-Дону: Изд-во ЮНЦ РАН, 2020. – 168 с. – ISBN 978-5-4358-0196-5.
8. *Kunchum R.* On Improving Sparse Matrix-Matrix Multiplication on GPUs (Thesis). The Ohio State University. – 2017. – P. 36-42 – [https://etd.ohiolink.edu/!etd.send\\_file?accession=osu1492694387445938&disposition=inline](https://etd.ohiolink.edu/!etd.send_file?accession=osu1492694387445938&disposition=inline).
9. *Сорокин Д.А.* Методы решения задач с переменной интенсивностью потоков данных на реконфигурируемых вычислительных системах: дисс. ... канд. техн. наук: 05.13.11: защищена 15.06.12: утверждена: 11.03.13. – Таганрог, 2013. – 168 с. – 005043774.
10. *Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И.* Реконфигурируемые мультиконвейерные вычислительные структуры / под общ. ред. И.А. Каляева. – 2-е изд. перераб. и доп. – Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
11. *Подопригора А.В., Чекина М.Д.* Решение разреженных СЛАУ большой и сверхбольшой размерности многосеточным методом на PBC // Известия ЮФУ. Технические науки. – 2018. – № 8 (202). – С. 212-221.
12. *Дордопуло А.И. Каляев И.А., Левин И.И., Семерников Е.А.* Семейство многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой // Многопроцессорные вычислительные и управляющие системы: Матер. научно-технической конференции. – Таганрог, 2007. – С. 11-17.
13. *Каляев И.А., Левин И.И., Семерников Е.А., Дордопуло А.И.* Реконфигурируемые вычислительные системы на основе ПЛИС семейства VIRTEX-6 // Параллельные вычислительные технологии (ПАВТ'2011): Тр. международной научной конференции. – 2011. – С. 203-211.
14. *Гузик В.Ф., Каляев И.А., Левин И.И.* Реконфигурируемые вычислительные системы / под ред. И.А. Каляева. – Таганрог: Изд-во ЮФУ, 2016. – 472 с.
15. *Каляев А.В., Левин И.И.* Модульно-наращиваемые многопроцессорные системы со структурно-процедурной организацией вычислений. – М.: Янус-К, 2003. – 380 с.
16. *Пелипец А.В.* Методы и средства решения задач линейной алгебры на высокопроизводительных реконфигурируемых вычислительных системах: дисс. ... канд. техн. наук. – Таганрог, 2016. – 199 с.

17. *Подопригора А.В.* Управление процессом обработки разреженных матриц в дискретно-событийных матричных операциях // XIV Всероссийская мультиконференция по проблемам управления (МКПУ-2021): Матер. XIV мультиконференции (Дивноморское, Геленджик, 27 сентября – 2 октября 2021 г.): в 4 т. Т. 2 / редкол.: И.А. Каляев, В.Г. Пешехонов и др. – Ростов-на-Дону; Таганрог: Изд-во ЮФУ, 2021. – С. 276-278. – ISBN 978-5-9275-3846-1.
18. *Клейнрок Л.* Теория массового обслуживания. – М.: Машиностроение, 1979. – 432 с.
19. *Подопригора А.В., Сорокин Д.А.* Управление потоками данных при решении большой разреженной СЛАУ многосеточным методом на реконфигурируемых вычислительных системах // XII мультиконференция по проблемам управления (МКПУ-2019): Матер. XII мультиконференции (Дивноморское, Геленджик, 23–28 сентября 2019 г.): в 4 т. Т. 3 / редкол.: И.А. Каляев, В.Г. Пешехонов и др. – Ростов-на-Дону, Таганрог: Изд-во ЮФУ, 2019. – С. 120-122. – ISBN 978-5-9275-3188-2.
20. *Коннов А.Л., Ушаков Ю.А.* Методы расчета показателей производительности сетей ЭВМ с неоднородным трафиком. – Оренбург: ОГУ, 2013. – С. 10-16.

## REFERENCES

1. *Tikhonov A.N., Samarskiy A.A.* Uravneniya matematicheskoy fiziki [Equations of mathematical physics]. Moscow: Izd-vo Moskovskogo universiteta, 1999. 6 ed., 798 p. *Nauchnaya biblioteka dissertatsiy i avtoreferatov disserCat* [Dissercat Scientific Library of Dissertations and Abstracts]. Available at: <http://www.dissercat.com/content/razrabotka-i-issledovanie-ekonomichnykh-algoritmov-resheniya-setochnykh-zadach-naklastere-r#ixzz5WvO2qG2e> (accessed 23 November 2018).
2. *Kolodziej Scott P., Mohsen Aznaveh, Matthew Bullock, Jarrett David, Davis Timothy A., Matthew Henderson, Yifan Hu, and Read Sandstrom.* The SuiteSparse Matrix Collection Website Interface, *Journal of Open Source Software* 4, 35 (March 2019), pp. 1244-1248. DOI: <https://doi.org/10.21105/joss.01244> (accessed 02 December 2021).
3. Параллельные вычисления CUDA, NVIDIA Corporation, 2018. Available at: <http://www.nvidia.ru/object/cuda-parallel-computing-ru.html> (accessed 14 December 2021).
4. *Chungz E.S., Davisz J.D., Kestury S.* An FPGA Drop-In Replacement for Universal Matrix-Vector Multiplication. Portland: Workshop on the Intersections of Computer Architecture and Reconfigurable Logic, 2012, pp. 1-6.
5. *Yang C., Buluc A., Owens J.* Design Principles for Sparse Matrix Multiplication on the GPU, *Turin: International European Conference on Parallel and Distributed Computing*, 2018, pp. 12.
6. *Georgopoulos L., Sobczyk A., Christofidellis D., Dolfi M., Auer C., Staar P., Bekas C.* Enhancing multi-threaded sparse matrix multiplication for knowledge graph oriented algorithms and analytics IBM Research. Zurich Säumerstrasse 4 CH-8803 Rüschlikon Switzerland, 2019, 11 p.
7. *Podoprigora A.V.* Metody i sredstva obrabotki bol'shikh razrezhennykh matrits na rekonfiguriruemy vychislitel'noy sisteme [Methods and means of processing large sparse matrices on a reconfigurable computing system], *XVI Ezhegodnaya molodezhnaya nauchnaya konferentsiya «YUg Rossii: vyzovy vremeni, otkrytiya, perspektivy»*: Mater. konferentsii (g. Rostov-na-Donu, 13–28 aprelya 2020 g.) [XVI Annual Youth Scientific Conference "South of Russia: challenges of the time, discoveries, prospects": materials of the conference (Rostov-on-Don, April 13-28, 2020)]. Rostov-on-Don: Izd-vo YuNTS RAN, 2020, 168 p. ISBN 978-5-4358-0196-5.
8. *Kunchum R.* On Improving Sparse Matrix-Matrix Multiplication on GPUs (Thesis). The Ohio State University, 2017, pp. 36-42 Available at: [https://etd.ohiolink.edu/!etd.send\\_file?accession=osu1492694387445938&disposition=inline](https://etd.ohiolink.edu/!etd.send_file?accession=osu1492694387445938&disposition=inline).
9. *Sorokin D.A.* Metody resheniya zadach s peremennoy intensivnost'yu potokov dannykh na rekonfiguriruemykh vychislitel'nykh sistemakh: disc. ... kand. tekhn. nauk [Methods for solving problems with variable intensity of data flows on reconfigurable computing systems: cand. of eng. sc. diss.]: 05.13.11 protected: 15.06.12: approved: 11.03.13. Taganrog, 2013, 168 p. 005043774.
10. *Kalyaev I.A., Levin I.I., Semernikov E.A., Shmoylov V.I.* Rekonfiguriruemye mul'tikonveyernye vychislitel'nye struktury [Reconfigurable multiconveyor computing structures], under the general ed. by I.A. Kalyaeva. 2nd ed. revised and expanded. Rostov-on-Don: Izd-vo YuNTS RAN, 2009 344 p.

11. *Podoprigora A.V., Chekina M.D.* Reshenie razrezhennykh SLAU bol'shoy i sverkhbol'shoy razmernosti mnogosetochnym metodom na RVS [The solution of sparse SLOWS of large and extra-large dimensions by the multigrid method on RVS], *Izvestiya YuFU. Tekhnicheskoe nauki* [Izvestiya SFedU. Engineering Sciences], 2018, No. 8 (202), pp. 212-221.
12. *Dordopulo A.I., Kalyaev I.A., Levin I.I., Semernikov E.A.* Semeystvo mnogoprotsessornykh vychislitel'nykh sistem s dinamicheski perestraivaemoy arkhitekturoy [A family of multiprocessor computing systems with dynamically tunable architecture], *Mnogoprotsessornye vychislitel'nye i upravlyayushchie sistemy: Mater. nauchno-tekhnicheskoy konferentsii* [Multiprocessor computing and control systems: Proceedings of the scientific and technical conference]. Taganrog, 2007, pp. 11-17.
13. *Kalyaev I.A., Levin I.I., Semernikov E.A., Dordopulo A.I.* Rekonfiguriruyemye vychislitel'nye sistemy na osnove PLIS semeystva VIRTEX-6 [Reconfigurable computing systems based on FPGAs of the VIRTEX-6 family], *Parallel'nye vychislitel'nye tekhnologii (PAVT'2011): Tr. mezhdunarodnoy nauchnoy konferentsii* [Parallel computing technologies (PAVT'2011): Proceedings of the International Scientific Conference], 2011, pp. 203-211.
14. *Guzik V.F., Kalyaev I.A., Levin I.I.* Rekonfiguriruyemye vychislitel'nye sistemy [Reconfigurable computing systems], ed. by I.A. Kalyaeva. Taganrog: Izd-vo YuFU, 2016, 472 p.
15. *Kalyaev A.V., Levin I.I.* Modul'no-narashchivaemye mnogoprotsessornye sistemy so strukturno-protsedurnoy organizatsiyey vychisleniy [Modular-stackable multiprocessor systems with structural and procedural organization of computing]. Moscow: Yanus-K, 2003, 380 p.
16. *Pelipets A.V.* Metody i sredstva resheniya zadach lineynoy algebry na vysokoproizvoditel'nykh rekonfiguriruyemykh vychislitel'nykh sistemakh: diss. ... kand. tekhn. nauk [Methods and means of solving linear algebra problems on high-performance reconfigurable computing systems: cand. of eng. sc. diss.]. Taganrog, 2016, 199 p.
17. *Podoprigora A.V.* Upravlenie protsessom obrabotki razrezhennykh matrits v diskretno-sobytiynykh matrichnykh operatsiyakh [Managing the process of processing sparse matrices in discrete-event matrix operations], *XIV Vserossiyskaya mul'tikonferentsiya po problemam upravleniya (MKPU-2021): Mater. XIV mul'tikonferentsii (Divnomorskoe, Gelendzhik, 27 sentyabrya – 2 oktyabrya 2021 g.)* [XIV All-Russian Multi-conference on Management Problems (MCPU-2021): Materials of the XIV multi-conference (Divnomorskoye, Gelendzhik, September 27 - October 2, 2021)]: In 4 vol. Vol. 2, Editorial board: I.A. Kalyaev, V.G. Peshekhonov i dr. Rostov-on-Don; Taganrog: Izd-vo YuFU, 2021, pp. 276-278. ISBN 978-5-9275-3846-1.
18. *Kleynrok L.* Teoriya massovogo obsluzhivaniya [Theory of queuing]. Moscow: Mashinostroenie, 1979, 432 p.
19. *Podoprigora A.V., Sorokin D.A.* Upravlenie potokami dannykh pri reshenii bol'shoy razrezhennoy slau mnogosetochnym metodom na rekonfiguriruyemykh vychislitel'nykh sistemakh [Managing data flows when solving a large sparse SLA by a multigrid method on reconfigurable computing systems], *XII mul'tikonferentsiya po problemam upravleniya (MKPU-2019): Mater. XII mul'tikonferentsii (Divnomorskoe, Gelendzhik, 23–28 sentyabrya 2019 g.)* [XII Multi-conference on Management Problems (MCPU-2019): Materials of the XII multi-conference (Divnomorskoye, Gelendzhik, September 23-28, 2019)]: In 4 vol. Vol. 3, Editorial board: I.A. Kalyaev, V.G. Peshekhonov i dr. Rostov-on-Don, Taganrog: Izd-vo YuFU, 2019, pp. 120-122. ISBN 978-5-9275-3188-2.
20. *Konnov A.L., Ushakov Yu.A.* Metody rascheta pokazateley proizvoditel'nosti setey EVM s neodnorodnym trafikom [Methods for calculating performance indicators of computer networks with heterogeneous traffic]. Orenburg: OGU, 2013, pp. 10-16.

Статью рекомендовал к опубликованию д.т.н. Э.В. Мельник.

**Подопригора Александр Владимирович** – Южный федеральный университет; e-mail: apodoprigora@sfedu.ru; г. Таганрог, Россия; тел.: +78634612111; аспирант.

**Podoprigora Aleksander Vladimirovich** – Southern Federal University; e-mail: apodoprigora@sfedu.ru; Taganrog, Russia; phone: +78634612111; postgraduate student.