

20. *Murdas I. A. and Abbas Y. K.* Design and Simulation of WDM-UWB Based OWC System, *Jurnal of University of Babylon*, 2016, Vol. 24, No. 4, pp. 893-906.
21. *Горбунов А.В., Зачиняев Ю.В., Плёткин А.П.* Проектирование защищённых оптических телекоммуникационных систем. Таганрог: Изд-во ЮФУ, 2019, 126 p.

Статью рекомендовал к опубликованию д.т.н., в.н.с. М.Ю. Медведев

**Жилин Сергей Викторович** – Южный федеральный университет; e-mail: szhilin@sfedu.ru; г. Таганрог, Россия; кафедра вычислительной техники; магистрант.

**Архипенко Владимир Владимирович** – e-mail: arkhipenko@sfedu.ru; кафедра вычислительной техники; магистрант.

**Басан Елена Сергеевна** – e-mail: ebasan@sfedu.ru; кафедра безопасности информационных технологий; к.т.н.; доцент.

**Поленов Максим Юрьевич** – e-mail: mypolenov@sfedu.ru; тел.: 88634371550; кафедра вычислительной техники; к.т.н.; доцент.

**Zhilin Sergey Viktorovich** – Southern Federal University; e-mail: szhilin@sfedu.ru; Taganrog, Russia; the department of computer engineering; master's student.

**Arkhipenko Vladimir Vladimirovich** – e-mail: arkhipenko@sfedu.ru; the department of computer engineering; master's student.

**Basan Elena Sergeevna** – e-mail: ebasan@sfedu.ru; the department of information technology security; cand. of eng. sc.; associate professor.

**Polenov Maxim Yuryevich** – e-mail: mypolenov@sfedu.ru; phone: +78634371550; the department of computer engineering; cand. of eng. sc.; associate professor.

УДК 621.375.9

DOI 10.18522/2311-3103-2022-2-126-135

**Н.Н. Прокопенко, В.Е. Чумаков, А.В. Бугакова, А.Е. Титов**

### **ОСОБЕННОСТИ СХЕМОТЕХНИКИ ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ НА КОМПЛЕМЕНТАРНЫХ ПОЛЕВЫХ ТРАНЗИСТОРАХ С УПРАВЛЯЮЩИМ PN-ПЕРЕХОДОМ\***

*Систематическая составляющая напряжения смещения нуля ( $U_{см}$ ) двухкаскадных ВЛТ и CMOS операционных усилителей (ОУ) с классической архитектурой существенно зависит от численных значений (отличия от единицы) коэффициента передачи по току ( $K_i \approx 1$ ) применяемых токовых зеркал (ТЗ). На данный параметр ТЗ оказывает также влияние напряжения Эрли их доминирующих активных компонентов. Поэтому, токовые JFET зеркала являются сегодня слабым звеном в современной JFET аналоговой схемотехнике и их нецелесообразно применять в структуре JFET ОУ. В статье поставлена и решена задача об условиях исключения ТЗ в ОУ на основе полевых транзисторов с управляющим pn-переходом для случая, когда необходимо получить малое значение  $U_{см}$ . Предлагаются варианты практических схем входных (ВК) и промежуточных (ПК) каскадов микроэлектронных операционных усилителей на комплементарных полевых транзисторах с управляющим pn-переходом (CJFET). Их основная особенность – отсутствие токового зеркала, которое при реализации на CJFET отрицательно влияет на основные параметры ОУ по систематической составляющей напряжения смещения нуля, коэффициентам ослабления входного синфазного сигнала и подавления помех по шинам питания. В этой связи перспективны схемы ВК и ПК, которые не используют данный CJFET функциональный узел. Приведены схемы операционных усилителей на основе разработанных ВК с разомкнутым коэффициентом усиления более 80 дБ и систематической составляющей напряжения смещения нуля в*

\* Исследование выполнено за счет гранта Российского научного фонда (проект № 22-29-00637).

пределах 300 мкВ при малом токопотреблении в статическом режиме. Актуальность выполненных исследований заключается в необходимости развития теории проектирования высокоточных JFET и CJFET IP-модулей для применения в структурах малошумящих аналоговых интерфейсов датчиков различных физических величин, в том числе работающих в тяжелых условиях эксплуатации (воздействие низких температур и радиации). Предлагаемые схемы могут быть реализованы на широкозонных полупроводниках (SiC JFET, GaN JFET или GaAs JFET).

*Аналоговые интерфейсы датчиков; операционный усилитель; комплементарные полевые транзисторы с управляющим pn-переходом; тяжелые условия эксплуатации; систематическая составляющая напряжения смещения нуля.*

**N.N. Prokopenko, V.E. Chumakov, A.V. Bugakova, A.E. Titov**

### **FEATURES OF THE CIRCUITRY OF OPERATIONAL AMPLIFIERS BASED ON COMPLEMENTARY FIELD-EFFECT TRANSISTORS WITH A CONTROL PN-JUNCTION**

*The systematic component of the offset voltage ( $V_{off}$ ) of two-stage BJT and CMOS operational amplifiers (Op-Amps) with classical architecture significantly depends on the numerical values (difference from unity) of the current transfer coefficient ( $K_{\approx 1}$ ) of the current mirrors (CM) used. This parameter of CM is also influenced by the Early stress of their dominant active components. Current JFET mirrors are today a weak link in modern JFET analog circuitry and they are impractical to use in the structure of JFET Op-Amps. The article posed and solved the problem of the conditions for the elimination of CM in an Op-Amps based on field-effect transistors with a control pn-junction for the case when it is necessary to obtain a small  $V_{off}$ . Variants of practical circuits of input (InS) and intermediate (IntS) stages of microelectronic operational amplifiers based on complementary field-effect transistors with a control pn-junction (CJFET) are proposed. Their main feature is the absence of a current mirror, which, when implemented on a CJFET, negatively affects the main parameters of the Op-Amps in terms of the systematic component of the offset voltage, the attenuation coefficients of the input common-mode signal, and the suppression of noise on the power buses. In this regard, InSs and IntSs circuits are promising, which do not use this CJFET functional unit. The circuits of Op-Amps based on the developed InSs with an open gain of more than 80 dB and a systematic component of the offset voltage within 300  $\mu$ V with low current consumption in a static mode are presented. The relevance of the performed studies lies in the need to develop the theory of designing high-precision JFET and CJFET IP-modules for use in structures of low-noise analog interfaces of sensors of various physical quantities, including those operating in severe operating conditions (exposure to low temperatures and radiation) The proposed circuits can be implemented on wide-gap semiconductors (SiC JFET, GaN JFET or GaAs JFET).*

*Analog sensor interfaces; operational amplifier; complementary field-effect transistors with a control pn-junction; hard service condition; systematic component of the offset voltage.*

**Введение.** Классическая схемотехника BJT и CMOS операционных усилителей (ОУ) [1–3] базируется на широком использовании так называемых токовых зеркал [1]. Это – базовый функциональный элемент современной аналоговой микроэлектроники [1–8], оказывающий существенное влияние как на статические (напряжение смещения нуля, коэффициент ослабления входных синфазных сигналов и т.п.), так и динамические параметры ОУ (коэффициент усиления по напряжению, предельные значения частоты единичного усиления, максимальная скорость нарастания выходного напряжения и т.п.). Анализ схемотехники серийных BiJFET ОУ с JFET входными транзисторами показывает, что здесь токовые зеркала всегда реализуются на биполярных транзисторах (LT1484, OP128, OPA627/637, OPA11 и др.). Однако такое решение не способствует обеспечению малого уровня шумов, а также не гарантирует надежную работу ОУ при воздействии криогенных температур и проникающей радиации.

Цель и новизна статьи состоит в исследовании свойств перспективных структур входных (ВК) и промежуточных (ПК) каскадов [9], в которых за счет симметрии статического режима обеспечивается уменьшение систематической составляющей напряжения смещения нуля ( $U_{см}$ ) в ОУ на их основе.

**1. Постановка задачи.** Несовершенство токовых зеркал (отличие их коэффициента передачи по току от единицы, инерционность  $K_i$  при обработке входных высокочастотных токовых сигналов, температурные и радиационные изменения  $K_i$ ) ограничивают предельные характеристики современных ОУ. В этой связи данному функциональному узлу аналоговых микросхем уделяется большое внимание – сегодня существует более 100 вариантов их построения [1, 4], в которых за счет усложнения классических решений [5, 6] достигаются те или иные улучшения параметров токовых зеркал (ТЗ). Тем не менее, токовое зеркало по-прежнему является одним из слабых звеньев в современной быстродействующей и прецизионной аналоговой микроэлектронике. Особенно остро данная проблема проявляется в JFET операционных усилителях [7, 8], в рамках которых нет приемлемых схемотехнических решений ТЗ [4].

**2. Входные каскады CJFET ОУ с парафазным выходом.** Предлагаемые схемы ВК рис. 1,а и рис. 1,б выполнены на дифференциальном усилителе ДК1, который реализован на полевых транзисторах VT1 и VT2 и источнике опорного тока  $I_1$ . Схема имеет высокую симметрию статического режима транзисторов, что является необходимым условием минимизации её влияния на  $U_{см}$ . К выходам Вых. 1 и Вых.2 подключаются дифференциальные входы промежуточного каскада, который обеспечивает дополнительное усиление по напряжению и согласование ВК с буферным усилителем.

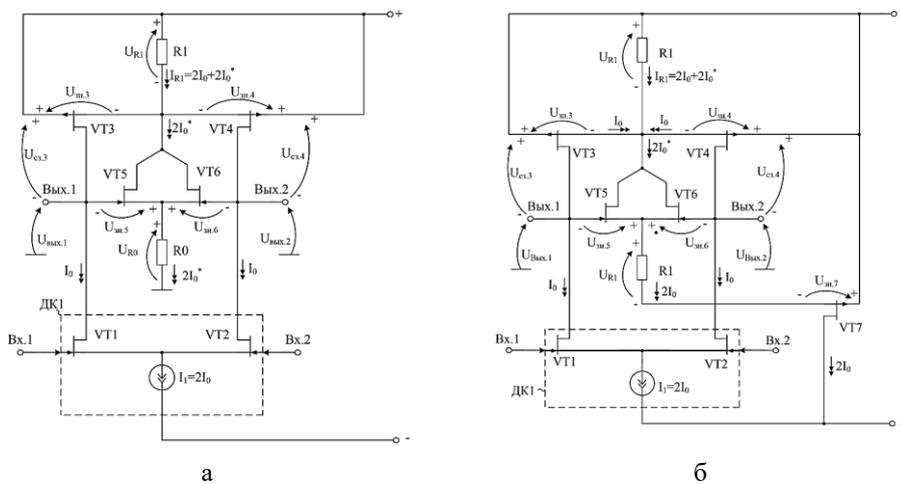


Рис. 1. Перспективные архитектуры низкотемпературных и радиационно-стойких CJFET входных каскадов ОУ

Стабильность статических напряжений на выходах Вых.1 и Вых.2 обеспечивается цепью отрицательной обратной связи (ООС) по синфазному сигналу, которая реализуется на транзисторах VT5 и VT6. Для повышения предельных значений коэффициента усиления ( $K_{y1}$ ) в схеме рис. 1а вместо VT1 и VT2, VT3 и VT4 транзисторов целесообразно применение каскодных составных транзисторов. Это позволит повысить  $K_{y1}$  и уменьшит  $U_{см}$  ОУ, обусловленную погрешностью промежуточного каскада. Возможно выполнение токостабилизирующего элемента (VT5 и VT6) схемы рис. 1,а с использованием резистора R0 и JFET VT7 (см. рис. 1,б).

Зависимость выходных дифференциальных напряжений ВК рис. 1,б от входного дифференциального напряжения при температуре  $-197^{\circ}\text{C}$ , напряжениях питания  $\pm 5\text{В}$ , резисторе  $R1=5\text{кОм}$ , источнике опорного тока  $I_1=200\text{мкА}$ , показана на рис. 2. Моделирование проводилось в среде LTSpice на CJFET транзисторах JP50\_2 и JN260\_2 ОАО «Интеграл» (г. Минск, Беларусь) [10–12].

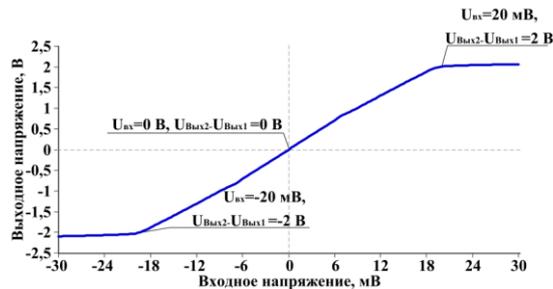


Рис. 2. Зависимость дифференциального выходного напряжения ( $U_{\text{Вых. 2}} - U_{\text{Вых. 1}}$ ) ВК рис. 1б от входного дифференциального напряжения при температуре  $-197^{\circ}\text{C}$

Основная особенность схем ВК рис. 1,а и рис. 1,б состоит в нетрадиционном введении сигнала отрицательной обратной связи по выходному синфазному сигналу, которая реализуется за счет резистора  $R1$  и транзистора  $VT7$ . Такое схемотехническое решение обеспечивает работу схемы при низких температурах, а также в условиях проникающей радиации.

**3. Особенности промежуточных каскадов CJFET ОУ.** Промежуточный каскад в схеме рис. 3,а реализован на транзисторах  $VT7$ ,  $VT8$  и токовым зеркалом ПТ1. Такое решение возможно только в том случае, если входной каскад имеет большой  $K_{y1}$  по напряжению и, как следствие, погрешности некачественного токового зеркала ПТ1 могут оказывать слабое влияние на общую систематическую составляющую напряжения смещения нуля ОУ.

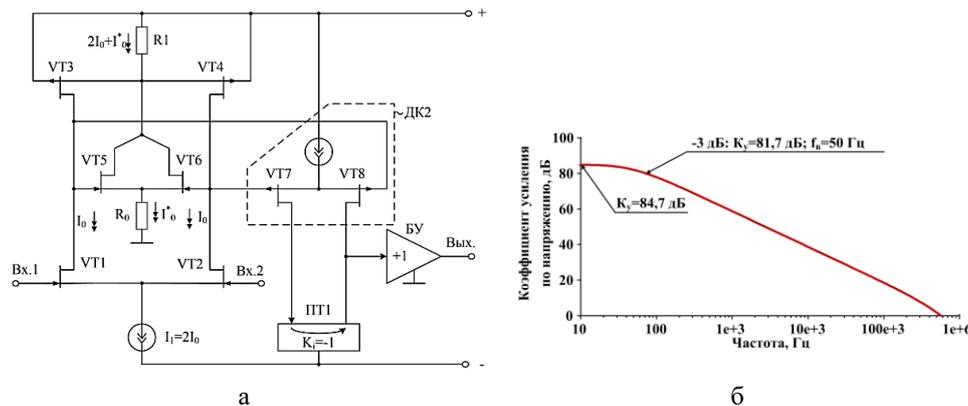


Рис. 3. Низкотемпературный CJFET ОУ (а) на основе входного каскада рис. 1,а и его ЛАЧХ при  $t=-197^{\circ}\text{C}$

Моделирование схемы ОУ рис. 3а в среде LTSpice на CJFET транзисторах ОАО «Интеграл» (г. Минск, Беларусь) показало (рис. 3б), что логарифмическая амплитудно-частотная характеристика (ЛАЧХ) коэффициента усиления по напряжению разомкнутого ОУ достигает 84,7 дБ при температуре  $-197^{\circ}\text{C}$ .



Систематическую составляющую напряжения смещения нуля  $U_{см2}$  промежуточного каскада на транзисторах VT7 и VT8 (рис. 5,а) можно оценить по формуле:

$$U_{см2} = \frac{\Delta I_{\Sigma}}{S_2}, \quad (1)$$

где  $\Delta I_{\Sigma} = I_{с.8} - I_{R4} - I_{бу}$  – статическая ошибка по выходному току в цепи высокоимпедансного узла  $\Sigma_1$ ;  $I_{с.8}$  – статический ток стока транзистора VT8;  $I_{R4}$  – выходной статический ток динамической нагрузки на транзисторе VT11;  $I_{бу} \approx 0$  – входной ток буферного усилителя (БУ);  $S_2 = (S_7 \cdot S_8)/(S_7 + S_8)$  – крутизна преобразования входного напряжения промежуточного каскада (VT7 и VT8) в выходной ток высокоимпедансного узла  $\Sigma_1$ ;  $S_7 \approx S_8$  – крутизна стоко-затворных характеристик транзисторов VT7 и VT8.

За счет выполнения общей истоковой цепи VT7 и VT8 в виде двух источника опорного тока на транзисторах VT9 (VT10) и такого же построения динамической нагрузки на транзисторе VT11, в схеме ОУ на рис. 5,а при  $I_{бу} = 0$  обеспечивается малое значение разностного тока ошибки  $\Delta I_{\Sigma} \approx 0$  в высокоимпедансном узле  $\Sigma_1$ . Как следствие,  $U_{см2}$  промежуточного каскада (1) близко к нулю. Этому также способствует идентичность статических напряжений затвор-сток транзисторов VT7 и VT8.

Коэффициент усиления по напряжению ОУ на рис. 5,а определяется уравнением

$$K_y = K_{y1} \cdot R_{\Sigma} \cdot S_2, \quad (2)$$

где  $K_{y1}$  – коэффициент усиления входного каскада;  $R_{\Sigma}$  – эквивалентное сопротивление высокоимпедансного узла  $\Sigma_1$ . Численные значения  $R_{\Sigma}$  определяются выходным сопротивлением по цепи стока транзистора VT8 и выходным сопротивлением динамической нагрузки  $R_{дн}$  на транзисторе VT11, причем

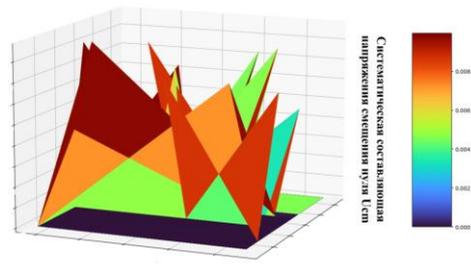
$$R_{дн} \approx \frac{R_4}{\mu_{11}}, \quad (3)$$

где  $\mu_{11} = 10^{-3} \div 10^{-4}$  – коэффициент внутренней обратной связи транзистора VT11 в схеме с общим затвором.

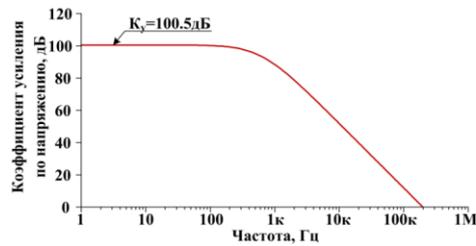
Результаты оптимизации схемы CJFET ОУ (рис. 5,б) в среде LTSpice позволили определить при каких параметрах резисторов будут реализованы минимальные значения систематической составляющей напряжения смещения нуля (рис. 6,а) и максимальные значения коэффициента усиления по напряжению (рис. 6,б).

Так, систематическая составляющая напряжения смещения нуля оптимизированной схемы ОУ на рис. 5,а достигает значения  $U_{см} = 2$  мкВ при сопротивлениях  $R1 = 1,48$  кОм,  $R2 = R3 = R4 = 27,8$  кОм.

**4. CJFET ОУ с промежуточным каскадом на основе «перегнутого» каскада.** На рис. 7 представлен пример подключения входного каскада рис. 1б к промежуточному каскаду, реализованного на резисторах R2 и R3, транзисторах VT6 и VT7, а также динамической нагрузке на транзисторе VT8 и резисторе R4. Данное схемотехническое решение позволяет получить максимальные выходные напряжения ОУ, близкие к напряжениям питания.



а



б

Рис. 6. График процесса оптимизации ОУ рис. 5б (а) и ЛАЧХ коэффициента усиления ОУ по напряжению (б)

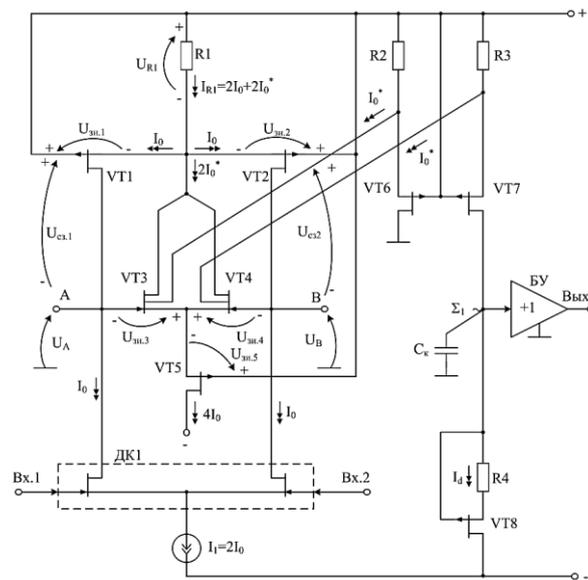


Рис. 7. CJFET ОУ с промежуточным каскадом на основе «перегнутого» каскода

**Заключение.** В аналоговой BiJFET, JFET и CJFET схемотехнике сегодня существует проблема построения прецизионных JFET токовых зеркал (ТЗ) с коэффициентом передачи по току  $K_t$ , близким к единице в широком диапазоне изменения входных токов. Простое «клонирование» (повторение) схемотехники ТЗ для JFET из BJT и CMOS технологий не дает удовлетворительного результата при высоких требованиях к точности получения  $K_t=1$ . Это отрицательно сказывается на статических и динамических параметрах ОУ с классической архитектурой.

Рассмотренные в настоящей статье схемотехнические приемы применимы для низкотемпературных микросхем ОУ, реализованных на базе полевых транзисторов с управляющим рп-переходом для задач космического приборостроения и физики высоких энергий. При этом применение кремниевых, GaAs, а также SiC комплементарных полевых транзисторов с управляющим рп-переходом (СJFET) [13, 14] позволяет создавать аналоговые устройства [15–17], в том числе датчиковые системы, для работы в широком диапазоне температур [18,19] и воздействии потока нейтронов [20, 21].

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Johns D., Martin K.* Analog integrated circuit design // John Wiley & Sons. – New York, 2011. – 2nd ed. – 819 p.
2. *Bharath R.R., Gowda S.K.* Design and Analysis of CMOS Two Stage OP-AMP in 180nm and 45nm Technology // IJERT. – 2015. – Vol. 4. No. 5. – P. 1100-1103.
3. *Shukla N., Kaur J.* Analysis of Two Stage CMOS Opamp using 90nm Technology // IJET. – 2017. – Vol. 9. – P. 66-72. – DOI: 10.21817/ijet/2017/v9i3/170903S013.
4. *Bryant J.* Current-output circuit techniques add versatility to your analog toolbox // Analog Dialogue. – 2014. – Vol. 48. – P. 2.
5. *Bastan Y., Hamzehil E., Amiri P.* Output impedance improvement of a low voltage low power current mirror based on body driven technique // Microelectronics Journal. – 2016. – Vol. 56. – P. 163-170.
6. *Aggarwal B., Gupta M., Gupta A.K.* A comparative study of various current mirror configurations: Topologies and characteristics // Microelectronics Journal. – 2016. – Vol. 53. – P. 134-155.
7. *Snoeij M.* A 36V 48MHz JFET-Input Bipolar Operational Amplifier with 150 $\mu$ V Maximum Offset and Overload Supply Current Control // ESSCIRC 2018-IEEE 44th European Solid State Circuits Conference (ESSCIRC). – IEEE, 2018. – P. 290-293. – DOI: 10.1109/ESSCIRC.2018.8494262.
8. *Alhasser E.* A Novel Low Output Offset Voltage Charge Amplifier for Piezoelectric Sensors // IEEE Sensors Journal. – 2020. – Vol. 20, No. 10. – P. 5360-5367. – DOI: 10.1109/JSEN.2020.2970839.
9. *Bugakova A., Prokopenko N., Titov A.* Design of Low-Temperature and Radiation-Hardened JFET Direct Coupled Op-Amps without Current Mirrors // 2020 European Conference on Circuit Theory and Design (ECCTD). – IEEE, 2020. – P. 1-4. – DOI: 10.1109/ECCTD49232.2020.9218291.
10. *Dvornikov O.V., Dziallau V.L., Tchekhovski V.A., Prokopenko N.N., Zhuk A.A., Bugakova A.V.* Modernization of Low-Temperature JFET Models Built into LTspice CAD Systems, Taking into Account the Results of their Experimental Study // 2020 IEEE Latin America Electron Devices Conference (LAEDC). – IEEE, 2020. – P. 1-4. – DOI: 10.1109/LAEDC49063.2020.9073004.
11. *Drozдов D.G., Prokopenko N.N., Savchenko E.M., Dukanov P.A., Rodin V.G., Grushin A.I.* Technological and devices modeling of complementary JFETs over a wide temperature range // Microelectronics Journal. – 2020. – Vol. 105. – P. 104911.
12. *Жук А.А., Савченко Е.М., Дроздов Д.Г., Будяков П.С.* Экспериментальные исследования основных параметров CJFET транзисторов с различными конструкциями для задач проектирования интерфейсов датчиков при воздействии низких температур и радиации // Физико-технические проблемы в науке, промышленности и медицине. – 2019. – С. 224-224.
13. *Petrosyants K.O., Ismail-zade M.R., Sambursky L.M., Dvornikov O.V., Lvov B.G., Kharitonov I.A.* Automation of parameter extraction procedure for Si JFET SPICE model in the – 200...+ 110° C temperature range // 2018 Moscow Workshop on Electronic and Networking Technologies (MWENT). – IEEE, 2018. – P. 1-5. – DOI: 10.1109/MWENT.2018.8337212.
14. *Sotskov D. I., Usachev N. A., Elesin V. V., Metelkin I. O., Zhidkov N. M., Nikiforov A. Y.* Compact Models for Radiation Hardening by Design of SiGe BiCMOS, GaAs and SOI CMOS Microwave Circuits // 2021 International Siberian Conference on Control and Communications (SIBCON). – IEEE, 2021. – P. 1-5. – DOI: 10.1109/MWENT.2018.8337212.
15. *Llaria A., Jiménez J., Bidarte U., Curea O.* Operational Amplifiers in Discrete Time Control Systems: Influence of the Rail-to-Rail Feature on their Performance // WSEAS Transactions on Electronics. – 2008. – Vol. 5. – P. 25-34.

16. *Berry C.A., Walter D.J.* Application of Operational Amplifiers // *Fundamentals of Industrial Electronics*. – CRC Press, 2018. – P. 5-1-5-30.
17. *Дубовой С.С., Шкуша И.О., Титов И.Л.* Контроль работы электрических, электронных установок и систем управления на примере современных электронных усилителей // *Современные тенденции практической подготовки в морском образовании*. – 2020. – С. 14-21.
18. *Neudeck P., Spry D., Krasowski M., Chen L., Prokop N., Greer L., Chang, C.* Progressing-190° C to+ 500° C Durable SiC JFET ICs From MSI to LSI // 2020 IEEE International Electron Devices Meeting (IEDM). – IEEE, 2020. – P. 27.2. 1-27.2. 4. – DOI: 10.1109/IEDM13553.2020.9371953.
19. *Patterson R.L., Hammoud A., Dickman J.E., Gerber S., Elbuluk M. and Overton E.* Electronics for deep space cryogenic applications // *Low Temperature Electronics, 2002: Proceedings of the 5th European Workshop on*. – 2002. – P. 207-210.
20. *Vikulin I., Gorbachev V., Gorbacheva A., Krasova V., Litvinenko V.* Radiation resistant FET-based Temperature Sensor for End Devices of IoT // 2019 3rd International Conference on Advanced Information and Communications Technologies (AICT). – IEEE. 2019. – P. 272-277. – DOI: 10.1109/AIACT.2019.8847905.
21. *Bakerenkov A., Pershenkov V., Felitsyn V., Rodin A., Telets V., Belyakov V., Zhukov A., Gluhov N.* Correlation between Temperature and Dose Rate Dependences of Input Bias Current Degradation in Bipolar Operational Amplifiers // 2019 IEEE 31st International Conference on Microelectronics (MIEL). – IEEE. 2019. – P. 341-344. – DOI: 10.1109/MIEL.2019.8889589.

## REFERENCES

1. *Johns D., Martin K.* Analog integrated circuit design // John Wiley & Sons. New York, 2011. 2nd ed., 819 p.
2. *Bharath R.R., Gowda S.K.* Design and Analysis of CMOS Two Stage OP-AMP in 180nm and 45nm Technology, *IJERT*, 2015, Vol. 4. No. 5, pp. 1100-1103.
3. *Shukla N., Kaur J.* Analysis of Two Stage CMOS Opamp using 90nm Technology, *IJET*, 2017, Vol. 9, pp. 66-72. DOI: 10.21817/ijet/2017/v9i3/170903S013.
4. *Bryant J.* Current-output circuit techniques add versatility to your analog toolbox, *Analog Dialogue*, 2014, Vol. 48, pp. 2.
5. *Bastan Y., Hamzehil E., Amiri P.* Output impedance improvement of a low voltage low power current mirror based on body driven technique, *Microelectronics Journal*, 2016, Vol. 56, pp. 163-170.
6. *Aggarwal B., Gupta M., Gupta A.K.* A comparative study of various current mirror configurations: Topologies and characteristics, *Microelectronics Journal*, 2016, Vol. 53, pp. 134-155.
7. *Snoeij M.* A 36V 48MHz JFET-Input Bipolar Operational Amplifier with 150 $\mu$ V Maximum Offset and Overload Supply Current Control, *ESSCIRC 2018-IEEE 44th European Solid State Circuits Conference (ESSCIRC)*. IEEE, 2018, pp. 290-293. DOI: 10.1109/ESSCIRC.2018.8494262.
8. *Alnasser E.* A Novel Low Output Offset Voltage Charge Amplifier for Piezoelectric Sensors, *IEEE Sensors Journal*, 2020, Vol. 20, No. 10, pp. 5360-5367. DOI: 10.1109/JSEN.2020.2970839.
9. *Bugakova A., Prokopenko N., Titov A.* Design of Low-Temperature and Radiation-Hardened JFET Direct Coupled Op-Amps without Current Mirrors, *2020 European Conference on Circuit Theory and Design (ECCTD)*. IEEE, 2020, pp. 1-4. DOI: 10.1109/ECCTD49232.2020.9218291.
10. *Dvornikov O.V., Dzatlau V.L., Tchekhovski V.A., Prokopenko N.N., Zhuk A.A., Bugakova A.V.* Modernization of Low-Temperature JFET Models Built into LTspice CAD Systems, Taking into Account the Results of their Experimental Study, *2020 IEEE Latin America Electron Devices Conference (LAEDC)*. IEEE. 202, pp. 1-4. DOI: 10.1109/LAEDC49063.2020.9073004.
11. *Drozdov D.G., Prokopenko N.N., Savchenko E.M., Dukanov P.A., Rodin V.G., Grushin A.I.* Technological and devices modeling of complementary JFETs over a wide temperature range, *Microelectronics Journal*, 2020, Vol. 105, pp. 104911.
12. *Zhuk A.A., Savchenko E.M., Drozdov D.G., Budyakov P.S.* Eksperimental'nye issledovaniya osnovnykh parametrov CJFET tranzistorov s razlichnymi konstruktsiyami dlya zadach proektirovaniya interfeysov datchikov pri vozdeystvii nizkikh temperatur i radiatsii [Experimental studies of the main parameters of CJFET transistors with various designs for the problems of designing sensor interfaces under the influence of low temperatures and radiation], *Fiziko-tekhnichestkie problemy v nauke, promyshlennosti i meditsine* [Physical and technical problems in science, industry and medicine], 2019, pp. 224-224.

13. *Petrosyants K.O., Ismail-zade M.R., Sambursky L.M., Dvornikov O.V., Lvov B.G., Kharitonov I.A.* Automation of parameter extraction procedure for Si JFET SPICE model in the – 200...+ 110° C temperature range, *2018 Moscow Workshop on Electronic and Networking Technologies (MWENT)*. IEEE, 2018, pp. 1-5. DOI: 10.1109/MWENT.2018.8337212.
14. *Sotskov D. I., Usachev N. A., Elesin V. V., Metelkin I. O., Zhidkov N. M., Nikiforov A. Y.* Compact Models for Radiation Hardening by Design of SiGe BiCMOS, GaAs and SOI CMOS Microwave Circuits, *2021 International Siberian Conference on Control and Communications (SIBCON)*. IEEE, 2021, pp. 1-5. DOI: 10.1109/MWENT.2018.8337212.
15. *Llaria A., Jiménez J., Bidarte U., Curea O.* Operational Amplifiers in Discrete Time Control Systems: Influence of the Rail-to-Rail Feature on their Performance, *WSEAS Transactions on Electronics*, 2008, Vol. 5, pp. 25-34.
16. *Berry C.A., Walter D.J.* Application of Operational Amplifiers, *Fundamentals of Industrial Electronics*. CRC Press, 2018, pp. 5-1-5-30.
17. *Dubovoy S.S., Shiksha I.O., Titov I.L.* Kontrol' raboty elektricheskikh, elektronnykh ustanovok i sistem upravleniya na primere sovremennykh elektronnykh usiliteley [Control of the operation of electrical, electronic installations and control systems on the example of modern electronic amplifiers], *Sovremennye tendentsii prakticheskoy podgotovki v morskoy obrazovanii* [Modern trends in practical training in maritime education], 2020, pp. 14-21.
18. *Neudeck P., Spry D., Krasowski M., Chen L., Prokop N., Greer L., Chang, C.* Progressing-190° C to+ 500° C Durable SiC JFET ICs From MSI to LSI, *2020 IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2020, pp. 27.2. 1-27.2. 4. DOI: 10.1109/IEDM13553.2020.9371953.
19. *Patterson R.L., Hammoud A., Dickman J.E., Gerber S., Elbuluk M. and Overton E.* Electronics for deep space cryogenic applications, *Low Temperature Electronics, 2002: Proceedings of the 5th European Workshop on*, 2002, pp. 207-210.
20. *Vikulin I., Gorbachev V., Gorbacheva A., Krasova V., Litvinenko V.* Radiation resistant FET-based Temperature Sensor for End Devices of IoT, *2019 3rd International Conference on Advanced Information and Communications Technologies (AICT)*. IEEE. 2019, pp. 272-277. DOI: 10.1109/AIACT.2019.8847905.
21. *Bakerenkov A., Pershenkov V., Felitsyn V., Rodin A., Telets V., Belyakov V., Zhukov A., Gluhov N.* Correlation between Temperature and Dose Rate Dependences of Input Bias Current Degradation in Bipolar Operational Amplifiers, *2019 IEEE 31st International Conference on Microelectronics (MIEL)*. IEEE. 2019, pp. 341-344. DOI: 10.1109/MIEL.2019.8889589.

Статью рекомендовал к опубликованию д.т.н., профессор Д.Н. Галушкин

**Прокопенко Николай Николаевич** – Донской государственный технический университет; e-mail: prokopenko@sssu.ru; г. Ростов-на-Дону, Россия; тел.: +79185182266; д.т.н.; профессор; зав. кафедрой «Информационные системы и радиотехника».

**Чумаков Владислав Евгеньевич** – e-mail: chumakov.dssa@mail.ru; тел.: +79895020032; аспирант кафедры «Информационные системы и радиотехника»; инженер Управления научных исследований.

**Бугакова Анна Витальевна** – e-mail: annabugakova.1992@mail.ru; тел.: +79094169380; младший научный сотрудник Управления научных исследований.

**Титов Алексей Евгеньевич** – Южный федеральный университет; e-mail: alex.evgeny.titov@gmail.com; г. Таганрог, Россия; тел.: +79614322223; к.т.н.; доцент кафедры «Системы автоматического управления».

**Prokopenko Nikolay Nikolayevich** – Don State Technical University; e-mail: prokopenko@sssu.ru; Rostov-on-Don, Russia; phone: +79185182266; dr. of eng. sc.; professor; head of the department of Information Systems and Radio Engineering.

**Chumakov Vladislav Evgenievich** – e-mail: chumakov.dssa@mail.ru; phone: +79895020032; graduate student of the department of Information Systems and Radio Engineering; research engineer of Scientific Research.

**Bugakova Anna Vitalievna** – e-mail: annabugakova.1992@mail.ru; phone: +79094169380; junior research fellow of the Office of Scientific Research.

**Titov Alexey Evgenievich** – Southern Federal University; e-mail: alex.evgeny.titov@gmail.com; Taganrog, Russia; phone: +79614322223; cand. of eng. sc.; associate professor of the department of Automatic Control Systems.