

**Губарев Дмитрий Егорович** – Южный федеральный университет; e-mail: dgubarev@sfedu.ru; г. Таганрог, Россия; тел.: 89614132918; кафедра АиРПУ; аспирант.

**Зикий Анатолий Николаевич** – e-mail: zikiy50@mail.ru; кафедра информационной безопасности телекоммуникационных систем; к.т.н.; с.н.с.; доцент.

**Кочубей Алексей Сергеевич** – Таганрогский научно-исследовательский институт связи; e-mail: l.co4ubey@yandex.ru; г. Таганрог, Россия; тел.: 89896270939; магистр; инженер-конструктор 2 категории.

**Gubarev Dmitry Egorovich** – Southern Federal University; e-mail: dgubarev@sfedu.ru; Taganrog, Russia; phone: +79614132918; the department of A&RPU; post-graduate student.

**Zikiy Anatoliy Nikolaevich** – e-mail: zikiy50@mail.ru; the department of information security of telecommunication systems; cand. of eng. sc.; senior researcher; associate professor.

**Kochubey Alexey Sergeevich** – Taganrog Scientific Research Institute of Communications; e-mail: l.co4ubey@yandex.ru; Taganrog, Russia; phone: +79896270939; master; design engineer of the 2nd category.

УДК 621.382.3

DOI 10.18522/2311-3103-2022-2-97-106

**П.Г. Грицаенко, Л.А. Светличная**

### **ЛОГИЧЕСКАЯ ЯЧЕЙКА ДЛЯ СБИС НА ОСНОВЕ ПОЛЕВЫХ ТРАНЗИСТОРОВ С P-N-ПЕРЕХОДАМИ**

*В 80-е годы прошлого столетия в качестве элементной базы широко применялась интегральная инжекционная логика (И<sup>2</sup>Л). Несколько позднее в развитие возможностей И<sup>2</sup>Л для построения СБИС появилась инжекционно-полевая логика (ИПЛ). Благодаря применению в качестве ключевого элемента инвертора полевого транзистора, в данном элементном базисе удалось существенно сократить важный для СБИС показатель – потребляемую мощность – достигнув пиковаттного диапазона. Еще большее снижение потребляемой мощности может быть достигнуто использованием в элементарной ячейке инвертора двух полевых транзисторов, которое предлагается в настоящей работе. Данный элементный базис предложено называть полевой-полевой логикой, или в дальнейшем П<sup>2</sup>Л. Для снижения габаритов П<sup>2</sup>Л-ячейки полевые транзисторы, как ключевой, так и нагрузочный, выполнены с вертикальным каналом. Кроме того, для обеспечения положительного напряжения питания в качестве ключевого используется n-канальный транзистор, в качестве нагрузочного – p-канальный транзистор. Оба транзистора являются нормально закрытыми, т.е. закрыты при нулевом напряжении на затворе каждого из них. Рассмотрены топологические варианты выполнения П<sup>2</sup>Л-ячейки от геометрии с кольцевыми затворами до геометрии с линейными затворами. Топологическими нормами, принятыми в рассмотрении, являются нормы 50 нм. Потребляемая мощность в данном элементном базисе снижена по сравнению с ИПЛ примерно в два раза, благодаря тому, что ток через нагрузочные транзисторы, так же, как и через ключевые, в цепочке инверторов протекает через один инвертор. Рассмотрен технологический процесс изготовления П<sup>2</sup>Л-ячейки, рассчитаны профили распределения примесей по глубине. Технологический процесс изготовления разработан с учетом того, что нагрузочный p-канальный транзистор должен быть выполнен в изолированном кармане по технологии полной диэлектрической изоляции. Приведены технологические режимы изготовления П<sup>2</sup>Л-ячейки. Предлагаемый конструктивно-технологический вариант П<sup>2</sup>Л-ячейки может быть рекомендован для создания СБИС с низкой потребляемой мощностью.*

*Инжекционно-полевая логика; интегральная инжекционная логика; полевая-полевая логика; профиль распределения примеси; плотность компоновки; потребляемая мощность.*

P.G. Gritsaenko, L.A. Svetlichnaya

### LOGIC CELL FOR VLSI BASED ON FIELD-EFFECT TRANSISTORS WITH P-N JUNCTIONS

*In the 80s of the last century, integrated injection logic ( $I^2L$ ) was widely used as an element base. Somewhat later, injection-field logic (IPL) appeared in the development of  $I^2L$  capabilities for building VLSI. Thanks to the use of a field-effect transistor as a key element of the inverter, in this element basis it was possible to significantly reduce an important indicator for VLSI – power consumption - reaching the peak-watt range. An even greater reduction in power consumption can be achieved by using two field-effect transistors in the inverter unit cell, which is proposed in this paper. This element basis is proposed to be called field-field logic, or in the future  $P^2L$ . To reduce the dimensions of the  $P^2L$  cell, field-effect transistors, both key and load, are made with a vertical channel. In addition, to ensure a positive supply voltage, an n-channel transistor is used as a key one, and a p-channel transistor is used as a load one. Both transistors are normally closed, i.e. closed at zero gate voltage. Topological variants of  $P^2L$ -cell execution from geometry with annular gates to geometry with linear gates proposed by the author earlier are considered. The topological norms adopted in the consideration are the norms of 50 nm. The power consumption in this element basis is reduced by about two times compared to the IPL, due to the fact that the current flows through the load transistors in the inverter chain through one inverter, as well as through the key ones. The technological process of manufacturing a  $P^2L$  cell is considered, the profiles of the distribution of impurities in depth are calculated. The manufacturing process is designed taking into account the fact that the load p-channel transistor must be made in an insulated pocket using full dielectric insulation technology. The technological modes of manufacturing the  $P^2L$  cell are given. The proposed design and technological variant of the  $P^2L$  cell can be recommended for the creation of VLSI with low power consumption.*

*Injection-field logic; integral injection logic; field-field logic; impurity distribution profile; layout density; power consumption.*

**Введение.** Инжекционно-полевая логика (ИПЛ) [1–3] наряду с интегральной инжекционной логикой ( $I^2L$ ) [4–13] были актуальными направлениями создания БИС и СБИС в 80-е годы прошлого столетия.

Тем не менее неоспоримые преимущества БИС на МОП-транзисторах вытеснили эти элементные базы с производственных площадок фирм производителей интегральных схем.

**Постановка задачи.** В работе [14] утверждалось, что с применением технологии самосовмещения и при использовании оригинального топологического решения ячейки ИПЛ с линейными затворами БИС на основе ИПЛ, имея пиковаттный уровень потребляемой мощности, могут конкурировать с БИС на основе МОП-транзисторов.

Тем не менее логические элементы как ИПЛ, так и  $I^2L$  наряду с преимуществами, позволяющими их применение в СБИС, имеют существенный недостаток: постоянное потребление тока во включенном и выключенном состоянии ключевого элемента.

**Формулировка задачи.** В данной работе предлагается конструкция, которая позволяет избежать данного недостатка. Ячейка полевой логики, в дальнейшем  $P^2L$  состоит из двух полевых транзисторов с затворами в виде p-n-переходов с каналами противоположных типов проводимости. Схема и топология ячейки  $P^2L$  приведена на рис. 1.

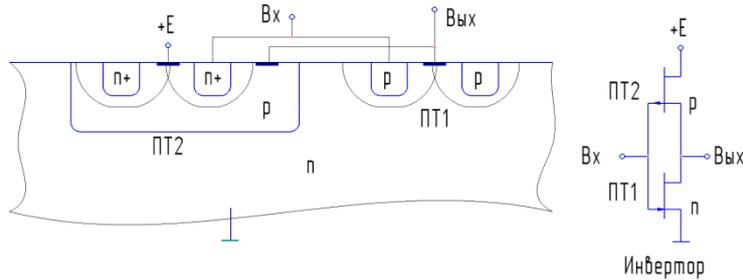


Рис. 1. Схема и топология ячейки  $P^2L$

Входящие в ячейку  $P^2L$  транзисторы  $PT1$  и  $PT2$  являются нормально закрытыми, т.е. они закрываются при нулевом напряжении затвор-исток любого из них. Закрытие транзисторов происходит благодаря перекрытию объемных зарядов  $p$ - $n$ -переходов от правой и левой половин затвора.

Как видно из рисунка, оба полевых транзистора имеют каналы вертикального типа.

Напряжение питания  $P^2L$   $+E$  как в ИПЛ и  $I^2L$  равно напряжению прямо смещенного  $p$ - $n$ -перехода.

Возможные конструктивно-схемотехнические варианты реализации  $P^2L$ -элементов представлены на рис. 2, 3.

Первые два варианта являются инверторами, то есть при подаче высокого уровня на вход - на выходе установится низкий уровень и наоборот. Оба транзистора в данных вариантах являются нормально закрытыми.

Два варианта, изображенных на рис. 3, представляют собой повторители: при подаче высокого уровня на вход на выходе устанавливается также высокий, при подаче низкого - низкий. В данных вариантах оба транзистора -  $p$ -канальный и  $n$ -канальный - являются нормально открытыми.

В каждом из вариантов есть подварианты с положительным напряжением питания  $+E$  и отрицательным напряжением питания  $-E$ .

С точки зрения применения в интегральных логических схемах интерес представляют только инверторы и схемы с положительным напряжением питания, поэтому в дальнейшем будет рассматриваться вариант инвертора, изображенный на рис. 2 с положительным напряжением питания.

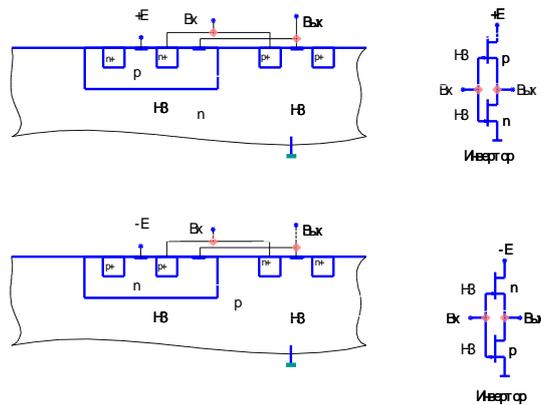


Рис. 2. Конструктивно-схемотехнический вариант реализации  $P^2L$ -элемента на нормально закрытых транзисторах

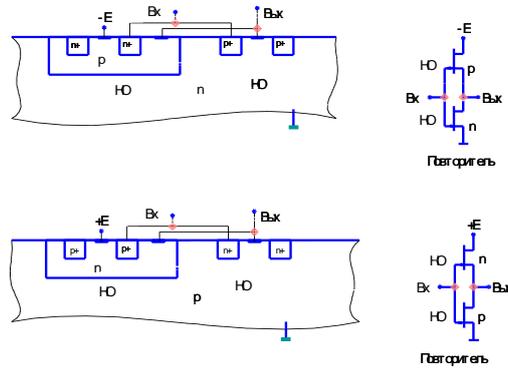


Рис. 3. Конструктивно-схематический вариант реализации П<sup>2</sup>Л-элемента на нормально открытых транзисторах

Необходимо также учесть, что положительное напряжение питания, приложенное к стоку р-канального транзистора, вызывает постоянное протекание тока прямосмещенного перехода по цепи: питание +E – «общий провод».

Для исключения этого необходимо ввести изоляцию n-канального транзистора. Вариант П<sup>2</sup>Л-элемента с окисной изоляцией р-канального транзистора приведен на рис. 4.

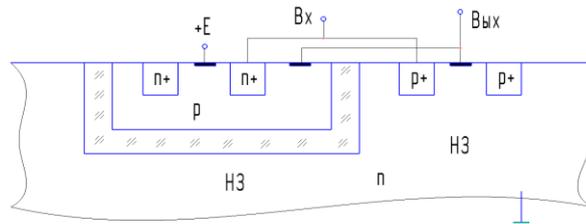


Рис. 4. Вариант П<sup>2</sup>Л-элемента с окисной изоляцией

Схема многовходового элемента ЗИЛИ-НЕ на основе данного элемента П<sup>2</sup>Л представлена на рис. 5.

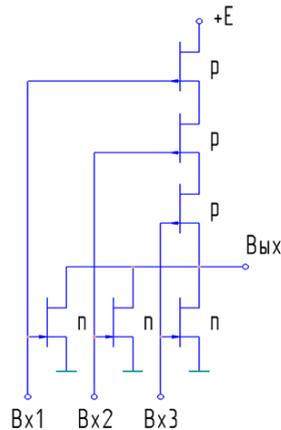


Рис. 5. Схема элемента ЗИЛИ-НЕ на основе П<sup>2</sup>Л

Конструктивно-технологический вариант элемента ЗИЛИ-НЕ на основе П<sup>2</sup>Л представлен на рис. 6.

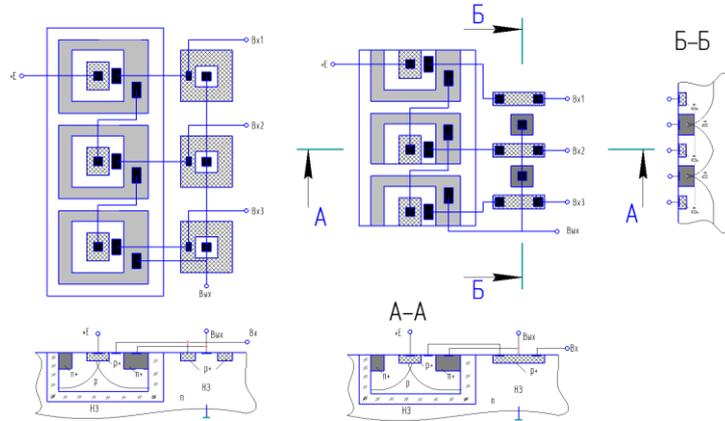


Рис. 6. Конструктивно-технологический вариант элемента ЗИЛИ-НЕ на основе П<sup>2</sup>Л

На правом рисунке изображен вариант с топологической модификацией блока n-канальных транзисторов с использованием подхода самосовмещения областей, описанного в [1].

Распространение данного подхода также на область p-канальных транзисторов позволяет еще больше сократить площадь, занимаемую схемой, что показано на рис. 7.

Распределение примесей на этапах формирования структуры может быть рассчитано по следующим соотношениям.

Распределение примеси  $N(x, t)$  по глубине  $x$  с течением времени  $t$  на этапе загонки рассчитывается по известной формуле [2]:

$$N(x, t) = N_s \operatorname{erfc} \left( \frac{x}{2\sqrt{Dt}} \right), \quad (1)$$

где  $N_s$  – постоянная концентрация примеси, поддерживаемая на поверхности в процессе загонки;  $D$  – коэффициент диффузии примеси.

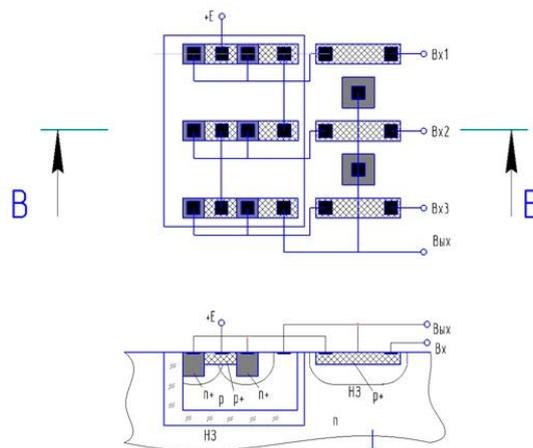


Рис. 7. Конструкция П<sup>2</sup>Л-элемента с самосовмещением областей p-канальных транзисторов

Интегральное количество примеси  $P_0$ , введенное на этапе загонки, может быть определено по формуле:

$$P_0 = \frac{2}{\sqrt{\pi}} N_s \sqrt{Dt}. \quad (2)$$

В планарной технологии диффузию проводят в два этапа. При расчете технологического режима первого этапа диффузии, выполняемой из бесконечного источника примеси, требуется при заданной температуре диффузии  $T_s$ , поверхностной концентрации диффузанта  $N_s$  и концентрации атомов примеси в исходном материале  $N_\phi$  определить время диффузии, при котором обеспечивается заданная толщина диффузионного слоя. Для окончательного формирования диффузионной области введенную на первом этапе примесь подвергают перераспределению. Этот второй этап диффузии, называемый разгонкой примеси, соответствует диффузии из конечного (или ограниченного) источника примеси.

Распределение концентрации примеси в процессе разгонки описывается следующим выражением:

$$N(x, t) = \frac{P_0}{\sqrt{\pi Dt}} \exp\left(-\frac{x^2}{4Dt}\right). \quad (3)$$

Основным требованием при формировании профиля распределения примесей является достижение глубины переходов не более 50 нм.

При расчете распределения концентрации примеси использовались технологические параметры, приведенные в табл. 1.

Таблица 1

Параметр	Загонка бора	Разгонка бора	Загонка фосфора
Температура загонки, °С	1000	1200	970
Время загонки (разгонки), с	55	3105	22
Глубина загонки (разгонки), нм	100	150	20

Профиль распределения примесей в поперечном сечении  $P^2L$ -элемента представлен на рис. 8.

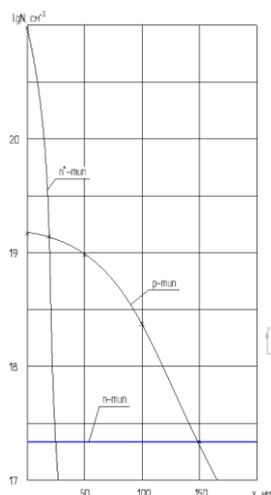


Рис. 8. Профиль распределения примеси в поперечном сечении  $P^2L$ -элемента

Для обеспечения минимальных топологических размеров, что определяется шириной объемных зарядов переходов, концентрация примеси в подложке n-типа должна быть достаточно высокой. С этой целью выбираем  $N_d = 2 \cdot 10^{17} \text{ см}^{-3}$ .

Ввиду малой глубины залегания переходов модели их близки к модели резкого перехода. Ширина объемного заряда резкого перехода при нулевом напряжении определяется по формуле:

$$l_0 = \sqrt{\frac{2\varepsilon\varepsilon_0\Delta\varphi_k}{qN}}, \quad (4)$$

где  $\varepsilon = 12$  – диэлектрическая проницаемость кремния;

$\varepsilon_0 = 8,85 \cdot 10^{-14} \text{ Ф/см}$  – диэлектрическая постоянная;

$\Delta\varphi_k \approx 0,6 \text{ В}$  – контактная разность потенциалов;

$q = 1,6 \cdot 10^{-19} \text{ Кл}$  – заряд электрона;

$N$  – концентрация примеси в полупроводнике.

Рассчитанные по формуле (4) ширины объемных зарядов затворов р-канального и n-канального транзисторов равны соответственно:

$$l_p = 60 \text{ нм}; \quad l_n = 10 \text{ нм}.$$

Преимуществом данного подхода по сравнению ИПЛ-логикой является снижение потребляемой мощности примерно в два раза. Это можно пояснить на примере цепочки инверторов, приведенной на рис. 9.

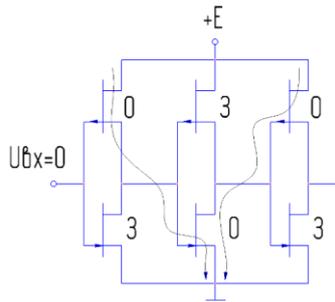


Рис. 9. Цепочка инверторов на основе  $P^2L$ -элементов

Условные обозначения на рисунке:

0 – транзистор открыт; 3 – транзистор закрыт.

Как видно, ток в нагрузочных транзисторах (изображен тонкой линией) в данном элементном базисе протекает через один инвертор, в отличие от ИПЛ-базиса, в то время как ток инжектора в ИПЛ-базисе течет независимо от того, открыт ключевой транзистор или закрыт.

Практическим способом реализации структуры, изображенной на рис. 7, является способ формирования изолирующего барьерного слоя высокодозным легированием ионами азота или кислорода, являющегося дном «кармана», описанный в [15–20], с последующим созданием боковых окисных стенок по IPOS-методу. При этом для формирования слоя  $\text{SiO}_2$  используют дозу легирования ионами кислорода  $\sim 10^8 \text{ см}^{-2}$  или азота  $-(5-7) \cdot 10^8 \text{ см}^{-2}$  при формировании слоя  $\text{Si}_3\text{N}_4$ . При внедрении ионов азота отжиг легированных слоев осуществляют при температурах 1150–1250 °С в течение 6–10 ч. Отжиг слоев, легированных ионами кислорода, осуществляют при температурах 1250–1350 °С в различных средах (аргон, кислород или их смеси).

**Заключение.** В работе рассмотрены варианты выполнения интегральных структур на основе двух полевых транзисторов с вертикальными каналами с точки зрения их реализации в СБИС. Из рассмотренных вариантов транзисторов с нормально закрытыми и нормально открытыми транзисторами с разной полярностью напряжения питания выбран вариант реализации П<sup>2</sup>Л-структуры на основе нормально закрытых транзисторов разного типа проводимости с положительным напряжением питания.

Рассмотрены конструктивно-технологические варианты реализации П<sup>2</sup>Л-структуры в том числе с использованием технологии самосовмещения.

Разработан вариант технологии изготовления П<sup>2</sup>Л-структуры, обеспечивающий необходимый профиль распределения примеси с учетом физико-топологических особенностей структуры (размеры выбираются в зависимости от концентрации примесей, определяющих ширину объемных зарядов р-п-переходов).

Предложен вариант реализации структуры, в котором для создания боковых изолирующих стенок используется легирование ионами кислорода или азота с последующим отжигом IPOS-методом. В данном варианте использование пористого кремния позволяет значительно сократить время изготовления, увеличить скорость окисления и снизить затраты на изготовление.

Преимуществом предложенной конструкции логической ячейки на основе полевых транзисторов с р-п-переходами по сравнению с существующими вариантами И<sup>2</sup>Л и ИПЛ-структур является то, что ее применение позволяет снизить потребляемую мощность примерно в два раза за счет исключения постоянного потребления тока ключевым элементом во включенном и выключенном состоянии.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Аваев Н.А., Дулин В.Н., Наумов Ю.Е.* Большие интегральные схемы с инжекционным питанием. – М.: Сов.радио, 1977. – 248 с.
2. *Баринов В.В., Кремлев В.Я., Мошкин В.И., Орликовский А.А.* Интегральные схемы с инжекционным питанием // Зарубежная электронная техника. – 1973. – № 19. – С. 3.
3. *Кремлев В.Я., Мошкин В.И.* Функционально-интегрированные элементы БИС // Электронная промышленность. – 1976. – № 5. – С. 50-61.
4. *Баранов Л.И.* О коэффициенте усиления полевого транзистора со смещением затвора в прямом направлении // Радиотехника и электроника. – 1975. – Т. 20, № 6. – С. 1323-1325.
5. *Грицаенко П.Г.* Конструктивно-технологический вариант для СБИС на основе инжекционно-полевой логики // Известия ЮФУ. Технические науки. – 2019. – № 5 (207). – С. 175-183.
6. *Баталов Б.В., Кремлев В.Я., Дьяконов В.М.* Моделирование работы полевого транзистора как элемента инжекционно-полевой логики // Микроэлектроника. – 1979. – Т. 8. – Вып. 1. – С. 34-43.
7. *Дьяконов В.М., Кремлев В.Я.* Моделирование элементов инжекционно-полевых логических микросхем // Электронная промышленность. – 1979. – Вып. 4 (76). – С. 286-288.
8. Инжекционно-полевая структура для логических интегральных схем: Авт. свидетельство № 764567 (СССР). – Оpubл. в Бюлл. № 34, 1980.
9. *Кремлев В.Я.* Статические характеристики элементов СБИС инжекционно-полевой логики // В сб. «Технология, проектирование и надежность интегральных полупроводниковых схем». – М.: МИЭТ, 1988. – 122 с.
10. *Кремлев В.Я., Грицаенко П.Г.* Исследование структуры на взаимодополняющих биполярных транзисторах // Известия ВУЗов. Радиоэлектроника. – 1988. – № 3.
11. *Гарицын А.Г., Грицаенко П.Г., Левин А.Ю., Тарасов А.О.* Полевой транзистор с самосовмещенным вертикальным каналом // Электронная техника. Серия 2 «Полупроводниковые приборы». – 1981. – Вып. 6 (148).
12. Конструктивно-технологические варианты исполнения биполярного и полевого транзисторов в одном кристалле. Инжекционно-полевая логика. Белорусский государственный университет информатики и радиоэлектроники. Кафедра РЭС. Реферат на тему: «Конструктивно-технологические варианты исполнения биполярного и полевого транзисторов в одном кристалле. Инжекционно-полевая логика». – Минск, 2009.

13. *Грицаенко П.Г., Кремлев В.Я., Гадков С.М.* Исследование статических параметров ИПП-инвертора. Деп. в межведомств. рефер. сб. «Техника, технология и экономика». – Серия ЭР. – Таганрог, 1981. – № 27. – 5 с.
14. *Кремлев В.Я., Грицаенко П.Г.* Достижение пиковаттной мощности в инжекционно-полевой логике // Известия вузов. Радиоэлектроника. –1981. – Т. XXIV, № 8. – С. 96-97.
15. *Маковийчук М.И., Паришин Е.О., Рекинский В.А.* Физические основы технологии КНИ-структур, формируемых методом ионно-лучевого синтеза // Известия вузов. Электроника. – 1998. – № 5. – С. 10-16.
16. *Пирс К., Адамс А., Кац Л., Цай Дж., Сейдел Т., Макгилис Д.* Технология СБИС: В 2-х кн. / под ред. С. Зи: пер. с англ. – М.: Мир: Редакция литературы по новой технике, 1986.
17. *Рудаков В.И., Денисенко Ю.И., Мочалов Б.В.* Низкотемпературный отжиг SIMOX-структур в неоднородном температурном поле // Микроэлектроника. – 2000. – Т. 29, №5. – С. 367-373.
18. *Кривилевич С.А., Маковийчук М.И., Паришин Е.О.* Ионный синтез структур кремний-на-изоляторе. Современное состояние, новые подходы и перспективы // Микроэлектроника. – 1999. – Т. 28, № 5. – С. 363-369.
19. *Королев М.А., Крупкина Т.Ю., Ревелева М.А.* Технология, конструкции и методы моделирования кремниевых интегральных схем / под общ. ред. чл.-корр. РАН проф. Ю.А. Чаплыгина. – М.: Бином. Лаборатория знаний, 2015. – 400 с.
20. *Светличный А.М., Наумченко А.С., Светличная Л.А., Житяев И.Л.* Методы изоляции элементов микро- и наноструктур: учеб. пособие. – Ростов-на-Дону: Изд-во ЮФУ, 2014. – 56 с.

#### REFERENCES

1. *Avaev N.A., Dulin V.N., Naumov Yu.E.* Bol'shie integral'nye skhemy s inzhektionsionnym pitaniem [Large injection-powered integrated circuits]. Moscow: Sov.radio, 1977, 248 p.
2. *Barinov V.V., Kremlev V.Ya., Moshkin V.I., Orlikovskiy A.A.* Integral'nye skhemy s inzhektionsionnym pitaniem [Integrated circuits with injection power supply], *Zarubezhnaya elektronnaya tekhnika* [Foreign electronic equipment], 1973, No. 19, pp. 3.
3. *Kremlev V.Ya., Moshkin V.I.* Funktsional'no-integrirrovannyye elementy BIS [Functionally integrated elements of LSI], *Elektronnaya promyshlennost'* [Electronic industry], 1976, No. 5, pp. 50-61.
4. *Baranov L.I.* O koeffitsiente usileniya polevogo tranzistora so smeshcheniem zatvora v pryamom napravlenii [On the gain factor of the field transistor with forward shift of the gate], *Radiotekhnika i elektronika* [Radio engineering and electronics], 1975, Vol. 20, No. 6, pp. 1323-1325.
5. *Gritsaenko P.G.* Konstruktivno-tekhnologicheskyy variant dlya SBIS na osnove inzhektionsionno-polevoy logiki [Constructive and technological variant for VLSI based on injection-field logic], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2019, No. 5 (207), pp. 175-183.
6. *Batalov B.V., Kremlev V.Ya., D'yakonov V.M.* Modelirovanie raboty polevogo tranzistora kak elementa inzhektionsionno-polevoy logiki [Simulation of field transistor operation as an element of injection-field logic], *Mikroelektronika* [Microelectronics], 1979, Vol. 8, Issue 1, pp. 34-43.
7. *D'yakonov V.M., Kremlev V.Ya.* Modelirovanie elementov inzhektionsionno-polevykh logicheskikh mikroskhem [Modeling of Elements of Injection Field Logic Chips], *Elektronnaya promyshlennost'* [Electronic Industry], 1979, Issue 4 (76), pp. 286-288.
8. *Inzhektionsionno-polevaya struktura dlya logicheskikh integral'nykh skhem: Avt. svidetel'stvo № 764567 (SSSR)* [Injection field structure for logic integrated circuits: Author 's certificate No. 764567 (USSR)]. Published in Bulletin No. 34, 1980).
9. *Kremlev V.Ya.* Sticheskie kharakteristiki elementov SBIS inzhektionsionno-polevoy logiki [Static characteristics of VLSI elements of injection-field logic], *V sb. «Tekhnologiya, proektirovanie i nadezhnost' integral'nykh poluprovodnikovyykh skhem»* [In coll. "Technology, design and reliability of integrated semiconductor circuits"]. Moscow: MIET, 1988, 122 p.
10. *Kremlev V.Ya., Gritsaenko P.G.* Issledovanie struktury na vzaimodopolnyayushchikh bipolyarnykh tranzistorakh [Study of the structure of complementary bipolar transistors], *Izvestiya VUZov. Radioelektronika* [Proceedings of the Universities. Radioelectronics], 1988, No. 3.

11. *Garitsyn A.G., Gritsaenko P.G., Levin A.Yu., Tarasov A.O.* Polevoy tranzistor s samosovmeshchennym vertikal'nym kanalom [Field-effect transistor with self-displaced vertical channel], *Elektronnaya tekhnika. Seriya 2 «Poluprovodnikovye pribory»* [Electron Technics. Series 2 "Semiconductor devices"], 1981, Issue 6 (148).
12. Konstruktivno-tekhnologicheskie varianty ispolneniya bipolyarnogo i polevogo tranzistorov v odnom kristalle. Inzheksionno-polevaya logika. Belorusskiy gosudarstvennyy universitet informatiki i radioelektroniki. Kafedra RES. Referat na temu: «Konstruktivno-tekhnologicheskie varianty ispolneniya bipolyarnogo i polevogo tranzistorov v odnom kristalle. Inzheksionno-polevaya logika» [Design and technological variants of bipolar and field-effect transistors in one crystal. Injection-field logic. Belarusian State University of Informatics and Radioelectronics. Department of RES. Abstract on the topic: «Design and technological variants of bipolar and field-effect transistors in one crystal. Injection-field logic»]. Minsk, 2009.
13. *Gritsaenko P.G., Kremlev V.Ya., Gadkov S.M.* Issledovanie staticheskikh parametrov IPL-invertora [Study of static parameters of IPL inverter]. Dep. v mezhdovedstv. refer. sb. «Tekhnika, tekhnologiya i ekonomika». Seriya ER [Deposited in the interagency abstract collection Technique, «Technology and Economics». Series ER]. Taganrog, 1981, No. 27, 5 p.
14. *Kremlev V.Ya., Gritsaenko P.G.* Dostizhenie pikovattnoy moshchnosti v inzheksionno-polevoy logike [Achievement of peak power in injection-field logic], *Izvestiya vuzov. Radioelektronika* [News of Higher Educational USSR. Radioelectronics], 1981, Vol. XXIV, No. 8, pp. 96-97.
15. *Makoviychuk M.I., Parshin E.O., Rekshinskiy V.A.* Fizicheskie osnovy tekhnologii KNI-struktur, formiruemykh metodom ionno-lucheвого синтеза [The physical basis of the technology of COI structures formed by the method of ion-beam synthesis], *Izvestiya vuzov. Elektronika* [News of Higher Educational USSR. Electronics], 1998, No. 5, pp. 10-16.
16. *Pirs K., Adams A., Kats L., Tsay Dz., Seydel T., Makgillis D.* Tekhnologiya SBIS [Tekhnologiya SBIS]: In 2-nd book, ed. by S. Zi: transl. from engl. Moscow: Mir: Redaktsiya literatury po novoy tekhnike, 1986.
17. *Rudakov V.I., Denisenko Yu.I., Mochalov B.V.* Nizkotemperaturnyy otzhig SIMOX-struktur v neodnorodnom temperaturnom pole [Low-temperature annealing of SIMOX structures in an inhomogeneous temperature field], *Mikroelektronika* [Microelectronics], 2000, Vol. 29, No. 5, pp. 367-373.
18. *Krivilevich S.A., Makoviychuk M.I., Parshin E.O.* Ionnyy sintez struktur kremniy-na-izolyatore. Sovremennoe sostoyanie, novye podkhody i perspektivy [Ion synthesis of silicon-on-insulator structures. Current state, new approaches and prospects], *Mikroelektronika* [Microelectronics], 1999, Vol. 28, No. 5, pp. 363-369.
19. *Korolev M.A., Krupkina T.Yu., Reveleva M.A.* Tekhnologiya, konstruksii i metody modelirovaniya kremnievykh integral'nykh skhem [Technology, designs and methods of modeling silicon integrated circuits], under the general ed. chl.-corr. RAS prof. Yu.A. Chaplygina. Moscow: Binom. Laboratoriya znaniy, 2015, 400 p.
20. *Svetlichnyy A.M., Naumchenko A.S., Svetlichnaya L.A., Zhityaev I.L.* Metody izolyatsii elementov mikro- i nanostruktur: ucheb. posobie [Methods of isolation of elements of micro- and nanostructures: textbook]. Rostov-on-Don: Izd-vo YuFU, 2014, 56 p.

Статью рекомендовал к опубликованию д.т.н., член-корреспондент РАЕ А.В. Ковалев.

**Грицаенко Павел Григорьевич** – Южный федеральный университет; e-mail: dsp@sfedu.ru; г. Таганрог, Россия; тел.: 88634393075; к.т.н.; с.н.с.; гл. специалист научно конструкторского бюро цифровой обработки сигналов.

**Светличная Людмила Александровна** – Политехнический институт (филиал ДГТУ в г. Таганроге); e-mail: <http://tpi.donstu.ru>; г. Таганрог, Россия; тел.: 88634623538; к.т.н.; н.с.

**Gritzaenko Pavel Gregory** – Southern Federal University; e-mail: dsp@sfedu.ru; Taganrog, Russia; phone: 88634393075; cand. of eng. sc.; senior researcher; chief specialist of the scientific design bureau of digital signal processing.

**Svetlichnaya Lyudmila Aleksandrovna** – Polytechnic Institute (branch of DG TU in Taganrog); e-mail: <http://tpi.donstu.ru>; Taganrog, Russia; phone: 88634623538; cand. of eng. sc.; researcher.