

Д.В. Тельпухов, Р.А. Соловьев, Н.В. Тельпухова, А.Н. Щелоков

ОЦЕНКА ПАРАМЕТРА ЛОГИЧЕСКОЙ ЧУВСТВИТЕЛЬНОСТИ КОМБИНАЦИОННОЙ СХЕМЫ К ОДНОКРАТНЫМ ОШИБКАМ С ПОМОЩЬЮ ВЕРОЯТНОСТНЫХ МЕТОДОВ*

Современный путь развития микроэлектронных средств тесно связан с миниатюризацией устройств и уменьшением размерностей технологического процесса, что приводит к уменьшению сбоеустойчивости, и ставит вопросы о способах проектирования надежных интегральных схем. На ранних этапах разработки схемы, когда не определены все параметры элементной базы, зачастую требуется производить предварительные оценки сбоеустойчивости с целью использования тех или иных методов повышения маскирующих свойств разрабатываемой логической схемы. Вычисление точных характеристик сбоеустойчивости, таких как полином ошибки, требует существенных вычислительных затрат, и не может быть применен для средних и больших схем. Следовательно, возникает необходимость в разработке некоторых аппроксимаций, учитывающих это ограничение. В качестве такой метрики в данной работе предлагается использовать обобщенный коэффициент логической чувствительности схемы к одиночным ошибкам. Этот параметр обладает линейной вычислительной сложностью относительно числа элементов и не зависит от вероятности сбоя вентиля. Кроме того, в условиях, когда вероятность сбоя вентиля стремится к нулю – эта аппроксимация является наиболее точной, являясь касательной к графику полинома ошибки в точке ноль. Более того, использование методов вероятностной логики обеспечивает дополнительные возможности по сокращению времени вычислений, позволяя получать искомую оценку надежности схемы за линейное время в один проход по схеме. Эксперименты продемонстрировали возможность увеличения области применимости данной метрики для больших комбинационных схем с некоторыми потерями в точности вычислений.

Сбоеустойчивость; комбинационные схемы; логическое маскирование; коэффициент логической чувствительности.

D.V. Telpukhov, R.A. Solovyev, N.V. Telpukhova, A.N. Schelokov

LOGICAL SENSITIVITY FACTOR ESTIMATION FOR COMBINATIONAL CIRCUITS USING PROBABILISTIC METHODS

Modern microelectronic development course is closely associated with the miniaturization of devices and reduction of dimensions in technological process which reduces fault-tolerance and raises questions about ways of designing reliable integrated circuits (IC). In the early stages of IC development when no parameters of the electronic components are defined, it is often required to make preliminary estimates of fault tolerance for the use of various methods of increasing the masking properties of the developed logic. Calculation of precise fault tolerance characteristics, such as fault polynomial requires significant computational resources and cannot be used for medium and large circuits. Consequently, there is a growing need for approximations that take into account this limitation. For such a metrics, we propose the generalized coefficient of logic sensitivity to single faults. This parameter has a linear computational complexity relative to the number of elements and does not depend on the probability of gate failure. Moreover, under the conditions where the probability of gate failure tends to zero – this is the most accurate approximation being a tangent to the curve of the polynomial error at zero. Moreover, the use of methods of probabilistic logic provides additional opportunities to reduce the computation time, obtaining the desired estimate of circuit reliability in linear time in single pass. Experiments have shown the ability to increase the range of applicability of this metric for large combinational circuits with some loss in accuracy.

Fault-tolerance; combinational circuits; logical masking; the logical sensitivity factor.

* Работа выполнена при частичной поддержке РФФИ (проект №16-08-00241).

Оценка сбоеустойчивости логических схем. В данной работе под надежностью схемы понимается степень её уязвимости к кратковременным ошибкам, которые возникают из-за одиночных обратимых сбоев (single event transient) [1–4], источниками которых чаще всего служат попадания ионизирующих частиц.

Целью методов оценки надежности является получение полинома ошибки $F(p)$ [5], который определяет вероятность возникновения такой комбинации входных сигналов и вектора ошибки, которая приводит к некорректной работе схемы. Аргументом этого полинома является параметр p , обозначающий вероятность ошибки в одном вентиле схемы, трактуемый как комбинация различных дестабилизирующих эффектов и источников помех, включая наземное космическое излучение, а также перекрестные и электромагнитные помехи. Следуя модели независимых вентильных сбоев в трактовке Фон Неймана [6] будем считать, что все вентили имеют одинаковую независимую вероятность сбоя, в то время как количество ошибок в схеме не ограничено. Под ошибкой понимается инверсия сигнала на выходе вентиля. Таким образом, полином ошибки является характеристикой, отражающей способность схемы противостоять случайным сбоям её элементов.

Введем некоторые обозначения. Пусть Ω будет обозначать набор всех вентилях в схеме, в то время как N и M это число входов и число вентилях соответственно. Будем обозначать ошибки, возникающие на элементах как e_i , причем $e_i = 1$, если на i -ом элементе возникла ошибка. В случае отсутствия ошибки $e_i = 0$. Вектор $\bar{e} = (e_1, e_2, \dots, e_M)$ будем называть вектором ошибки, по аналогии с вектором входных значений $\bar{X} = (x_1, x_2, \dots, x_N)$.

Рассмотрим схему в базе элементов И-НЕ, реализующую функцию прямой импликации (рис. 1), и на основе его расширенной таблицы истинности получим основные формулы для нахождения $F(p)$. Построим расширенную таблицу истинности для всех комбинаций входных векторов и векторов ошибки (\bar{X}, \bar{e}) (табл. 1):

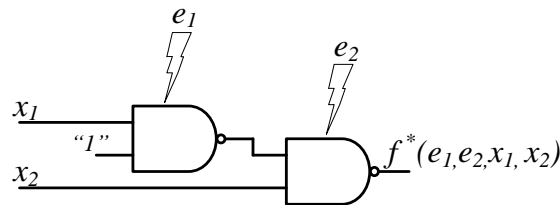


Рис. 1. Структурная схема прямой импликации в базе И-НЕ подверженная внешнему воздействию

Таблица 1

Таблица истинности для всех пар (\bar{X}, \bar{e}) схемы прямой импликации

№	e_1	e_2	x_1	x_2	$f(x_1, x_2)$	$f^*(x_1, x_2, e_1, e_2)$	$E(\bar{X}, \bar{e})$	Вероятность вектора ошибки
0	0	0	0	0	1	1	0	$(1 - p)^2$
1	0	0	0	1	0	0	0	
2	0	0	1	0	1	1	0	
3	0	0	1	1	1	0	0	$(1 - p)p$
4	0	1	0	0	1	0	1	
5	0	1	0	1	0	1	1	
6	0	1	1	0	1	0	1	
7	0	1	1	1	1	0	1	

8	1	0	0	0	1	1	0	$p(1-p)$
9	1	0	0	1	0	1	1	
10	1	0	1	0	1	1	0	
11	1	0	1	1	1	0	1	
12	1	1	0	0	1	0	1	p^2
13	1	1	0	1	0	0	0	
14	1	1	1	0	1	0	1	
15	1	1	1	1	1	1	0	

Здесь $E(\bar{X}, \bar{e})$ обозначает характеристическую функцию набора пар векторов (входных сигналов \bar{X} и векторов ошибок \bar{e}):

$$E(\bar{X}, \bar{e}) = \begin{cases} 1, & \text{если набор } (\bar{X}, \bar{e}) \text{ приводит к ошибке} \\ 0, & \text{иначе} \end{cases}$$

В последнем столбце указаны вероятности появления вектора ошибки при условии того, что вероятность возникновения ошибки на каждом вентиле равна p . Например, вероятность появления вектора ошибки $\bar{e} = (1,0)$ равна $p(1-p)$, из-за независимости двух случайных событий: ошибка возникла на первом вентиле (p) в то время как второй вентиль сработал корректно ($1-p$).

Нас интересуют строки, в которых значение функции не совпадает с эталонным, а иными словами – строки в которых характеристическая функция $E(\bar{X}, \bar{e})$ равна единице. Обратившись к строчке под номером 5 в таблице и учитывая тот факт, что вероятность любой комбинации двух входов равна $\frac{1}{4}$, получим вероят-

ность наступления этого события: $\frac{1}{4}(1-p)p$. Если для каждой строчки, в которой $E(\bar{X}, \bar{e})=1$ найти вероятность её возникновения, то просуммировав все эти выражения, мы получим полином ошибки, который характеризует вероятность несовпадения результата работы схемы с эталонным при вероятности ошибки на вентиле, равной p . Для рассмотренного примера полином будет выглядеть следующим образом:

$$F(p) = \frac{1}{4}(0 \cdot (1-p)^2) + \frac{1}{4}(4 \cdot (1-p)p) + \frac{1}{4}(2 \cdot p(1-p)) + \frac{1}{4}(2 \cdot p^2) \\ F(p) = 1,5p - p^2. \quad (1)$$

Теперь выведем формулу для расчета полинома ошибки в общем виде для произвольной логической схемы. Учитывая, что вероятность появления на входе конкретного вектора входных сигналов \bar{X} длины N (в предположении равновероятности всех таких наборов) равна $\frac{1}{2^N}$, а вероятность возникновения вектора ошибки длины M и веса $|\bar{e}|$ равна $p^{|\bar{e}|}(1-p)^{M-|\bar{e}|}$, получаем вероятность ошибки на выходе схемы (вес вектора равен количеству его ненулевых элементов):

$$F(p) = \frac{1}{2^N} \sum_{\bar{X}, \bar{e}} E(\bar{X}, \bar{e}) p^{|\bar{e}|} (1-p)^{M-|\bar{e}|}. \quad (2)$$

Коэффициент чувствительности к одиночным сбоям. Из формулы (2) видно, что вычислительная сложность точного аналитического вычисления полинома ошибки экспоненциально зависит от числа входов и числа элементов,

что делает этот метод неприменимым даже для сравнительно небольших схем. В связи с этим в настоящее время все методы оценки маскирующих свойств комбинационной логики балансируют между высокой вычислительной сложностью и точностью результатов характеристик сбоеустойчивости [7].

Одним из способов сокращения вычислительной сложности в задаче оценки сбоеустойчивости логических схем является разработка новых эффективных метрик, в той или иной мере отражающих уязвимость к одиночным сбоям [8][9].

Прежде всего нужно определить понятие наблюдаемости вентиля в контексте задачи оценки сбоеустойчивости логических схем. В этом контексте наблюдаемость вентиля i рассматривается как вероятность того, что ошибка на этом вентиле не будет маскирована, и повлияет на выход логической схемы, при условии что на остальных вентилях ошибки не возникло. Обозначая наблюдаемость как o_i , получим:

$$o_i = \frac{1}{2^N} \sum_{\bar{x}} E(\bar{X}, \bar{e}_k), \quad (3)$$

где \bar{e}_k имеет только одну единицу на позиции e_i , в то время как остальные $e_{j \neq i} = 0$.

Для примера из предыдущего раздела, наблюдаемость первого вентиля вычисляется как среднее число единиц в столбце $E(\bar{X}, \bar{e})$ для строк 8, 9, 10, 11. За наблюдаемость второго вентиля отвечают строки 4–7. Таким образом: $o_1 = 0,5$; $o_2 = 1$. Это означает что ошибка на первом вентиле имеет 50% вероятность быть маскированной последующей логикой, в то время как любая ошибка на вентиле 2 исказит значение на выходе схемы. В этом смысле можно трактовать наблюдаемость как меру уязвимости вентиля в схеме.

Технологическая независимость предполагает отсутствие точного знания о конечной элементной базе и условиях эксплуатации, что в нашем случае заключается в неизвестности параметра p . Таким образом, на ранних этапах разработки логических интегральных схем для сравнения маскирующих способностей схем, либо методов защиты необходимо использовать весь полином ошибки, либо вводить дополнительные предположения. Одним из очевидных предположений является предположение о низкой вероятности возникновения ошибки p . Действительно, интенсивность сбоев в современных КМОП схемах лежит в пределах 10^{-8} – 10^{-4} [10, 11]. В таких условиях открываются перспективы для использования различных эффективных метрик. В данной работе для оценки сбоеустойчивости логических схем предлагается использовать некоторый обобщенный коэффициент логической уязвимости схемы [12]:

$$\alpha = \frac{1}{2^N} \sum_{\bar{x}, \bar{e}, |\bar{e}|=1} E(\bar{X}, \bar{e}). \quad (4)$$

Суммирование ведется по всем входным комбинациям и всем комбинациям векторов ошибок, вес которых равен единице.

При малых значениях p в полиноме $F(p)$ вклад членов со степенью выше первой оказывается незначительным, что означает доминирование однократных ошибок. Этот факт позволяет считать только те вектора ошибок, вес которых равен единице. Аналитически, формула (4) представляет собой линейный коэффициент функции вероятности ошибки на выходе схемы. Графически, этот параметр представляет собой касательную к графику $F(p)$.

Анализируя формулы (3) и (4) можно сделать вывод, что обобщенный коэффициент логической устойчивости схемы представляет собой сумму наблюдаемостей вентилях $\alpha = \sum_{i \in \Omega} o_i$ и характеризует среднее число ненадежных элементов в схеме, т.е. тех элементов, ошибка в которых приводит к ошибке на выходе схемы. Для нашего примера прямой импликации этот коэффициент будет равен 1,5, что означает что 1,5 из двух элементов в схеме потенциально ненадежны.

Предлагаемая метрика сбоеустойчивости обладает рядом преимуществ. Во-первых, вычислительная сложность метода линейная относительно количества элементов, что вкпе с методами бит-параллельного моделирования и методами Монте-Карло позволяет использовать эту метрику для сравнительно больших схем. Во-вторых, предлагаемый коэффициент не зависит от вероятности сбоя вентиля, что позволяет использовать его на ранних этапах проектирования сбоеустойчивых схем, а также методов повышения сбоеустойчивости, когда не определена элементная база и условия эксплуатации схемы. В-третьих, для большинства практических применений, в условиях, когда вероятность сбоя вентиля стремится к нулю – эта аппроксимация является наиболее точной, являясь касательной к графику полинома ошибки в точке ноль.

Другим способом сокращения вычислительной сложности в задаче оценки сбоеустойчивости логических схем являются более эффективные приближенные методы нахождения (1). В рамках этого направления следует выделить стохастические подходы на основе метода Монте-Карло, а также вероятностные методы, которые подробнее рассмотрены в следующем разделе.

Оценка сбоеустойчивости логических схем с помощью вероятностных методов. В работе рассматриваются два метода оценки логической уязвимости комбинационных схем, основанных на вероятностной логике – метод вероятностных моделей вентилях (probability gate model) [13–15] и сквозной метод (single pass) [16–18]. Их особенность заключается в том, что при вычислении параметров сбоеустойчивости используются вероятности ошибок на вентилях, а также вероятности тех или иных входов и выходов на элементе.

Стоит сразу упомянуть, что, имея дело с вероятностными подходами оценки, мы будем иметь дело и с некоторыми погрешностями. Вычисляя те или иные вероятности, делается допущение о том, что элементы схемы независимы друг от друга, что неверно в условиях наличия реконвергентных путей. Поэтому погрешность будет тем больше, чем больше случаев реконвергенции в схеме.

В основе данных методов лежит наблюдение, согласно которому ошибка на выходе любого элемента зависит от суммарного эффекта вероятности ошибки на самом элементе, и вероятности ошибки, передающейся со всех зависимых элементов предыдущих уровней. Оба метода предполагают один проход по схеме от входов к выходам, и рекурсивное применение основного шага алгоритма к каждому элементу.

Для метода вероятностных вентилях этот шаг заключается в подсчете вероятности появления единицы на выходе рассматриваемого элемента с учетом вероятности фон-Неймановской ошибки p . Эта вероятность представляет собой функцию, зависящую от вероятности ошибки вентиля, и вероятностей появления единицы на первичных входах: $\Pr(x_1, x_2, \dots, x_n, p)$.

Для сквозного метода на этом шаге осуществляется вычисление вероятности ошибки на рассматриваемом вентиле при условии, что его эталонное значение равно нулю, и той же вероятности, но при условии, что эталонное значение равно единице. Эти вероятности представляют собой функции, зависящие от вероятности ошибки вентиля p : $\Pr_{0 \rightarrow 1}(p)$, $\Pr_{1 \rightarrow 0}(p)$.

В процессе выполнения алгоритма от элемента к элементу найденное и переданное дальше по схеме значение полинома растет. Получив значения для последнего вентиля, выхода схемы, рассчитывается сбоеустойчивость всей схемы, представленная как полином ошибки:

$$F(p) = \Pr_0 \cdot \Pr_{0 \rightarrow 1}(p) + \Pr_1 \cdot \Pr_{1 \rightarrow 0}(p),$$

где \Pr_0 и \Pr_1 – вероятности нуля и единицы на выходе схемы, работающей без-ошибочно.

Основные различия методов, влияющие на эффективность и область применимости методов, заключаются в переменных, от которых зависит передаваемый по схеме полином. Метод вероятностных моделей вентиляей предполагает в качестве переменных наличие не только фон-Неймановской ошибки вентиля, но и вероятности появления единицы на первичных входах схемы. Последним шагом этого метода является прогон всех возможных входных комбинаций по этому полиному. С другой стороны, сквозной метод оценки учитывает входные параметры в числовом виде на каждой итерации, передавая по схеме полином, зависящий лишь от одной переменной. Это уменьшает эффективность при росте количества элементов, но не дает экспоненциального роста времени, при увеличении количества входов, которое дает метод вероятностных вентиляей.

Основным фактором, интересующим нас с точки зрения применения этих методов для вычисления параметра логической чувствительности к одиночным ошибкам – это скорость роста вычислительной сложности методов в зависимости от базовых параметров схемы: числа первичных входов/выходов, элементов. Несмотря на то, что некоторые выводы можно сделать непосредственно из описания алгоритмов, были проведены вычислительные эксперименты на большом числе схем. Результаты представлены на рис. 2.

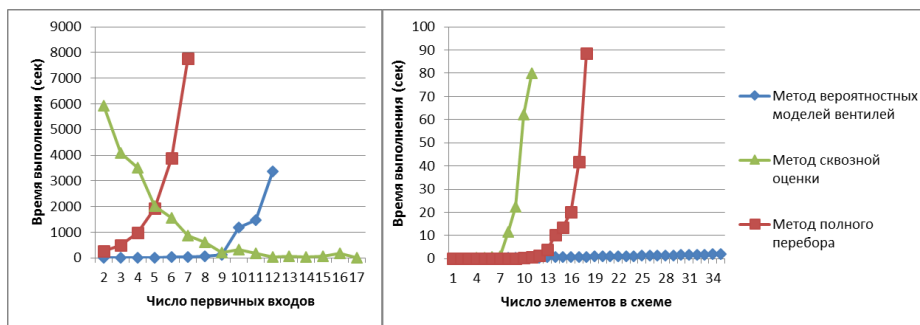


Рис. 2. Сравнение эффективности вероятностных методов оценки логической устойчивости схем

Анализируя полученные результаты можно сделать некоторые выводы. Во-первых, как и предполагалось по формуле (2), вычислительная сложность метода полного перебора экспоненциально зависит как от числа элементов схемы, так и от числа первичных входов. Во-вторых, метод вероятностных моделей вентиляей линейно зависит от числа элементов в схеме и экспоненциально от числа первичных входов. Это связано с тем, что финальное выражение для вероятности единицы на выходе схемы вычисляется быстро в один проход, однако затем требуется полный перебор всех входных комбинаций, что обуславливает экспоненциальную зависимость от числа входов схемы. Также стоит отметить, что несмотря на то, что метод сквозной оценки работает за один проход по схеме, на графиках наблюдается экспоненциальная зависимость от числа элементов. Это связано со сложностью основного шага алгоритма, последовательно применяемого для каждого элемента схемы. Так как на этом шаге мы оперируем полиномами, с ростом количества элементов, будут усложняться операнды, и как следствие, время выполнения будет экспоненциально увеличиваться. Существенное снижение времени выполнения метода сквозной оценки при увеличении первичных входов на первый взгляд может показаться странным, однако объясняется внутренними особенностями метода. Дело в том, что на основном шаге алгоритма вероятности входных наборов для каждого элемента учитываются в численном виде, поэтому по мере роста количе-

ства входов, эффективность не будет падать, как у других методов. Увеличение же эффективности обусловлено тем, что когда у элемента входные наборы зависят от первоначальных входов схемы, а не других элементов, то мы оперируем не полиномами, а числами, что, очевидно, быстрее.

Учитывая все вышесказанное очевидным решением было использовать метод сквозной оценки для ускоренного подсчета коэффициента уязвимости. В статье предлагается модифицировать метод сквозной оценки таким образом, чтобы на каждом шаге алгоритма оперировать только членами полинома с переменной ошибки в нулевой и первой степени. Таким образом мы избавляемся от лишних вычислений, при этом сохраняя информацию о линейном коэффициенте полинома и повышая эффективность. Вычислительная сложность коэффициента уязвимости в отличие от полинома ошибки, который вычислялся вероятностными методами на рис. 2, линейно зависит от числа элементов схемы, сохраняя при этом экспоненциальную зависимость от числа первичных входов. Метод сквозной оценки, наоборот, ликвидирует экспоненциальную зависимость от числа первичных входов. Сочетание двух этих методов позволяет получать оценку сбоеустойчивости схемы за линейное время.

Экспериментальные результаты. Были проведены вычислительные эксперименты, целью которых являлось определение вычислительных затрат на оценку коэффициента чувствительности схемы для различных бенчмарк схем с помощью двух различных методов: метода непосредственной реализации по формуле (4) – t_{sf} , и с помощью усовершенствованного метода на базе сквозного метода оценки – t_{sp} . Для проведения исследований было разработано программное обеспечение на языке Python 3.4 [19], реализующее оба метода оценки, а также различные вспомогательные функции, включая функции генерации произвольных схем с заданным числом элементов и первичных входов. Оценка вычислительной сложности методов производилась на машине с двухъядерным процессором Intel Core i5-4200U с оперативной памятью 6 Гбайт DDR3L-1600. Оценка времени расчета для некоторых больших схем методом полного перебора было получено методом экстраполяции [20].

Таблица 2

Оценка эффективности методов расчета коэффициента чувствительности

Схема	Число элементов	Число входов	Относительная ошибка	t_{sp} , сек	t_{sf} , сек
x2_synth	55	10	0.007	0.69	22.18
cm42a_synth	22	4	0	0.20	0.06
f51m_synth	111	8	0.068	2.96	22.27
ttt2_synth	244	24	0.031	3.18	$7.61 \cdot 10^6$
pclе_synth	83	19	0.049	0.75	$2.56 \cdot 10^4$
misex3	1509	14	0.060	30.84	$2.98 \cdot 10^5$
C880_synth	391	60	0.064	18.92	$1.36 \cdot 10^{18}$
c432	216	36	0.074	5.30	$2.46 \cdot 10^{10}$
x1_synth	391	51	0.101	6.03	$2.67 \cdot 10^{15}$
apex2	423	39	0.102	5.27	$7.52 \cdot 10^{11}$
misex3c	685	14	0.135	8.14	$6.31 \cdot 10^4$
seq	2176	41	0.156	63.39	$8.59 \cdot 10^{13}$
apex3	2201	54	0.010	40.88	$7.19 \cdot 10^{17}$

Заключение. Предложен эффективный метод вычисления коэффициента чувствительности схемы с помощью вероятностного метода сквозной оценки. Разработанная нами метрика обладает рядом преимуществ, таких как линейная вычислительная сложность относительно количества элементов, возможность использования на ранних этапах проектирования, а так же высокая точность при вероятности сбоя вентиля, стремящейся к нулю. Для дальнейшего повышения эффективности предложенного метода оценки надежности схемы, были проанализированы приближенные вероятностные методы получения полинома ошибки. В ходе анализа вычислительной сложности вероятностных методов были продемонстрированы существенные различия относительно зависимости от числа входов и числа элементов схемы, что позволило обосновать выбор метода сквозной оценки для использования при вычислении коэффициента чувствительности. Проведены вычислительные эксперименты, демонстрирующие существенное ускорение вычислений предлагаемой метрики, при незначительных потерях в точности оценки.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Dodd P.E. et al.* Production and propagation of single-event transients in high-speed digital logic ICs // IEEE Transactions on Nuclear Science. – 2004. – Vol. 51, No. 6. – P. 3278-3284.
2. *Benedetto J.M. et al.* Digital single event transient trends with technology node scaling // IEEE Transactions on Nuclear Science. – 2006. – Vol. 53, No. 6. – P. 3462-3465.
3. *Chen Y. et al.* Radiation hardened by design techniques to mitigating P-hit single event transient // Nanoelectronics Conference (INEC), 2016 IEEE International. – IEEE, 2016. – P. 1-2.
4. *Costenaro E. et al.* A practical approach to single event transient analysis for highly complex design // Journal of Electronic Testing. – 2013. – Vol. 29, No. 3. – P. 301-315.
5. *Стемковский А.Л., Тельпухов Д.В., Соловьев Р.А., Соловьев А.Н., Мячиков М.В.* Моделирование возникновения неисправностей для оценки надежных характеристик логических схем // Информационные технологии. – 2014. – № 11. – С. 30-36.
6. *J. von Neumann.* Probabilistic logics and the synthesis of reliable organisms from unreliable components // in Automata Studies, C.E. Shannon and J. McCarthy, Eds. Princeton, NJ: Princeton Univ. Press, 1956, – P. 43-98.
7. *Xiao R., Chen C.* Gate-level circuit reliability analysis: A survey // VLSI Design. – 2014. – Vol. 2014, Article ID 529392. – P. 1-12.
8. *Стемковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В.* Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов // Информационные технологии. – 2015. – Т. 21, № 10. – С. 749-756.
9. *Тельпухов Д.В., Соловьев Р.А., Мячиков М.В.* Разработка практических метрик для оценки методов повышения сбоеустойчивости комбинационных схем // Информационные технологии и математическое моделирование систем 2015: Труды Международной научно-технической конференции. – 2015. – С. 79-81.
10. *Choudhury MR, Mohanram K.* Reliability analysis of logic circuits // IEEE Trans CAD. – 2009. – No. 28 (3). – P. 392-405.
11. *Stanislavljević M., Schmid A., Leblebici Y.* Reliability of Nanoscale Circuits and Systems: Methodologies and Circuit Architectures. – Springer Science & Business Media, 2010.
12. *Стемковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В., Тельпухова Н.В.* Разработка технологически-независимых метрик для оценки маскирующих свойств логических схем // Вычислительные технологии. – 2016. – Т. 21, № 2.
13. *Han J, Chen H, Boykin E, Fortes J.* Reliability evaluation of logic circuits using probabilistic gate models // Microelectronics Reliability. – 2011. – No. 51(2). – P. 468-76. 20.
14. *Jie Han, Erin Taylor, Jianbo Gao and José Fortes.* Faults, Error Bounds and Reliability of Nanoelectronic Circuits. Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors (ASAP'05). 1063-6862/05 2005 IEEE 19.
15. *Nasir Mohyuddin, Ehsan Pakbaznia and Massoud Pedram.* Probabilistic Error Propagation in Logic Circuits Using the Boolean Difference Calculus. University of Southern California Department of Electrical Engineering Los Angeles, CA, USA.

16. Choudhury MR, Mohanram K. Reliability analysis of logic circuits // *IEEE Trans CAD*. – 2009. – No. 28 (3). – P. 392-405.
17. Mahdavi S.J. Seyyed, Mohammadi K. Improved single-pass approach for reliability analysis of digital combinational circuits // *Microelectronics Reliability*. – 2011. – No. 51. – P. 477-484.
18. Milos Stanisavljevic, Alexandre Schmid and Yusuf Leblebici. Output Probability Density Functions of Logic Circuits: Modeling and Fault-Tolerance Evaluation. Microelectronic Systems Laboratory, EPFL, CH-1015 Lausanne, Switzerland. 978-1-4244-6471-5/10/\$26.00c 2010 IEEE.
19. Pilgrim M., Willison S. Dive Into Python 3. – Apress, 2009. – Т. 2.
20. Brezinski C., Zaglia M.R. Extrapolation methods: theory and practice. – Elsevier, 2013. – Т. 2.

REFERENCES

1. Dodd P.E. et al. Production and propagation of single-event transients in high-speed digital logic ICs, *IEEE Transactions on Nuclear Science*, 2004, Vol. 51, No. 6, pp. 3278-3284.
2. Benedetto J.M. et al. Digital single event transient trends with technology node scaling, *IEEE Transactions on Nuclear Science*, 2006, Vol. 53, No. 6, pp. 3462-3465.
3. Chen Y. et al. Radiation hardened by design techniques to mitigating P-hit single event transient, *Nanoelectronics Conference (INEC), 2016 IEEE International*. IEEE, 2016, pp. 1-2.
4. Costenaro E. et al. A practical approach to single event transient analysis for highly complex design, *Journal of Electronic Testing*, 2013, Vol. 29, No. 3, pp. 301-315.
5. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Solov'ev A.N., Myachikov M.V. Modelirovanie vozniknoveniya neispravnostey dlya otsenki nadezhnostnykh kharakteristik logicheskikh skhem [Simulation of malfunctions to assess the fault tolerance characteristics of logic circuits], *Informatsionnye tekhnologii [Information Technology]*, 2014, No. 11, pp. 30-36.
6. J. von Neumann. Probabilistic logics and the synthesis of reliable organisms from unreliable components, in *Automata Studies*, C.E. Shannon and J. McCarthy, Eds. Princeton, NJ: Princeton Univ. Press, 1956, pp. 43-98.
7. Xiao R., Chen C. Gate-level circuit reliability analysis: A survey, *VLSI Design*, 2014, Vol. 2014, Article ID 529392, pp. 1-12.
8. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V. Povyshenie otkazoustoychivosti logicheskikh skhem s ispol'zovaniem nestandartnykh mazhoritarnykh elementov [Improving the fault tolerance of logical circuits using majority of non-standard elements], *Informatsionnye tekhnologii [Information Technology]*, 2015, Vol. 21, No. 10, pp. 749-756.
9. Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V. Razrabotka prakticheskikh metrik dlya otsenki metodov povysheniya sboeustoychivosti kombinatsionnykh skhem [Development of practical metrics to evaluate methods to improve the failure tolerance of combinational circuits], *Informatsionnye tekhnologii i matematicheskoe modelirovanie sistem 2015: Trudy Mezhdunarodnoy nauchno-tekhnicheskoy konferentsii [Information technologies and mathematical system modeling 2015: Proceedings of International scientific-technical conference]*, 2015, pp. 79-81.
10. Choudhury MR, Mohanram K. Reliability analysis of logic circuits, *IEEE Trans CAD*, 2009, No. 28 (3), pp. 392-405.
11. Stanisavljević M., Schmid A., Leblebici Y. Reliability of Nanoscale Circuits and Systems: Methodologies and Circuit Architectures. Springer Science & Business Media, 2010.
12. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V., Tel'pukhova N.V. Razrabotka tekhnologicheskikh nezavisimykh metrik dlya otsenki maskiruyushchikh svoystv logicheskikh skhem [Development of technology-independent metrics for evaluating masking properties of logical schemes], *Vychislitel'nye tekhnologii [Computational Technologies]*, 2016, Vol. 21, No. 2.
13. Han J, Chen H, Boykin E, Fortes J. Reliability evaluation of logic circuits using probabilistic gate models, *Microelectronics Reliability*, 2011, No. 51 (2), pp. 468-76. 20.
14. Jie Han, Erin Taylor, Jianbo Gao and José Fortes. Faults, Error Bounds and Reliability of Nanoelectronic Circuits. Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors (ASAP'05). 1063-6862/05 2005 IEEE 19.

15. *Nasir Mohyuddin, Ehsan Pakbaznia and Massoud Pedram*. Probabilistic Error Propagation in Logic Circuits Using the Boolean Difference Calculus. University of Southern California Department of Electrical Engineering Los Angeles, CA, USA.
16. *Choudhury MR, Mohanram K*. Reliability analysis of logic circuits, *IEEE Trans CAD*, 2009, No. 28 (3), pp. 392-405.
17. *Mahdavi S.J. Seyyed, Mohammadi K*. Improved single-pass approach for reliability analysis of digital combinational circuits, *Microelectronics Reliability*, 2011, No. 51, pp. 477-484.
18. *Milos Stanisavljevic, Alexandre Schmid and Yusuf Leblebici*. Output Probability Density Functions of Logic Circuits: Modeling and Fault-Tolerance Evaluation. Microelectronic Systems Laboratory, EPFL, CH-1015 Lausanne, Switzerland. 978-1-4244-6471-5/10/\$26.00c 2010 IEEE.
19. *Pilgrim M., Willison S*. Dive Into Python 3. Apress, 2009, Т. 2.
20. *Brezinski C., Zaglia M.R*. Extrapolation methods: theory and practice. Elsevier, 2013, Т. 2.

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

Тельпухов Дмитрий Владимирович – Институт проблем проектирования в микроэлектронике РАН; e-mail: nofrost@inbox.ru; Москва, просп. 60-летия Октября, 9; отдел методологии проектирования интегральных схем; руководитель отдела; к.т.н.

Соловьев Роман Александрович – e-mail: turbo@ippm.ru; отдел методологии вычислительных процедур; в.н.с.; к.т.н.

Тельпухова Наталья Владимировна – e-mail: telpuhova@gmail.com; отдел методологии проектирования интегральных схем; инженер-исследователь.

Щелоков Альберт Николаевич – e-mail: schan@ippm.ru; с.н.с.; к.ф.-м.н.

Telpukhov Dmitry Vladimirovich – The Institute for Design Problems in Microelectronics (IPPM RAS); e-mail: nofrost@inbox.ru; Moscow, the prospectus of the Sixtieth anniversary October, 9; the department of integrated circuits design methodology; head of department; cand. of eng. sc.

Solovyev Roman Alexandrovich – e-mail: turbo@ippm.ru; department of integrated circuits design methodology; leading researcher; cand. of eng. sc.

Telpukhova Natalia Vladimirovna - e-mail: telpuhova@gmail.com; department of integrated circuits design methodology; junior researcher.

Schelokov Albert Nikolaevich – e-mail: schan@ippm.ru; senior researcher; cand. of ph.-m. sc.