

**Гаврилов Сергей Витальевич** – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey\_g@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; профессор; зав. отделом.

**Иванова Галина Александровна** – e-mail: pirutina\_g@ippm.ru; отдел автоматизации проектирования цифровых схем; м.н.с.

**Стемпковский Александр Леонидович** – e-mail: stal09@ippm.ru; директор; профессор; академик РАН.

**Gavrilov Sergey Vitalievich** – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: sergey\_g@ippm.ru; 3, Sovetskaya street, Zelenograd, 124681, Russia; phone: +74997299890; the department of automation of the design of digital circuits; professor; head of department.

**Ivanova Galina Aleksandrovna** – e-mail: pirutina\_g@ippm.ru; junior research scientist.

**Stempkovskiy Aleksandr Leonidovich** – e-mail: stal09@ippm.ru; director; professor; academician of RAS.

УДК 621.3.049.771.14

**С.В. Гаврилов, Д.И. Рыжова, А.Л. Стемпковский**

### **МЕТОДЫ ПОВЫШЕНИЯ ТОЧНОСТИ ОЦЕНКИ ПИКОВОГО ТОКА НА ЛОГИЧЕСКОМ УРОВНЕ НА ОСНОВЕ АНАЛИЗА ЛОГИЧЕСКИХ КОРРЕЛЯЦИЙ**

*С уменьшением технологических норм возрастают проблемы, для решения которых необходим анализ пикового тока в цепях питания, а именно резкое изменение напряжения в цепях питания (IR-drop), выбор ширины шин питания. Существующие подходы к оценке пикового тока делятся на два типа. Нижнюю и наиболее точную оценку дают методы анализа тестовых последовательностей. С другой стороны, методы суммирования максимальных токов для каждого блока схемы позволяют получить верхнюю оценку. Однако методы первого типа не могут обеспечить полноту тестового покрытия для схем с большим числом внешних входов, а методы поиска верхней оценки не гарантируют достоверность результата, так как не учитывают вариации параметров и логику работы схемы. Предлагается метод, обеспечивающий существенное по сравнению с другими известными подходами повышение точности оценки пикового тока, с учетом одновременного переключения нескольких входов вентиля, на основе анализа распространения логических ограничений в КМОП-схеме.*

*Статический временной анализ; сложно-функциональный блок; логические корреляции; анализ пикового тока.*

**S.V. Gavrilov, D.I. Ryzhova, A.L. Stempkovskiy**

### **METHODS FOR INCREASING ACCURACY OF PEAK CURRENT ESTIMATION AT THE LOGICAL LEVEL BASED ON LOGIC CORRELATION ANALYSIS**

*With scaling problems for which decision analysis of peak current in the supply buses is required, are increasing - voltage drop in the supply buses (IR-drop), the choice of the supply buses width. There are two types of approaches for peak current estimation. Methods of test pattern analysis give lower and more accurate estimate. On the other hand, the methods for summing the maximum current for each circuit block allow obtaining an upper bound. However methods of first type do not provide reliability and completeness of test coverage to design circuits with a large*

*number of external inputs, and specialized methods focused on the search of upper bound do not take into account parameter variations and operating logic of the circuit. This paper describes the method based on logic correlation analysis, which provides a significant increase accuracy of peak current estimation taking into account simultaneous switching of several inputs is proposed.*

*Static timing analysis; intellectual property block; logic correlations; analysis of peak current.*

**Введение.** С уменьшением проектных норм возрастает степень интеграции, а значения напряжения питания и размеры элементов СБИС существенно уменьшаются. Это приводит к возникновению новых и/или усилению существующих негативных эффектов, которые могут стать причиной нарушения работы схемы. Для анализа эффектов, обусловленных особенностями субмикронных и нанотехнологий, разрабатываются новые методики их выявления, коррекции или устранения, которые впоследствии можно интегрировать в САПР.

Ключевыми проблемами, для которых необходим расчет пикового тока, являются эффект IR-drop [1, 2] – падение напряжения в цепях земли/питания и расчет ширины шин питания при проектировании схем. С уменьшением технологических норм эти проблемы становятся ограничивающими факторами в разработке СБИС.

Эффект IR-drop приводит к падению напряжения в проводнике в результате его электрического сопротивления. Это напряжение пропорционально току, который течет через проводник ( $V=IR$ ), и приводит к падению напряжения.

Топологические размеры элементов СБИС уменьшаются с каждым годом и, соответственно, для них определяются свои рабочие напряжения питания и запасы помехоустойчивости. Тем не менее, для многих устройств данные характеристики не масштабируются и в случае, например, энергоемких устройств, работающих на низком напряжении, может появиться значительный мгновенный ток. Для узких шин питания/земли эти кратковременные «всплески» тока могут вызвать перенапряжение и выход схемы из строя. Кроме того, низкое напряжение питания свидетельствует об уменьшении запаса помехоустойчивости, необходимого для корректной работы транзисторов на кристалле. Для того чтобы избежать логических ошибок, необходимо проектировать схему с учетом падения напряжения и уменьшения запаса помехоустойчивости. Поэтому для обеспечения работоспособности СБИС необходимо учитывать максимальный мгновенный ток, протекающий в схеме.

В силу того, что существующие методы оценки пикового тока не предоставляют достаточно точное решение задачи, появилась необходимость в разработке методов оценки пикового тока с учетом возможности одновременного переключения вентилях. Для анализа логической совместимости переключений вентилях предлагается подход на основе правил резолюций, сочетающих в себе подходы к определению верхней границы с учетом логики работы схемы и моделирование тестовых последовательностей для получения нижней границы.

Дальнейшее содержание работы включает следующие разделы:

Раздел 1 содержит анализ существующих методов оценки пикового тока и предшествующих разработок авторов. В разделе 2 предложен метод поиска и распространения логических корреляций для повышения достоверности анализа пикового тока. В разделе 3 предложены методы анализа максимального тока в схеме на основе метода ветвей и границ и в терминах MWIS проблемы.

**1. Существующие методы оценки пикового тока и предшествующие разработки авторов.** Наиболее простые модели тока, известные сегодня из публикаций, – это модели прямоугольника [3] (рис. 1), треугольника [4] (рис. 2), трапеции [5] (рис. 3), а также гладкая кривая (рис. 4).

Наиболее распространенными являются первые три модели. Они являются менее точными, так как из рассмотрения исключается форма сигнала тока. Последняя модель строится по результатам точного моделирования и является дорогостоящей.

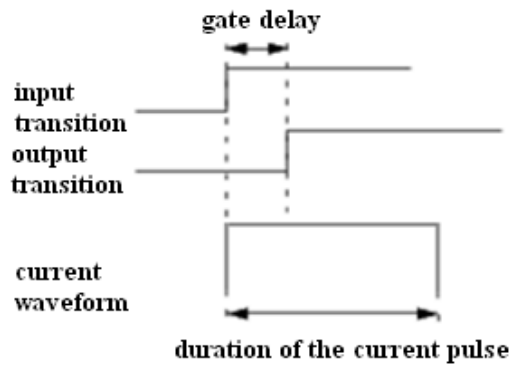


Рис. 1. Прямоугольная модель сигнала тока

В отличие от моделей прямоугольника и треугольника, CCS (Composite Current Source) и ECSM (Effective Current Source Model) модели сохраняют табличные значения функций  $I_{out} = F(t, S_{inp}, C_{out})$  и  $V_{out} = G(t, S_{inp}, C_{out})$  соответственно, что позволяет строить реальные кривые для зависимостей тока и напряжения от времени.

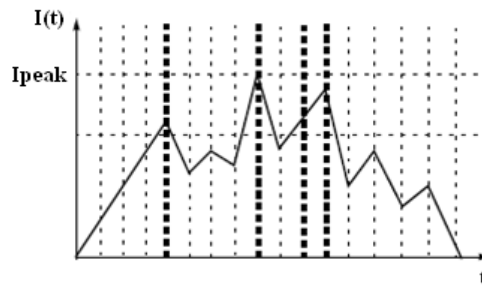


Рис. 2. Треугольная модель сигнала тока

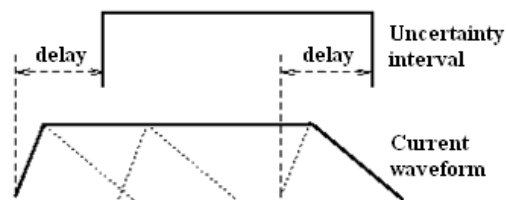


Рис. 3. Трапецевидная модель сигнала тока

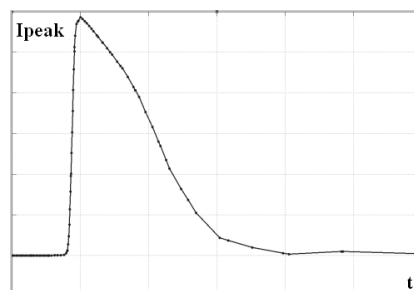


Рис. 4. Точная модель сигнала тока

Однако CCS и ECSM модели не содержат точных данных для построения зависимости тока в цепи питания от времени. В связи с этим появилась необходимость в создании усовершенствованной модели сигнала [6], позволяющей сохранять значения тока в контрольных точках, выбираемых по уровням напряжения (входных и выходных сигналов):

$$I_o = \{(t_i, I_i) : V_o(t_i) = OL_i \cdot V_{dd}\},$$

$$I_1 = \{(t_i, I_i) : V_1(t_i) = IL_i \cdot V_{dd}\},$$

$$I_2 = \{(t_i, I_i) : V_2(t_i) = IL_i \cdot V_{dd}\},$$

где  $IL = \{IL_i\} = \{0.0 \ 0.1 \ 0.2 \ 0.5 \ 0.8 \ 1.0\}$  – уровни входных сигналов,  $OL = \{OL_i\} = \{0.01 \ 0.1 \ 0.2 \ 0.5 \ 0.8 \ 0.9 \ 0.99 \ 0.999\}$  – уровни выходного сигнала.

Разработанная модель тока также включает подмножество данных для NLDM модели:

$$D_1 = (t_i : V_o(t_i) = 0.5 \cdot V_{dd}) - (t_j : V_1(t_j) = 0.5 \cdot V_{dd}),$$

$$D_2 = (t_i : V_o(t_i) = 0.5 \cdot V_{dd}) - (t_j : V_2(t_j) = 0.5 \cdot V_{dd}),$$

$$S_o^r = (t_i : V_o(t_i) = 0.8 \cdot V_{dd}) - (t_j : V_o(t_j) = 0.2 \cdot V_{dd}).$$

Из полученных в результате применения метода контрольных точек значений тока, фронтов и смещений строится таблица характеристики, по которой в дальнейшем можно делать интерполяцию по смещениям между входными фронтами. Алгоритм характеристики тока в контрольных точках на основе дихотомического деления по параметру смещения входных фронтов представлен на рис. 5.

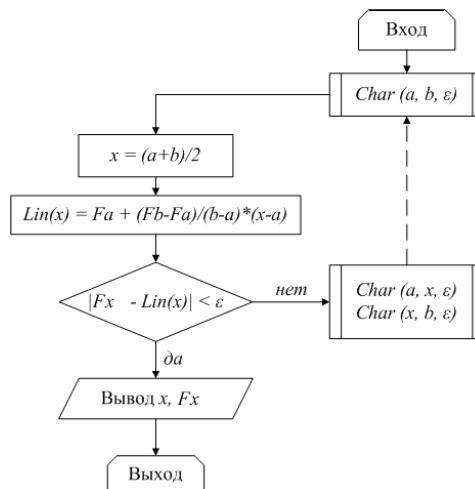


Рис. 5. Алгоритм характеристики тока в контрольных точках на основе двоичного деления по параметру смещения входных фронтов

На этапе анализа схемы требуется интерполяция кривых тока во времени для заданных значений фронтов и смещения между ними. Классический алгоритм билинейной интерполяции неприменим в данном случае, так как пиковый ток представляет собой функцию от входных фронтов и смещения. То есть, если в классической билинейной интерполяции каждому значению фронта соответствовало бы одно значение смещения, то в нашем случае каждому значению фронта соответствует четыре значения смещения. Поэтому для анализа тока в конкретной ситуации был разработан алгоритм трилинейной интерполяции пикового тока в контрольных точках:

1. Загрузка таблицы значений тока в контрольных точках.
2. Ввод значений фронтов и смещения между ними, для которых нужно найти максимальный ток.
3. Определение интервала, в который попадают заданные фронты.
4. Далее возможны четыре случая:
  - ◆ при попадании в узел сетки проводится линейная интерполяция по смещению;
  - ◆ при попадании на одно из ребер сетки проводится билинейная интерполяция по смещению и фронту, не попавшему на ребро;
  - ◆ иначе, проводится линейная интерполяция по смещению, далее билинейная интерполяция по фронтам;
5. Вывод значений тока во времени в контрольных точках.

Для оценки пикового тока в сложных КМОП-схемах используется упрощенная методика суммирования кривых [7]: временная ось разбивается на 100 временных интервалов, и в каждом интервале значения токов при переключении вентиля суммируются. Таким образом, строится максимальная огибающая по току (рис. 6):

$$I_j = \max_p \sum_i I_{ip}, j \in [1:100]$$

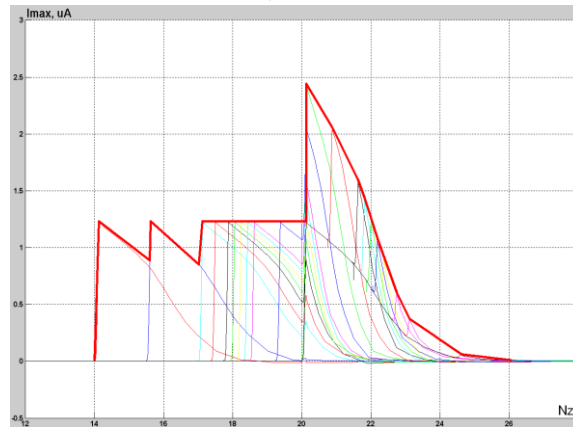


Рис. 6. Максимальная огибающая по току

При формировании огибающей по току ключевой проблемой является нахождение подмножества таких вентилях, которые могут переключаться одновременно в одном направлении. В связи с этим возникает необходимость разработки эффективных методов поиска и распространения логических ограничений для определения возможности одновременного переключения. Одним из таких подходов является метод распространения логических корреляций на основе резолюций.

**2. Адаптация метода резолюций для повышения достоверности анализа пикового тока.** Ранее в ряде публикаций [8–10] был предложен метод поиска и распространения логических корреляций для анализа помехоустойчивости цифровых схем, обусловленной перекрестными емкостными связями. В данной работе предлагается модификация аналогичного подхода для решения задачи нахождения ограничений по одновременному переключению вентилях.

В основе такого подхода лежит метод распространения логических ограничений вдоль схемы на основе правила резолюции. Метод резолюций ранее использовался в теории автоматического доказательства теорем [11–13]. Здесь дается изложение этого метода применительно к цифровым КМОП-схемам, поскольку цифровая КМОП-схема является реализацией системы булевых отношений.

Метод резолюций – это метод вывода новых булевых соотношений из заданного множества булевых соотношений. Пусть задана пара  $(V,R)$ , где  $V=\{a,b,\dots\}$  – множество булевых переменных; а  $R$  – множество булевых соотношений типа  $A=B$ ;  $A,B$  – выражения на множестве  $V$ . В классической версии метода резолюций множество  $R$  преобразуется в одно соотношение  $f=1$ , где  $f$  представляет собой КНФ (конъюнктивную нормальную форму, т.е. произведение сумм литералов, где литерал – это либо переменная, либо ее отрицание).  $f$  называется характеристической функцией системы булевых соотношений. Например, для вентиля AND со входами  $a, b$  и выходом  $x$ , то его логическая функция описывается булевым соотношением  $x = a \cdot b$ . Это соотношение может быть преобразовано в:

$$(x + \bar{a} + \bar{b}) \cdot (\bar{x} + a) \cdot (\bar{x} + b) = 1,$$

где характеристическая функция вентиля AND находится в левой части уравнения.

Для получения новых булевых соотношений используется следующее правило резолюции:

$$a + B = 1, \quad \bar{a} + C = 1 \quad \mapsto \quad B + C = 1,$$

где  $B, C$  – суммы литералов.

Вместо этой классической версии метода резолюций в данной статье будет использоваться модифицированная версия, в которой множество  $R$  преобразуется в одно соотношение  $g=0$ , где  $g$  – это ДНФ (дизъюнктивная нормальная форма, т.е. сумма произведений литералов). Например, для вышеупомянутого вентиля AND имеем:

$$\bar{x} \cdot a \cdot b + x \cdot \bar{a} + x \cdot \bar{b} = 0.$$

Этот модифицированный метод непосредственно связан с системой логических импликаций. Нетрудно увидеть, что каждый терм – это не что иное, как ограничение, которое накладывает запрет на некоторую комбинацию переменных. Например, член  $x \cdot a$  накладывает запрет на комбинацию  $(x=1, a=0)$ . Этот запрет эквивалентен паре простых логических импликаций (ПЛИ), связанных между собой контрапозитивным законом:  $a \Rightarrow x, \quad x \Rightarrow a$ . Аналогично, член  $x \cdot a \cdot b$  описывает следующую логическую импликацию:  $a \cdot b \Rightarrow x$ . Таким образом, в данной версии метода каждый член (ограничение) непосредственно показывает запрещенную комбинацию переменных.

Для вывода новых ограничений предлагается использовать следующее правило резолюции:

$$a \cdot B = 0, \quad \bar{a} \cdot C = 0 \quad \mapsto \quad B \cdot C = 0,$$

где  $B, C$  – произведения литералов.

В целях сокращения обозначений «=0» опускается. Таким образом, система ограничений для вентиля AND будет записываться как  $(\bar{x} \cdot a \cdot b, x \cdot \bar{a}, x \cdot \bar{b})$ , а правило резолюции будет записываться как  $(a \cdot B, \bar{a} \cdot C \mapsto B \cdot C)$ .

### 3. Предлагаемые методы оценки пикового тока на основе правил резолюций.

#### 3.1. Проблема поиска максимального тока в терминах MWIS проблемы.

По результатам анализа логических корреляций можно построить, так называемый, граф ограничений. Граф парных ограничений – это тройка  $G = (V, E, w)$ , где  $V$  – набор вершин,  $E$  – набор ребер  $E \subseteq \{\{u, v\} : u, v \in V, u \neq v\}$  и  $w$  – весовая функция вершин такая, что  $w(u) \geq 0, \forall u \in V$  и  $w(K) = \sum_{u \in K} w(u)$ , где

$$K \subseteq V.$$

Для каждого анализируемого пути в схеме строится свой граф парных ограничений. Для формирования графа парных ограничений используются только парные логические ограничения, в которых паре вершин соответствует пара узлов – выходов вентилях, индуцирующих ток. Ребро  $e = (a_i, a_j) \in E_C$  соответствует парному ограничению  $a^{\alpha_i} a^{\beta_j}$ , которое ограничивает вентили с выходами  $a_i$  и  $a_j$  от совместного влияния на максимальный ток.

Для расчета максимального тока вентили должны переключаться в одном направлении. В данном методе последовательно просматривается каждый узел – выход вентиля. Проверяются вершины, добавленные в граф парных ограничений, если узел уже присутствует в графе и переключается в том же направлении, то к весу вершины в графе приписывается вес данного узла. Далее добавляются ребра между вершинами, которые представляют собой узлы, имеющие логические корреляции между ними, по следующим правилам:

- 1) узлы переключаются в одном направлении и имеют запрет на состояние 11;
- 2) Переключаются в одном направлении и имеют запрет на состояние 00.

И, наконец, на последнем этапе добавляются ребра между вершинами, которые переключаются в разные моменты времени.

Задача поиска пикового тока сводится при таком подходе к решению задачи нахождения максимального взвешенного независимого набора (МВНН) вершин, известной как проблема MWIS (Multiple Weighted Independent Set) [14–15]. Задача нахождения МВНН для графа  $G = (V, E, w)$  – NP-полная, но в теории графов существуют её эффективные решения при некоторых ограничивающих условиях [16].

Обозначим как  $N(u)$  и  $N(K)$  множества соседних вершин для  $u \in V$  и  $K \subseteq V$  соответственно, формально это означает следующее:

$$N(u) = \{v : \{u, v\} \in E\}, N(K) = \bigcup_{u \in K} N(u).$$

Тогда набор вершин  $K \subseteq V$ , удовлетворяющий условию  $N(K) \cap K = \emptyset$ , называется независимым. Пусть  $\Omega[G]$  – множество всех независимых наборов вершин графа парных ограничений  $G = (V, E, w)$ . Тогда независимое множество вершин  $B^*$  такое, что  $w(B^*) = \max\{w(S) : S \in \Omega[G]\}$  называется максимальным взвешенным независимым набором (МВНН) вершин.

В случае использования всех ограничений строится гиперграф, гипер-ребра которого могут объединять более двух вершин. Поскольку задача МВНН в гиперграфе является трудоемкой, то в качестве первого приближения можно использовать обыкновенный граф ограничений. Для получения оценки пикового тока можно представить каждое гипер-ребро в виде пар обычных ребер, что представляет собой более строгий набор ограничений.

**3.2. Анализ пикового тока на основе метода ветвей и границ.** Метод ветвей и границ – общий алгоритмический метод для нахождения оптимальных решений различных задач оптимизации, особенно дискретной и комбинаторной оптимизации [17]. По существу, метод является вариацией полного перебора с отсевом подмножеств допустимых решений, заведомо не содержащих оптимальных решений.

Общая идея метода может быть описана на примере поиска минимума функции  $f(x)$  на множестве допустимых значений переменной  $x$ . Для метода ветвей и границ необходимы две процедуры: ветвление и нахождение оценок (границ).

Процедура ветвления состоит в разбиении множества допустимых значений переменной  $x$  на подобласти (подмножества) меньших размеров, в каждой из которых оценивается экстремальное значение функции. Процедуру можно рекурсивно применять к подобластям. Полученные подобласти образуют дерево, называемое деревом поиска или деревом ветвей и границ. Узлами этого дерева являются построенные подобласти (подмножества множества значений переменной  $x$ ).

Процедура нахождения оценок заключается в поиске верхних и нижних границ для решения задачи на подобласти допустимых значений переменной  $x$ .

Анализ максимального тока с помощью метода ветвей и границ заключается в следующем:

1. Установить пиковый ток равным нулю.
2. Подать максимальную тестовую последовательность (см. п. 3.1.) на входы схемы.
3. Если входной набор удовлетворяет условиям переключения и приводит к большему току, то оценка тока, найденная для данного набора, становится наилучшей.

**Заключение.** В данной работе исследованы существующие методы оценки пикового тока, с учетом и без учета одновременного переключения. Разработана модель тока на основе метода контрольных точек, обеспечивающая повышение точности моделирования по сравнению с известными методами. Показано, что предложенный подход обеспечивает достаточно точное соответствие кривой тока, полученной в результате схемотехнического моделирования, а также достаточно точный расчет задержек и фронтов.

Для повышения точности оценки пикового тока на логическом уровне предложен алгоритм характеристики тока потребления вентилях в контрольных точках на основе дихотомического деления по параметру смещения входных фронтов. Предложен алгоритм построения кривых зависимости тока от времени на основе трилинейной интерполяции токов в контрольных точках. Главное отличие предложенного подхода от существующих заключается в интеграции методов логико-временного и схемотехнического анализа в рамках одного маршрута, что позволяет достичь существенного ускорения при характеристике СФ-блока.

Разработана более точная модель для оценки пикового тока на основе анализа распространения логических ограничений вдоль схемы. Разработан алгоритм поиска критических входных последовательностей для оценки пикового тока в КМОП-схемах на основе метода ветвей и границ. В отличие от известных подходов, предложенные алгоритмы обеспечивают более точные оценки максимального тока на логическом уровне проектирования.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Kose S., Friedman E.G.* Efficient algorithms for fast IR drop analysis exploiting locality // *Integration*. – 2012. – № 45. – P. 149-161.
2. *Geden B.* Understand and Avoid Electromigration (EM) & IR-drop in Custom IP Blocks // *Synopsys Webinars*. – 2011.
3. *Chowdhury S., Barkatullah J.S.* Estimation of maximum currents in MOS IC logic Circuits // *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. – 1990. – P. 642-654.
4. *Jiang Y.-M., Krstic A., Cheng K.-T.* Estimation for Maximum Instantaneous Current Through Supply Lines for CMOS Circuits // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. – 2000. – P. 61-73.
5. *Kriplani H., Najm F., Hajj I.* Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithms, Signal Correlations and Their Resolution // *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. – 1995. – P. 998-1012.



6. Рыжова Д.И., Гаврилов С.В., Щелоков А.Н. Анализ пикового тока на основе результатов характеристики реальных библиотек логических вентилях // Сб. трудов Международного конгресса по интеллектуальным системам и информационным технологиям – 2013. Интеллектуальные САПР. – С. 251-252.
7. Sudhakar B., Hajj N. I. Estimation of maximum current envelope for power bus analysis and design // International symposium on Physical design. – 1998.
8. Robinson J.A. A Machine-Oriented Logic Based on the Resolution Principle // J. of the ACM. – 1965. – № 12 (1). – P. 23-41.
9. Glebov A., Gavrilov S., Blaauw D. False-Noise Analysis using Logic Implications // ICCAD. – 2001. – P. 515-520.
10. Гаврилов С.В. Методы анализа логических корреляций для САПР цифровых КМОП СБИС. – М.: Техносфера, 2011. – 136 с.
11. Chang C.L., Lee R.C.T. Symbolic Logic and Mechanical Theorem Proving. – New York: Acad. Press, 1973.
12. Чень Ч., Лу П. Математическая логика и автоматическое доказательство теорем. – М.: Наука, 1983. – 360 с.
13. Маслов С.Ю. Обратный метод установления выводимости для логических исчислений // Сб. трудов МИАН. – 1968. – Т. 98. – С. 26-87.
14. Papageorgiou D.J., Salpukas M.R. The Maximum Weight Independent Set Problem for Data Association in Multiple Hypothesis Tracking // 8th International Conference on Cooperative Control and Optimization. – 2009. – P. 235-255.
15. Brendel W., Amer M. Multiobject tracking as maximum weight independent set // IEEE Conf. on Computer Vision and Pattern Recognition. – 2011. – P. 1273-1280.
16. Loukakis E., Tsouros C. An Algorithm for the Maximum Internally Stable Set in a Weighted Graph // Intern. J. Computer Math. – 1983. – Vol. 13. – P. 117-129.
17. Shepard K.L. Design methodologies for noise in digital integrated circuits // Proc. DAC. – 1998. – P. 94-99.

## REFERENCES

1. Kose S., Friedman E.G. Efficient algorithms for fast IR drop analysis exploiting locality, *Integration*, 2012, No. 45, pp. 149-161.
2. Geden B. Understand and Avoid Electromigration (EM) & IR-drop in Custom IP Blocks, *Synopsys Webinars*, 2011.
3. Chowdhury S., Barkatullah J.S. Estimation of maximum currents in MOS IC logic Circuits *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1990, pp. 642-654.
4. Jiang Y.-M., Krstic A., Cheng K.-T. Estimation for Maximum Instantaneous Current Through Supply Lines for CMOS Circuits, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2000, pp. 61-73.
5. Kriplani H., Najm F., Hajj I. Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithms, Signal Correlations and Their Resolution, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1995, pp. 998-1012.
6. Ryzhova D.I., Gavrilov S.V., Shchelokov A.N. Analiz pikovogo toka na osnove rezultatov kharakterizatsii realnykh bibliotek logicheskikh ventiley [Analysis peak current on the basis of the results of the characterization of real library of logic gates], *Sb. trudov Mezhdunarodnogo kongressa po intellektualnyhm sistemam i informacionnym tekhnologiyam* [Proceedings of the International Congress on intelligent systems and information technologies – 2013. Intellectual CAD], pp. 251-252.
7. Sudhakar B., Hajj N.I. Estimation of maximum current envelope for power bus analysis and design, *International symposium on Physical design*, 1998.
8. Robinson J.A. A Machine-Oriented Logic Based on the Resolution, *Principle J. of the ACM*, 1965, No. 12 (1), pp. 23-41.
9. Glebov A., Gavrilov S., Blaauw D. False-Noise Analysis using Logic Implications, *ICCAD*. 2001, pp. 515-520.

10. *Gavrilov S.V.* Metody analiza logicheskikh korrelyatsiy dlya SAPR tsifrovyykh KMOP SBIS [Methods of analysis of logical correlations for CAD digital CMOS VLSI]. Moscow: Tekhnosfera, 2011, 136 p.
11. *Chang C.L., Lee R.C.T.* Symbolic Logic and Mechanical Theorem Proving. New York: Acad. Press, 1973.
12. *Chen Ch., Li R.* Matematicheskaya logika i avtomaticheskoe dokazatelstvo teorem [Mathematical logic and automatic theorem proving]. Moscow: Nauka, 1983, 360 p.
13. *Maslov S.Yu.* Obratnyy metod ustanovleniya vyvodimosti dlya logicheskikh ischisleniy [The inverse method of establishing hatchability for logical calculi]. *Sb. trudov MIAN* [Proceedings of Mathematical Institute named Century A. Steklov RAS], 1968, Vol. 98, pp. 26-87.
14. *Papageorgiou D.J., Salpukas M.R.* The Maximum Weight Independent Set Problem for Data Association in Multiple Hypothesis Tracking, *8th International Conference on Cooperative Control and Optimization*, 2009, pp. 235-255.
15. *Brendel W., Amer M.* Multiobject tracking as maximum weight independent set, *IEEE Conf. on Computer Vision and Pattern Recognition*, 2011, pp. 1273-1280.
16. *Loukakis E., Tsouros C.* An Algorithm for the Maximum Internally Stable Set in a Weighted Graph, *Intern. J. Computer Math.*, 1983, Vol. 13, pp. 117-129.
17. *Shepard K.L.* Design methodologies for noise in digital integrated circuits, *Proc. DAC.* 1998, pp. 94-99.

Статью рекомендовал к опубликованию д.т.н., профессор Ю.Ф. Адамов.

**Гаврилов Сергей Витальевич** – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey\_g @ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; профессор; зав. отделом.

**Рыжова Дарья Игоревна** – e-mail: ryzhova\_d@ippm.ru; отдел автоматизации проектирования цифровых схем; м.н.с.

**Стемпковский Александр Леонидович** – e-mail: stal09@ippm.ru; директор; профессор; академик РАН.

**Gavrilov Sergey Vitalievich** – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: sergey\_g@ippm.ru; 3, Sovetskaya street, Zelenograd, 124681, Russia; phone: +74997299890; the department of automation of the design of digital circuits; professor; head of department.

**Ryzhova Daria Igorevna** – e-mail: ryzhova\_d@ippm.ru; junior research scientist.

**Stempkovskiy Aleksandr Leonidovich** – e-mail: stal09@ippm.ru; director; professor; academician of RAS.

УДК 004.896

**В.В. Курейчик, Д.В. Заруба, Д.Ю. Запорожец**  
**ИЕРАРХИЧЕСКИЙ ПОДХОД ПРИ РАЗМЕЩЕНИИ**  
**КОМПОНЕНТОВ СБИС\***

*Предлагается модифицированный иерархический подход, состоящий из трех уровней, для решения задачи размещения компонентов СБИС. На первом уровне происходит предварительная декомпозиция всего пространства поиска на группы с использованием эволюционного подхода. Геометрические параметры каждой группы определяются суммарной площадью входящих в его состав компонентов. На втором уровне производится размеще-*

\* Работа выполнена при частичной поддержке РФФИ (проект № 13-01-00371).