

## Раздел II. Автоматизация проектирования

УДК 621.3.049.771.14

С.В. Гаврилов, Г.А. Пирютина, А.Н. Щелоков

### СТАТИЧЕСКИЙ ВРЕМЕННОЙ АНАЛИЗ КМОП-СХЕМ С УЧЕТОМ ДЕСТАБИЛИЗИРУЮЩИХ ФАКТОРОВ\*

*Проблема повышения надежности интегральных схем (ИС) становится актуальнее с каждой новой технологией. Для уровня проектных норм 45–32 нм проектирование СБИС требует фундаментальных изменений как в методологии, так и в средствах САПР, в частности требуется статический временной анализ КМОП-схем с учетом дестабилизирующих факторов, таких как деградация порогового напряжения и эффект температурной нестабильности при отрицательном смещении. В данной статье представлены методы, обеспечивающие существенное повышение точности расчета задержек в цифровых схемах с учетом дестабилизирующих факторов на логическом уровне за счет детального анализа внутренней структуры вентиляей.*

*Статический временной анализ; SP-граф; сложно-функциональный блок.*

S.V. Gavrilov, G.A. Pirutina, A.N. Schelokov

### CMOS CIRCUIT STATIC TIMING ANALYSIS ACCOUNTING FOR DESTABILIZING FACTORS

*Improving the reliability of integrated circuits (ICs) become relevant with each new technology. For level design rule 45–32 nm of VLSI design requires a fundamental change in methodology and in CAD tools, in particular requires to static timing analysis of CMOS circuits considering destabilizing factors such as threshold voltage degradation and Negative Bias Temperature Instability. In this article The proposed methods provide a significant increase in the accuracy of destabilizing factors logic level delay degradation analysis in digital circuits due to detailed analysis of the internal gate structure and the correlation of signals in the.*

*Static timing analysis; SP-DAG; IP-block.*

**Введение.** В маршруте проектирования цифровых сложно-функциональных блоков (СФ-блоков) для оценки быстродействия широко используются средства статического временного анализа (СВА) [1]. Статический временной анализ обеспечивает анализ критических путей на основе результатов характеристики отдельно взятого библиотечного элемента.

В современных САПР наиболее распространенной и широко используемой моделью для характеристики задержек библиотечных элементов является так называемая нелинейная модель задержки – Non-Linear Delay Model (NLDM) [2] в формате Liberty. Модель NLDM представляет собой нелинейные зависимости задержек выходных сигналов  $D_i$  от длительности фронта входного сигнала  $S_i$  и емкости нагрузки  $C_{out}$  в форме двумерных таблиц  $D_i(S_i^k, C_{out}^l)$ ,  $k \in [1:N_S]$ ,  $l \in [1:N_C]$ . Аналогичными таблицами представляются и зависимости длительности фронта выходного сигнала  $S_{out}$  от тех же переменных:  $S_{out}(S_i^k, C_{out}^l)$ ,  $k \in [1:N_S]$ ,  $l \in [1:N_C]$ .

---

\* Работа выполнена при поддержке РФФИ (проект № 13-07-00148).

Существенное упрощение такой модели состоит в использовании так называемого “pin-to-pin”-подхода, при котором задержки по каждой паре вход-выход характеризуются независимо от реального поведения остальных входов вентиля.

С переходом на новые технологии актуальнее становятся проблемы повышения надежности интегральных схем (ИС), требуется комплексный подход к анализу СФ-блоков, в том числе, решение задач на логическом уровне с использованием более точных моделей на транзисторном уровне. С уменьшением проектных норм возрастают вариации параметров, это приводит к существенному возрастанию вариаций задержек блока. Также следует учитывать деградацию порогового напряжения со временем вследствие НВТИ-эффекта. Учет влияния НВТИ на ранних стадиях разработки и анализа интегральных схем необходим для того, чтобы иметь возможность повысить процент выхода годных и обеспечить нужное функционирование будущего кристалла ИС в течение всего срока службы.

В рамках данной работы предлагается решение нерешенных проблем на основе анализа внутренней структуры схемы и вентиляей.

**1. Анализ внутренней структуры вентиляей.** Графовое представление комбинационной КМОП-схемы может быть построено путем экстракции логических функций в форме ориентированного ациклического SP-графа (SP-DAG [3]) из описания на транзисторном уровне.

Для описания соответствия между узлами схемы, вершинами SP-графа  $G = (Z, E)$ ,  $E \subset Z \times Z$  и системой логических уравнений будут использоваться следующие обозначения:

$P = \{ \{p_i\}, p_i \in Z, i=1, \dots, n \}$  – подмножество узлов – первичных входов, соответствующих независимым переменным,  $n$  – количество первичных входов;

$\vec{V} = [v_1, \dots, v_n]$ ,  $v_i \in B_4$ ,  $\vec{V} \in B_4^n$  – входной вектор или вектор-строка логических значений на первичных входах;

$s(z, \vec{V})$  – значение функции логического моделирования  $s: Z \times B_4^n \rightarrow B_4$ , определяющей логическое состояние узла  $z \in Z$  для заданного входного вектора в терминах четырехзначной логики, в частности для первичных входов

$s(p_i, \vec{V}) = v_i$ .

Анализ бездействия цифровой комбинационной схемы сводится к определению возможных значений задержек  $t(z)$  в узлах схемы ( $z \in Z$ ) по отношению к моменту переключения периодического тактового сигнала (clock).

Для моделирования входных последовательностей небольшой длины задача нахождения оптимальных граничных оценок сводится к независимому моделированию конечного набора векторов с анализом худшего и лучшего случаев. Однако для обеспечения надежности проектирования требуется полное моделирование всех вариантов входных векторов, число которых растет экспоненциально с ростом числа первичных входов.

В отличие от моделирования входных последовательностей, альтернативный метод статического временного анализа игнорирует зависимость задержек от входных векторов. Классический статический временной анализ основан на нахождении критических (минимального и максимального) путей в SP-графе без учета логики работы схемы, что в итоге приводит к огрубленной внешней оценке истинных значений интервалов задержек  $[t_{\min}(z), t_{\max}(z)]$ .

Для оценки интервалов возможных значений задержки при изменении значения параметра  $p_i$  требуется оценка чувствительности задержки. Решению этой проблемы посвящен следующий раздел применительно параметру  $p_i$  – деградации порогового напряжения.

**2. Оценка деградации задержки вследствие деградации порогового напряжения на основе анализа последовательно-параллельной структуры вентиля.** В ряде работ [5–8] были предложены модели зависимости изменения задержки от деградации порогового напряжения вследствие NBTI эффекта. Известные подходы имеют ряд упрощений. В большинстве статей используется линейная зависимость от изменения порогового напряжения [5, 6] и простые варианты вентиля (инвертор, И-НЕ, ИЛИ-НЕ) [5]. Существующие модели не учитывают взаимного влияния транзисторов и не анализируют структуру вентиля. Отсутствует модель для расчета деградации задержки сложных вентилях с последовательно-параллельными соединениями.

В рамках данной работы было проведено исследование зависимости задержек от порогового напряжения для технологии 32 нм. Результаты исследования представлены на рис. 2 в форме зависимости чувствительности задержки к пороговому напряжению от  $\Delta V_{th}$ . Как видно из рисунка, зависимость задержек от порогового напряжения носит нелинейный характер. В скобках на рис. 2 приведены проценты изменения чувствительности при росте изменения порогового напряжения. Ошибка использования линейной аппроксимации для технологии 32 нм достигает 9 %. Полученные результаты позволяют сделать вывод о том, что линейная зависимость от изменения порогового напряжения не обеспечивает требуемой точности для технологий 32 нм и ниже.

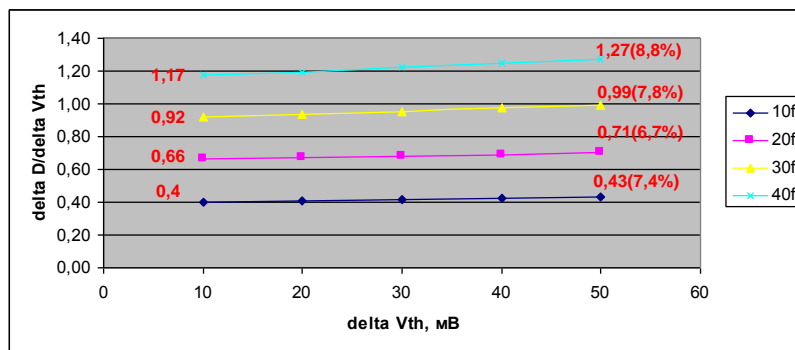


Рис. 2. Зависимость чувствительности задержки к изменению порогового напряжения для технологии 32 нм

В ряде статей для анализа зависимости задержки от порогового напряжения используется формула Sakurai-Newton [7–9]:

$$D = \frac{0,5C_l V_{dd}}{I_d} = \frac{C_l V_{dd} L_{eff}}{\mu C_{ox} W_{eff} (V_{gs} - V_{th})^\alpha}, \quad (6)$$

где  $1 \leq \alpha \leq 2$  – показатель степени, зависящий от технологии.

Формула описывает функцию задержки вентиля от порогового напряжения отдельно взятого проводящего р-транзистора в форме обратно пропорциональной зависимости. В ряде работ [7–8] показано, что приведенная формула дает приемлемую точность в расчете деградации задержки (1–2 %) для инвертора и для последовательного соединения транзисторов.

Задача, которая стояла в нашей работе – на основе полученных расчетов и для отдельных транзисторов рассчитать деградацию задержки всей структуры. Характеризация задержки и чувствительности отдельно взятого транзистора вы-

полняются на схемотехническом уровне. Для использования на логическом уровне физические коэффициенты следует свести к параметрам логического уровня. Преобразуя  $V_{th} = V_{th0} + \Delta V_{th}$ ,  $V_{gs} = V_{th0} + 1/k$ , получим:

$$D = \frac{C_1 V_{dd} L_{eff}}{\mu C_{ox} W_{eff} (V_{gs} - V_{th})^\alpha} = \frac{D_0}{(1 - k \cdot \Delta V_{th})^\alpha}, \quad (7)$$

где  $D_0 = D(\Delta V_{th} = 0)$ ,  $k = \frac{1}{V_{gs} - V_{th0}}$ ,  $k \cdot \Delta V_{th} \ll 1$ .

Так как линейная аппроксимация не обеспечивает необходимой точности, следует использовать члены более высокого порядка в разложение Тейлора для функции задержки  $f = D/D_0$ . Тогда, в частности, для инвертора можно получить:

$$f = \frac{D}{D_0} = \frac{1}{(1 - k \cdot \Delta V_{th})^\alpha} = 1 + f_0' \Delta V_{th} + \frac{f_0''}{2!} \Delta V_{th}^2 + \frac{f_0'''}{3!} \Delta V_{th}^3 + \dots,$$

$f_0' = \alpha \cdot k = \frac{S}{D_0}$ , откуда  $k = \frac{S}{\alpha D_0}$ , где  $S = D_0' = D_0 \cdot f_0'$  – чувствительность

задержки к пороговому напряжению транзистора,  $f_0'' = (\alpha + \alpha^2) \cdot k^2$ .

Из формулы для первой производной можно получить выражение для коэффициента  $k$ . Далее, подставив это выражение в формулу для разложения Тейлора, получим:

$$D \cong D_0 \cdot \left( 1 + \frac{S}{D_0} \Delta V_{th} + \frac{S^2}{2D_0^2} \left( \frac{1}{\alpha} + 1 \right) \Delta V_{th}^2 \right).$$

Выведенная формула обеспечивает точность до третьего порядка малости, так как  $f_0''' = (2\alpha + 3\alpha^2 + \alpha^3) \cdot k^3$ . Численные эксперименты показывают, что предложенная модель обеспечивает точность в пределах 0,5 % по сравнению с точным схемотехническим моделированием.

В случае последовательного соединения задержка на выходе зависит от сдвига порогового напряжения обоих транзисторов практически одинаково. При этом чувствительность задержки к изменению напряжения каждого транзистора можно характеризовать независимо друг от друга и ошибка определения задержки не превысит 1 %.

Наибольшую сложность представляет последовательно-параллельное соединение. Если один из транзисторов в параллельном соединении закрыт, то расчет деградации задержки данной структуры сводится к последовательному соединению. Однако в случае, когда оба транзистора проводят пренебрежение взаимным влиянием транзисторов может приводить к ошибке до 30 % в расчете изменения задержки.

На основе модели Sakurai-Newton [9] можно вывести формульные соотношения для расчета последовательно-параллельной структуры. Это позволяет рассчитать деградацию задержки всей последовательно-параллельной структуры, на основе чувствительности рассчитанной для отдельных транзисторов. Преобразуя (6) и (7) для суммы токов в параллельном соединении  $I_d = I_{d1} + I_{d2}$ , получим:

$$D = \frac{2D_0}{(1 - k_1 \Delta V_{th1})^\alpha + (1 - k_2 \Delta V_{th2})^\alpha},$$

$$\frac{\partial f}{\partial V_{th1}} = \frac{1}{2} \cdot \alpha \cdot k_1 = \frac{S_1}{D_0} \Rightarrow k_1 = \frac{2S_1}{\alpha D_0}, \quad \frac{\partial f}{\partial V_{th2}} = \frac{1}{2} \cdot \alpha \cdot k_2 = \frac{S_2}{D_0} \Rightarrow k_2 = \frac{2S_2}{\alpha D_0},$$

$$\frac{\partial^2 f}{\partial^2 V_{th1}} = \frac{1}{2} \cdot \alpha \cdot k_1^2, \quad \frac{\partial^2 f}{\partial^2 V_{th2}} = \frac{1}{2} \cdot \alpha \cdot k_2^2, \quad \frac{\partial^2 f}{\partial V_{th1} \partial V_{th2}} = \frac{1}{2} \cdot \alpha^2 \cdot k_1 \cdot k_2,$$

$$D \cong D_0 \cdot \left( 1 + \frac{S_1}{D_0} \Delta V_{th1} + \frac{S_2}{D_0} \Delta V_{th2} + \frac{1}{\alpha} \cdot \left( \frac{S_1}{D_0} \right)^2 \Delta V_{th1}^2 + \frac{1}{\alpha} \cdot \left( \frac{S_2}{D_0} \right)^2 \Delta V_{th2}^2 + \frac{2S_1 S_2}{D_0^2} \Delta V_{th1} \Delta V_{th2} \right).$$

Полученная формула позволяет рассчитать деградацию задержки всей последовательно-параллельной структуры, на основе чувствительности рассчитанной для отдельных транзисторов. Выведенная формула обеспечивает точность до третьего порядка малости:

$$\varepsilon \approx \alpha k_1^3 \left( 1 - \frac{a^2}{4} \right) \cdot \Delta V_{th1}^3 + 3\alpha^2 k_1^2 k_2 \left( \frac{a}{4} + \frac{1}{2} \right) \cdot \Delta V_{th1}^2 \Delta V_{th2} + 3\alpha^2 k_2^2 k_1 \left( \frac{a}{4} + \frac{1}{2} \right) \cdot \Delta V_{th2}^2 \Delta V_{th1} + \alpha k_2^3 \left( 1 - \frac{a^2}{4} \right) \cdot \Delta V_{th2}^3,$$

где  $k \cdot \Delta V_{th1} \ll 1$ ;  $k \cdot \Delta V_{th2} \ll 1$ .

Численные эксперименты показывают, что предложенная модель обеспечивает точность в пределах 1 % по сравнению с моделированием на схемотехническом уровне.

**Заключение.** В рамках данной работы рассмотрены проблемы статического временного анализа с учетом деградации параметров транзисторов. Предложена модель задержки, учитывающая взаимное влияние транзисторов при последовательно-параллельном соединении и обеспечивающая сведение многомерной задачи характеризации вентиля к совокупности двухмерных за счет анализа структуры вентиля.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Hitchcock R.B.* Sr. Timing Verification and the Timing Analysis program // Proceedings of the 19th conference on Design automation. – January 1982. – P. 594-604.
2. *Bhardwaj S., Ghanta P., Vrudhula S.* A Framework for Statistical Timing Analysis Using Non-Linear Delay and Slew Models // ICCAD-2006. – P. 225-230.
3. *Bryant R.E.* Boolean Analysis of MOS Circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 1987. – Vol. 6, № 4. – P. 634-649.
4. *Kuo Y.M., Chang Y.L., and Chang S.C.* Efficient Boolean Characteristic Function for Fast Timed ATPG // in Proc. International Conference on Computer-Aided Design. – 2006. – P. 96-99.
5. *Luo H., Wang Yu, et. al.* A Novel Gate-Level NBTI Delay Degradation Model with Stacking Effect, 2007. – P. 160-170.
6. *Lorenz D., Shlichtmann U., et. al.* Aging-aware Timing Analysis of Combinatorial Circuits on Gate level, Information Technology, 2010. – P. 181-188.
7. *Paul C.B., et al.* Impact of NBTI on the Temporal Performance Degradation of Digital Circuits// IEEE ELECTRON DEVICE LETTERS. – 2005. – Vol. 26, № 8. – P. 780-785.
8. *Khan S. Hamdioui S.* Temperature Dependence of NBTI Induced Delay// IEEE 16th International On-Line Testing Symposium, 2010. – P. 15-20.
9. *Sakurai T., Newton A.R.* Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas // IEEE JSSC. – Apr. 1990. – Vol. SC-25, № 2. – P. 584-594.

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

**Гаврилов Сергей Витальевич** – Федеральное государственное бюджетное учреждение науки Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН); e-mail: sergey.v.gavrilov@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; зав. отделом; д.т.н.

**Пирютина Галина Александровна** – e-mail: pirutina\_g@ippm.ru; отдел автоматизации проектирования цифровых схем; инженер-исследователь.

**Щелоков Альберт Николаевич** – e-mail: schan@ippm.ru; тел.: +74997299845; зам. директора; к.ф.-м.н.

**Gavrilov Sergey Vitalievich** – The Institute for Design Problems in Microelectronics of the Russian Academy of Science (IPPM RAS); e-mail: sergey.v.gavrilov@ippm.ru; 3, Sovetskaya, Zelenograd, Moscow, 124365, Russia; phone: +74997299890; department of digital design automation; head of department; dr. of eng. sc.

**Pirutina Galina Aleksandrovna** – e-mail: pirutina\_g@ippm.ru; the department of digital design automation; research engineer.

**Schelokov Albert Nikolaevich** – e-mail: schan@ippm.ru; phone: +74997299845; deputy director; cand. of eng. sc.

УДК 621.3.049.771.14:004.023

**М.В. Лисяк, А.А. Лежебоков**

### **АЛГОРИТМ МНОГОКРИТЕРИАЛЬНОГО РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ СБИС\***

*Рассматривается проблема многокритериального размещения элементов сверхбольших интегральных схем с целью уменьшения временных задержек в межсоединениях и обеспечения трассируемости, что является актуальной задачей в связи с переходом на новые субмикронные и нанометровые нормы проектирования сверхбольших интегральных схем. Предложен гибридный алгоритм размещения на основе генетического поиска. Описаны процедуры локального и глобального поиска. Представлены результаты экспериментов по определению вычислительной сложности и эффективности алгоритма.*

*Размещение; многокритериальная задача; гибридный алгоритм; глобальный поиск; локальный поиск.*

**M.V. Lisyak, A.A. Lezhebokov**

### **ALGORITHM FOR MULTICRITERIA PLACEMENT OF VLSI ELEMENTS**

*The article deals with the problem of multi-deployment of large scale integrated circuits in order to reduce time delays in interconnects and traceability, which is an important task in the transition to the new sub-micron and nanometer design standards VLSI. We propose a hybrid algorithm based on the location of the genetic search. The procedures for the local and global search. The results of experiments to determine the computational complexity and efficiency of the algorithm.*

*Placement; multicriteria problem; a hybrid algorithm, a global search; a local search.*

**Введение.** Современные тенденции в сфере производства сверхбольших интегральных схем (СБИС), связанные с увеличением степени интеграции и уменьшением размеров топологических элементов, оказывают значительное влияние на средства проектирования СБИС. С переходом в субмикронный и нанометровый диапазоны возрастает трудоёмкость физического синтеза, появляется необходимость использования новых комплексных критериев проектирования топологии, которые учитывали бы тенденции доминирования проводников над соединяемыми элементами по различным показателям на всех уровнях проектирования [1, 2].

---

\* Работа выполнена при частичной поддержке РФФИ (проект 12-01-31356).