

**Udod Evgeniy Vasilievich** – Federal State-Owned Autonomy Educational Establishment of Higher Vocational Education “Southern Federal University”; e-mail: kafimps@tppark.ru; 81, Petrovskaya street, Taganrog, 347900, Russia; phone: +78634328025; the department of microprocessor systems; associate professor.

УДК 681.3

**Ю.В. Ладыженский, Д.Д. Моргайлов, Моатаз Юнис**

**ПРОГРАММНЫЙ КОМПЛЕКС ДЛЯ ИССЛЕДОВАНИЯ  
ПРОИЗВОДИТЕЛЬНОСТИ СЕТЕВЫХ ПРОЦЕССОРОВ**

*Рассматривается проблема создания высокопроизводительных специализированных сетевых процессоров и их программного обеспечения для обработки потоков данных на разных уровнях стека протоколов и для маршрутизации потоков пакетов в ядре Интернета. Описана обобщенная схема, проанализированы требования, основные задачи проектирования и перспективные пути повышения эффективности сетевых процессоров. Разработана архитектура программного комплекса для исследования производительности сетевых процессоров. Комплекс предназначен для расчета показателей эффективности многопоточных-многопроцессорных сетевых процессоров. В состав программного комплекса входит набор аналитических и имитационных моделей, обеспечивающих построение зависимостей показателей эффективности архитектуры от интенсивности входного потока процессора и других параметров. Приведены примеры результатов расчетов.*

*Сетевой процессор; программный комплекс; эффективность; производительность; модели.*

**Y.V. Ladyzhensky, D.D. Morgajlov, Moataz Younis**

**SOFTWARE SOLUTION FOR PERFORMANCE ANALYSIS OF NETWORK  
PROCESSORS**

*A problem of high performance ad-hoc network processors hardware and software development is considered. Network processors are used for processing data flows on different levels of a protocol stack and for routing of packet flows in Internet core. A generalized structure of network processor is described, requirements, main tasks of development and prospective ways for network processor efficiency increasing are analyzed. Software system architecture to research network processor productivity is developed. The system is intended for calculating efficiency indexes of multithread and multicore network processors. Software system consists of analytical and simulating models for obtaining architecture efficiency indexes depending of processor input packet flow rates and other parameters. Examples of calculation results are given.*

*Network processor; software system; efficiency; productivity; simulations.*

**Введение.** Требования к пропускной способности компьютерных сетей неуклонно повышаются. Рост интенсивности обмена данными, необходимость обеспечения высокого качества обслуживания сетевых приложений, учет периодически возникающих задержек в передаче данных и потери пакетов при недостаточной производительности и ограниченных ресурсах памяти делают процессоры общего назначения неэффективными для маршрутизации и управления сетью. Это увеличивает актуальность проблемы создания высокопроизводительных специализированных сетевых процессоров (СП) и их программного обеспечения для обработки потоков данных на разных уровнях стека протоколов и для маршрутизации огромных высокоскоростных потоков пакетов в ядре Интернета.

**Особенности сетевых процессоров.** Сетевые процессоры представляют собой устройства, архитектура которых оптимизирована для использования в сетевых системах, обеспечения устойчивого режима обработки пакетов и ориентирована на выполнение узкого круга задач. Основным требованием к СП является способность обрабатывать поток пакетов со скоростью канала, к которому подключен маршрутизатор [1, 2].

Ключевые операции сетевой обработки (управление очередями, вычисление контрольных сумм, поиск в маршрутной таблице, анализ заголовков пакетов) реализуются в сетевых процессорах аппаратно. Кроме того, СП предоставляют широкие возможности для программирования сложных сетевых приложений на языке высокого уровня и Ассемблера [3]. Большинство процессоров использует многоядерные структуры для повышения скорости обработки.

В качестве основных отличий сетевых процессоров от процессоров общего назначения важно отметить следующие: набор инструкций большинства СП основан на RISC-архитектуре, архитектуры сетевых процессоров содержат дополнительные инструкции для битовых операций, расчета контрольных сумм и операций поиска, СП могут содержать дополнительные функциональные блоки, реализующие задачи обработки пакетов.

Типичный сетевой процессор состоит из множества программируемых пакетных процессоров (ядер обработки данных) с высоко параллельной архитектурой, программируемого процессора общего назначения, аппаратных сопроцессоров (ускорителей) для обычных сетевых операций, высокоскоростных интерфейсов памяти и высокоскоростных сетевых интерфейсов [4] (рис. 1).

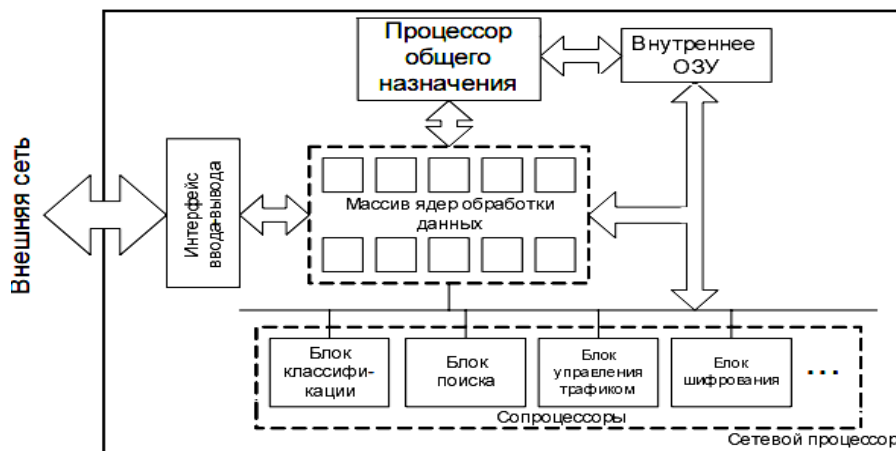


Рис. 1. Обобщенная схема сетевого процессора

Пакетные процессоры имеют ограниченный набор команд и используются для быстрой параллельной и конвейерной реализации алгоритмов пересылки, фильтрации, работы с заголовками, преобразования протоколов и контроля безопасности. Сопроцессоры предоставляют специфические функции для выполнения общих задач, поэтому их аппаратная реализация ускоряет обработку данных. Количество и функциональные возможности сопроцессоров зависят от области использования конкретной модели сетевого процессора [4].

Преимуществами традиционных многопоточных-многопроцессорных архитектур сетевых процессоров являются значительное увеличение вычислительной мощности путем соединения нескольких процессорных элементов, разделение

ограниченного ресурса памяти с другими элементами и формирование распределенной общей памяти, снижение накладных расходов на доступ к памяти за счет многопоточности [5].

Подсистема памяти, как правило, является узким местом системы ввиду длительных задержек доступа к ней. Однако современный уровень информационных технологий делает возможным расположить несколько процессоров и блоков памяти на одном чипе, что значительно снижает эту задержку.

**Проблемы проектирования сетевых процессоров.** Сетевые компьютерные системы проектируются по критериям производительности и функциональных возможностей в условиях ограничений на стоимость, размеры и время изготовления для выхода на рынок [6, 7, 8].

Разрабатываемые системы должны быть масштабируемыми, универсальными и гибкими. В ходе проектирования необходимо учитывать быстрые изменения в рыночных тенденциях, применяемых технологиях и технических требованиях к выпускаемой системе.

Чтобы СП обладали необходимой производительностью, задачи обработки пакетов должны быть детально проанализированы, выполнена их функциональная декомпозиция, сделаны оценки их временной и емкостной сложности. Для наиболее затратных по времени задач в архитектуру сетевых процессоров следует включать проблемно-ориентированные блоки. Использование сетевых процессоров оказывается экономически выгодным в системах, содержащих много сетевых интерфейсов, потоки пакетов через которые обрабатываются мультипроцессорными устройствами.

Основными проблемами проектирования СП являются определение наиболее важных задач обработки пакетов для сетевых протоколов, определение критериев оптимизации архитектур процессоров, определение состава, структуры и способов взаимодействия функциональных блоков для повышения быстродействия, выбор эффективных интерфейсов ввода-вывода, определение оптимальных технологий и объемов памяти программ и памяти данных, выбор способов реализации функций сетевых протоколов (аппаратная и/или, программная реализация, применение проблемно-ориентированных интерфейсных СБИС или сопроцессоров), разработка средств автоматизации программирования (языки, компиляторы, компоновщики, загрузчики, библиотеки).

**Архитектура программного комплекса для исследования СП.** Архитектура разработанного программного комплекса для исследования производительности сетевых процессоров приведена на рис. 2.

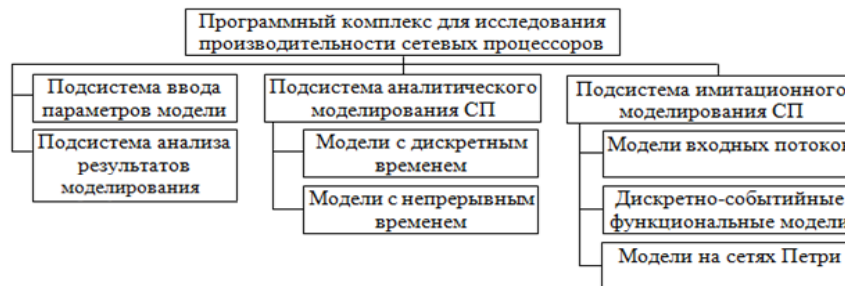


Рис. 2. Архитектура программного комплекса

Комплекс предназначен для расчета показателей эффективности многопоточных-многопроцессорных сетевых процессоров с заданным числом процессорных элементов и потоков. В состав программного комплекса входит набор анали-

тических и имитационных моделей СП, обеспечивающих построение зависимостей показателей эффективности архитектуры от интенсивности входного потока процессора и других параметров.

**Реализация марковской модели мультипроцессорной системы СП.** Модель системы состоит из  $I$  процессоров, каждый из которых имеет  $J$  потоков [5]. Когда пакет поступает в свободный поток, данный поток помещается в очередь готовых к выполнению потоков процессора или переходит в активное состояние, если в текущий момент на процессоре нет активного потока. Поток может запрашивать доступ к памяти, например, для работы с дескриптором пакета или маршрутной таблицей. После обслуживания в памяти поток помещается в очередь готовых к выполнению либо вновь поступает на процессор, если данная очередь пуста. Обычно поток снова становится свободным после того, как пакет будет обслужен и передан следующему потоку. Однако если следующий поток занят обслуживанием пакета, текущий поток переходит в состояние «завершен».

Пространство состояний модели есть:

$$S = (S_{00}, \dots, S_{0j}, \dots, S_{ij}), \quad 0 \leq i < I, 0 \leq j < J,$$

где  $S_{ij} \in \{\text{свободен (0), активен (1), запрос-к-памяти (2), готов (3), завершен (4)}\}$  представляет собой состояние  $T_{ij}$   $j$ -го потока  $i$ -го процессора.

Строится непрерывная марковская модель для расчета вероятностей состояний и характеристик производительности СП. Моделирование выполняется только для множества достижимых состояний, что существенно сокращает затраты памяти и время моделирования.

Пример моделируемой системы на двух процессорах показан на рис. 3.

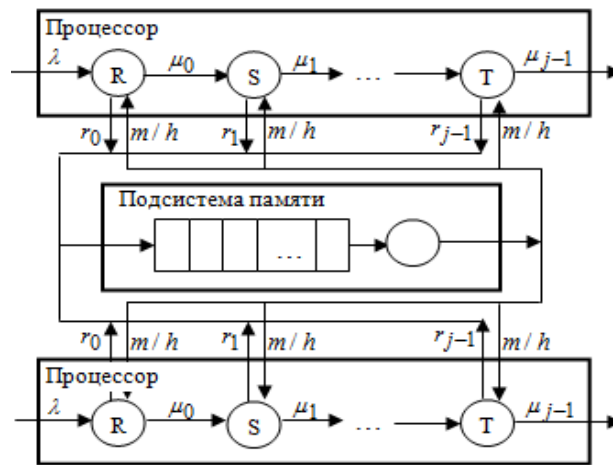


Рис. 3. Схема моделируемой системы на двух процессорах

Здесь  $\lambda$  – интенсивность поступления пакетов на процессор,  $\mu_j$  – интенсивность обслуживания  $j$ -го потока,  $r_j$  – интенсивность обращения к памяти для  $j$ -го потока,  $m$  – интенсивность обслуживания запросов подсистемой памяти,  $h$  – длина очереди запросов к памяти; R, S, T – выполняемые операции.

После расчета вероятностей состояний вычисляются показатели эффективности: среднее число работающих процессоров, коэффициенты использования процессора и памяти, среднее число обращений к памяти, среднее число готовых к выполнению потоков на процессоре.

**Анализ эффективности гетерогенной архитектуры сетевых процессоров.**  
 На рис. 4 и 5 приведены примеры зависимостей характеристик загрузки памяти и процессоров от интенсивности потока пакетов и производительности памяти СП.

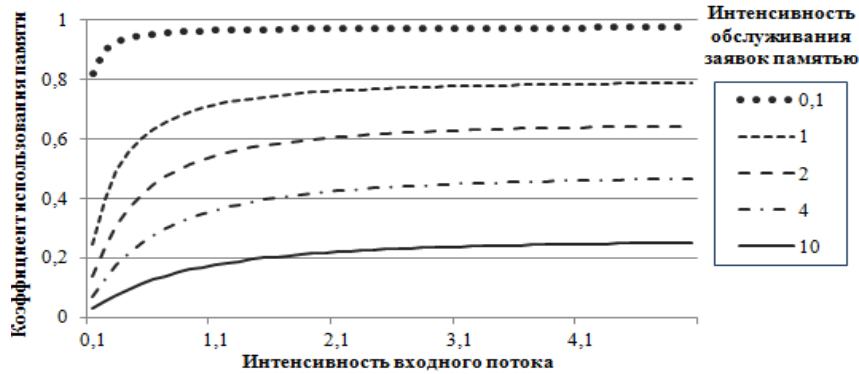


Рис. 4. Изменение коэффициента использования памяти

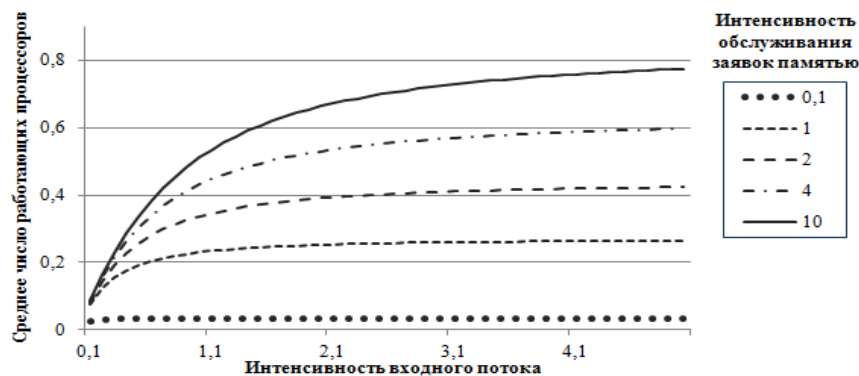


Рис. 5. Изменение среднего числа работающих процессоров

**Выводы.** Рассмотрена проблема создания высокопроизводительных специализированных сетевых процессоров и их программного обеспечения. Описана обобщенная схема, проанализированы требования, основные задачи проектирования и перспективные пути повышения эффективности сетевых процессоров. Разработан программный комплекс для исследования производительности сетевых процессоров. Комплекс предназначен для расчета показателей эффективности многопоточных многопроцессорных сетевых процессоров, включает набор аналитических и имитационных моделей. Приведены примеры моделей и результатов расчетов.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Сетевые процессоры – Электрон. текстовые данные. – Режим доступа: <http://chernykh.net/content/view/432/639/> Thursday, 27 December 2012 19:11:47
2. Грищенко В.И., Ладыженский Ю.В., Юнус М. Основные направления развития современных сетевых процессоров // Наукові праці Донецького національного технічного університету, серія «Інформатика, кібернетика та обчислювальна техніка». – 2011. – Вып. 14 (188) – С. 123-127.
3. Gries M., Kulkarni C., Sauer C., Keutzer K. Exploring Trade-offs in Performance and Programmability of Processing Element Topologies for Network Processors // Network Processor Design: Issues and Practices, volume 2. - Morgan Kaufmann Publishers, Nov. 2003.

4. *Грищенко В.И., Ладыженский Ю.В., Юнис М.* Перспективные архитектуры и тенденции развития современных сетевых процессоров // Моделирование и компьютерная графика / Материалы IV международной научно-технической конференции. – 5-8 октября 2011. – Донецк, ДонНТУ – 2011. – С. 93-97.
5. *Yi-Neng Lin, Ying-Dar Lin, and Yuan-Cheng Lai.* Thread Allocation in CMP-based Multithreaded Network Processors // Parallel Computing. – Feb./March 2010. – Vol. 36, № 2-3. – P. 104-116.
6. *Кучерявый Е.А.* Управление трафиком и качество обслуживания в сети Интернет. – СПб.: Наука и Техника, 2004. – 336 с.
7. *Юнис М., Ладыженский Ю.В.* Архитектуры и тенденции развития сетевых процессоров // Информационные управляющие системы и технологии, компьютерный мониторинг – 2011. Материалы II всеукраинской научно-технической конференции. – 12 апреля 2011. – Донецк: ДонНТУ, 2011. – С. 259-262.
8. *Орлов С.А., Цилькер Б.Я.* Организация ЭВМ и систем. – 2-е изд. – СПб.: Питер, 2011. – 688 с.

Статью рекомендовал к опубликованию д.т.н., профессор А.М. Белевцев.

**Ладыженский Юрий Валентинович** – Донецкий национальный технический университет (Украина); e-mail: LY@cs.dgtu.donetsk.ua; Украина, 83001, Донецк, ул. Артема, 58; тел.: +380503281966; зам. декана факультета компьютерных наук и технологий по научной работе; к.т.н.; доцент.

**Моргайлов Дмитрий Дмитриевич** – e-mail: kolleganin@yandex.ua; тел.: +380970090258; факультет компьютерных наук и технологий; магистрант.

**Юнис Моатаз** – e-mail: moatazalyounes@gmail.com; тел.: +380994206363; факультет компьютерных наук и технологий; аспирант.

**Ladyzhensky Yuri Valentinovich** –Donetsk National Technical University (Ukraine); e-mail: LY@cs.dgtu.donetsk.ua; 58, Artema street, Donetsk, 83001, Ukraine; phone: +380503281966; deputy dean in research of computer science and technologies faculty; cand. of eng. sc.; associate professor.

**Morgajlov Dmitry Dmitrievich** – e-mail: kolleganin@yandex.ua; phone: +380970090258; computer science and technologies faculty; graduate student.

**Moataz Younis** – e-mail: moatazalyounes@gmail.com; phone: +380994206363; computer science and technologies faculty; postgraduate student.

УДК 681.142

**В.А. Балыбердин, А.А. Белевцев, О.А. Степанов**

## **ОБ ОЦЕНКЕ КОМПОНЕНТОВ ИНФОРМАЦИОННОГО И ЛИНГВИСТИЧЕСКОГО ОБЕСПЕЧЕНИЯ АСУ**

*Рассматривается возможный подход к решению вопросов количественной оценки и выбора путей построения информационного и лингвистического обеспечения АСУ (ИЛО) и его компонентов. Предлагаемый подход основан на использовании некоторых элементов многокритериальной оценки сложных систем в условиях качественного характера критериев оценки. Уделяется внимание вопросам построения иерархической системы показателей оценки компонентов ИЛО. Приводятся определения основных показателей. Изложение иллюстрируется большим числом практических примеров. Обосновываются пути построения аналитического аппарата оценки компонентов ИЛО. Рассматривается развёрнутый пример проведения такой оценки, основанный на решении задачи выбора языковых средств взаимодействия информацией в АСУ.*

*Информационное обеспечение; лингвистическое обеспечение; критерии оценки.*