

УДК 621.3.049.771.14

С.В. Гаврилов, Г.А. Пирютина, А.Н. Щелоков**МЕТОД ИНТЕРВАЛЬНЫХ ОЦЕНОК ЗАДЕРЖЕК И ВЫХОДНЫХ ФРОНТОВ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ НАНОМЕТРОВЫХ КМОП-СХЕМ**

Для решения широкого класса задач моделирования цифровых схем наряду с максимальной задержкой в узле требуется и минимальная задержка. На точный расчет минимальной задержки существенное влияние оказывают гонки и одновременные переключения нескольких входов вентиля. Вместе с тем, существующие средства анализа быстродействия на логическом уровне, как правило, основаны на использовании упрощенной модели задержки вентиля с использованием единственного переключения на входе. В данной работе предлагается метод, обеспечивающий существенное по сравнению с другими известными подходами на логическом уровне повышение точности интервального анализа задержек и выходных фронтов с учетом одновременного переключения нескольких входов вентиля.

Статический временной анализ (СВА); задержка вентиля; сложно-функциональный блок (СФ-блок).

S.V. Gavrilov, G.A. Pirutina, A.N. Schelokov**THE INTERVAL DELAY AND TRANSITION TIME ESTIMATION METHOD OF NANOMETER CMOS LIBRARY CELLS**

A wide set of digital circuit simulation problems requires both maximal node delay and minimal delay. The accurate minimal delay model depends on glitches and simultaneous gate input switching. But the existing logic level performance analysis tools, as a rule, use simplified pin-to-pin-gate delay model. This paper describes the method, which provides considerable logic level interval delay analysis accuracy versus the famous approaches accounting for the simultaneous multiple input switching.

Static timing analysis; gate delay; IP-block.

Введение. При проектировании цифровых сложно-функциональных блоков (СФ-блоков) для оперативной оценки быстродействия широко используются средства статического временного анализа (СВА) [1]. Основная цель СВА – найти максимальную задержку в комбинационном блоке для последующей оценки периода и частоты функционирования схемы. Однако для решения широкого класса задач моделирования цифровых схем с технологическими нормами 90 нм и ниже наряду с максимальной задержкой требуется и минимальная задержка. К числу таких задач относятся, в частности, определение всевозможных интервалов переключений узлов схемы при анализе помехоустойчивости [2], оценка максимального тока питания с учетом одновременного переключения большого количества вентилях [3], характеристика и генерация макромоделей сложно-функциональных блоков, контроль времени удержания (hold) триггера и др. Наибольшую точность при расчете интервалов возможных переключений могут дать методы схемотехнического моделирования на транзисторном уровне. Но поскольку комбинационные СФ-блоки имеют большие размеры и большое количество входов/выходов, определить их быстродействие посредством того или иного вида полного моделирования невозможно. СВА и его модификации представляют собой реальную возможность решить перечисленные задачи, хотя решение и является зачастую не точным в связи с использованием упрощенной модели задержки отдельных библиотечных элементов.

В современных САПР наиболее распространенной и широко используемой моделью для характеристики задержек библиотечных элементов является, так называемая, нелинейная модель задержки – Non-Linear Delay Model (NLDM) [4] в формате Liberty. Модель NLDM представляет собой нелинейные зависимости задержек выходных сигналов D_i от длительности фронта входного сигнала S_i и емкости нагрузки C_{out} в форме двумерных таблиц $D_i(S_i^k, C_{out}^l)$, $k \in [1: N_S]$, $l \in [1: N_C]$. Аналогичными таблицами представляются и зависимости длительности фронта выходного сигнала S_{out} от тех же переменных: $S_{out}(S_i^k, C_{out}^l)$, $k \in [1: N_S]$, $l \in [1: N_C]$.

Существенное упрощение такой модели состоит в использовании так называемого “pin-to-pin”-подхода, при котором задержки по каждой паре вход-выход характеризуются независимо от реального поведения остальных входов вентиля. Помимо NLDM-модели используются различные варианты повышения точности, такие как полиномиальная модель [5], CCS [6] и ECSM [7] – модели для повышения точности расчета задержек межсоединений, условные задержки с учетом статических состояний других входов [8]. Все они также основаны на использовании “pin-to-pin”-подхода.

Очевидно, что одновременное переключение нескольких входов библиотечного элемента может привести к существенному уменьшению значения задержки элемента за счет активации нескольких путей проводимости тока/заряда. Так, например, для элемента NAND с двумя входами задержка переключения одного входа больше, чем задержка одновременного переключения двух входов, так как в последнем случае выход заряжается через несколько МОП транзисторов. Проблема состоит в том, что для точного анализа одновременного переключения входов требуется переход от двумерных таблиц типа NLDM к четырех – пятимерным зависимостям для учета фронтов всех переключаемых входов, а также смещения между входами. Для снижения размерности требуются эвристические упрощения.

В одной из немногих работ, ориентированных на анализ одновременного переключения двух входов вентиля [9], предложено упрощение на основе, так называемой, модели “V-shape”. Показано, что зависимость задержки от смещения переключений двух входов с хорошей точностью описывается кусочно-линейной зависимостью “V-формы”. Предложены также эвристические формулы для аппроксимации задержки при различных значениях входных фронтов. Использование такой модели приводит к существенному повышению точности расчета задержки СФ-блока на логическом уровне по сравнению с “pin-to-pin”-подходом.

1. Существующие модели. Модель “V-shape”. В работе [9] исследовано поведение задержки двухвходовых вентилях при различных значениях смещения $\delta(x,y)$ между фронтами переключений отдельных входов x, y .

На рис. 1 показан график зависимости задержки переключения от величины смещения между фронтами входных сигналов на примере задержки переключения выхода z элемента NAND из 0 в 1. На графике представлены отдельно задержки $D_{x \rightarrow z}$, $D_{y \rightarrow z}$ от каждого из входов до выхода. Оба переключения в данной ситуации являются контролирующими, т.е. ведут к переключению выхода, даже если второй вход не переключится. В связи с этим интерес представляет задержка от переключения первого из входов, другими словами, максимальная из двух задержек или верхняя огибающая двух графиков: $D = \max(D_{x \rightarrow z}, D_{y \rightarrow z})$.

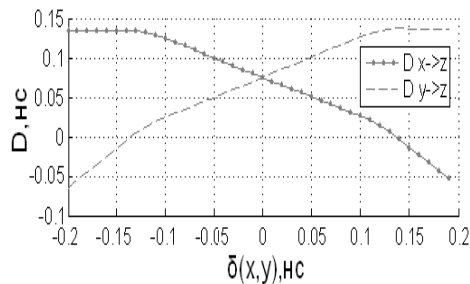


Рис. 1. График зависимости задержки переключения от величины смещения между фронтами входных сигналов (элемент NAND2, технология 45 нм)

Очевидно, что при достаточно больших значениях модуля $|\delta(x,y)|$ зависимость $D = \max(D_{x \rightarrow z}, D_{y \rightarrow z})$ от смещения исчезает и задержка сводится к обычному варианту “pin-to-pin”. Из графика видно, что верхняя огибающая с хорошей точностью может быть аппроксимирована кусочно-линейной зависимостью “V-формы”. Поскольку, $D_{y \rightarrow z} = D_{x \rightarrow z} + \delta(x,y)$, и при этом $D_{x \rightarrow z}$ монотонно убывает, а $D_{y \rightarrow z}$ монотонно возрастает, то минимум верхней огибающей достигается в точке $\delta(x,y) = 0$.

Используя кусочно-линейную аппроксимацию “V-формы” можно вычислять значения задержки на логическом уровне $D(S_x, S_y, \delta(x,y))$ при различных значениях входных фронтов S_x, S_y и смещения $\delta(x,y)$. Для этого достаточно на этапе характеристики определить координаты точек излома.

С точки зрения интервального статического временного анализа наибольший интерес представляет минимальное значение задержки:

$$D_{\min} = D(S_x, S_y, 0).$$

В целях сокращения размеров таблиц и времени характеристики в работе [9] предлагаются эвристические формулы для оценки минимальной задержки при различных значениях входных фронтов $x = S_x, y = S_y$ в следующей форме:

$$D_{\min} = c_1 x^{1/3} y^{1/3} + c_2 x^{1/3} + c_3 y^{1/3} + c_4. \quad (1)$$

Значения коэффициентов c_1, c_2, c_3, c_4 могут быть найдены на основе метода наименьших квадратов по результатам серии схемотехнических моделирований для различных значений входных фронтов.

В рамках данной работы исследовано поведение зависимости реальной минимальной задержки при различных значениях входных фронтов, а также выполнена серия численных экспериментов по анализу точности модели “V-shape” с аппроксимацией по формуле (1) для различных технологических норм 65 нм и 32 нм (рис. 2).

Для анализа точности модели “V-shape” результаты аппроксимации по формуле (1) сравнивались с результатами точного схемотехнического моделирования DSpice по формуле:

$$\Delta = \frac{c_1 x^{1/3} y^{1/3} + c_2 x^{1/3} + c_3 y^{1/3} + c_4 - D_{Spice}}{D_{Spice}} \cdot 100(\%).$$

На рис. 2 приведены графики погрешностей аппроксимации задержки вентиля NAND2 формулой (1) при одновременном переключении входов для технологий 65 нм и 32 нм. Из графиков видно, что при уменьшении технологических размеров погрешность модели возрастает с 10–12 % для технологии 65 нм до 15–20 % для технологии 32 нм, что свидетельствует о необходимости разработки более точных моделей, чему и посвящены последующие разделы.

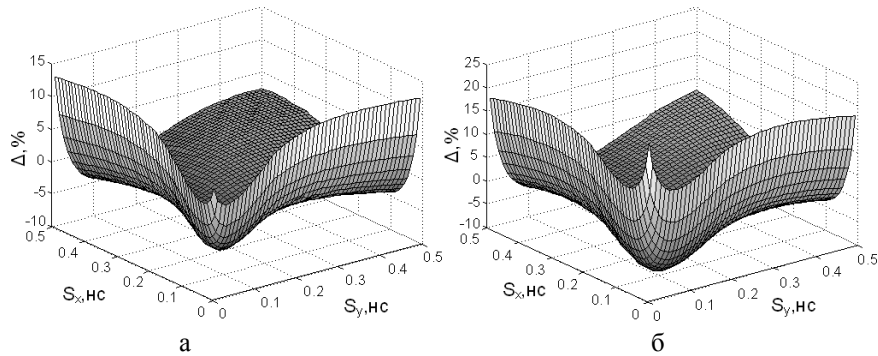


Рис. 2. Относительная погрешность при аппроксимации задержки выражением (1) (элемент NAND2): а – технология 65 нм; б – технология 32 нм

2. Предлагаемая модель задержки. Для повышения точности интервальных оценок задержек и выходного фронта исследованы альтернативные варианты аппроксимации минимальной задержки, а также минимального выходного фронта.

Для более точной оценки минимальной задержки проведено сравнение результатов моделирования с учетом (поверхность 1 на рис. 3,а) и без учета одновременного переключения входов (поверхность 2 на рис. 3,а).

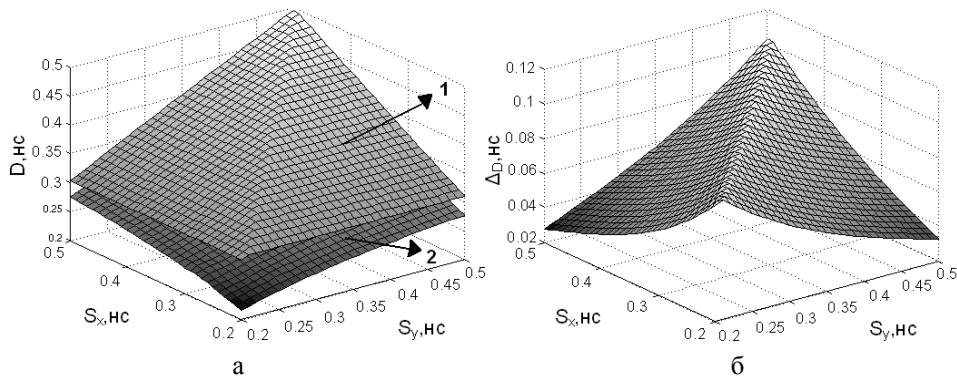


Рис. 3. Сравнение результатов моделирования – а) минимальная задержка переключения элемента NAND2 без учета и с учетом одновременного переключения; б) разница между задержками элемента без учета и с учетом одновременного переключения ΔD

Разница между этими двумя зависимостями, вычисленная по формуле (3), изображена на рис. 3,б:

$$\Delta_D = \min(D_1, D_2) - D_{\min}, \quad (3)$$

где D_1 – задержка, измеренная при переключении входного сигнала x , D_2 – задержка переключения входного сигнала y , Δ_D – коррекционной разницы между задержкой элемента без учета и с учетом одновременного переключения входов.

Характер поведения коррекционной разницы Δ_D (рис. 3,б) позволяет сделать вывод о целесообразности применения ее кубической аппроксимации с последующим расчетом минимальной задержки по формуле (4):

$$D_{\min} = \min(D_1, D_2) - \Delta_D. \quad (4)$$

На основе аппроксимации коррекционной разницы кубическим выражением получен результат, изображенный на рис. 4. Из графика видно, что максимальная погрешность такого подхода составляет 0,8 %.

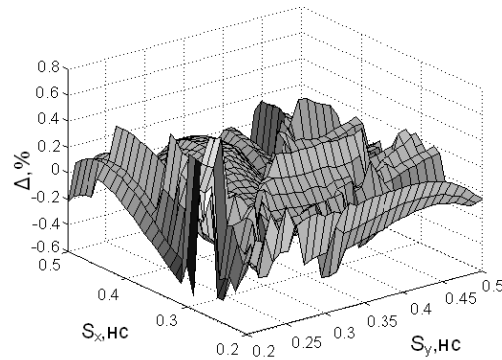


Рис. 4. Относительная погрешность расчета задержки на основе кубической аппроксимации коррекционной разницы между задержкой без учета и с учетом одновременного переключения

3. Аппроксимация выходного фронта. Аналогичный подход с кубической аппроксимацией коррекционной разницы Δ_S применим и для расчета минимального выходного фронта по формуле:

$$S_{\min} = \min(S_1, S_2) - \Delta_S \quad (5)$$

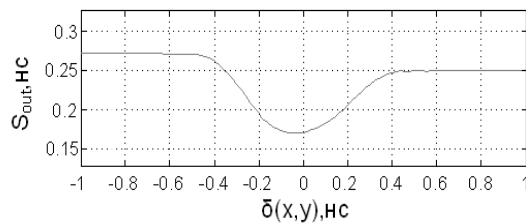


Рис. 5. Зависимость длительности фронта от разности между фронтами входных сигналов при одновременном переключении входов для элемента NAND2

Однако существенное отличие анализа выходного фронта от анализа минимальной задержки заключается в том, что минимум выходного фронта достигается при значении $\delta(x,y)$, отличном от 0 (рис. 5). Для решения этой проблемы реализован алгоритм поиска значения смещения входных фронтов, ведущего к минимуму выходного фронта на основе метода золотого сечения для переменной $\delta(x,y)$: $S(\delta(x,y)) = S_{\min}$

На основе аппроксимации коррекционной разницы между фронтами элемента кубическим выражением получен результат, изображенный на рис. 6. Из графика видно, что максимальная погрешность не превышает 1,5 %.

4. Моделирование сложных элементов на основе анализа последовательно-параллельной структуры. Для нахождения минимальной задержки и минимальной длительности выходного фронта сложного элемента надо учитывать его последовательно-параллельную структуру.

Для последовательного соединения (pull-down цепочка) минимальная задержка и минимальная длительность выходного фронта находятся по классическим формулам: $D_{\min} = \min(D_a, D_b)$ для задержки и $S_{\min} = \min(S_a, S_b)$ для длительности выходного фронта.

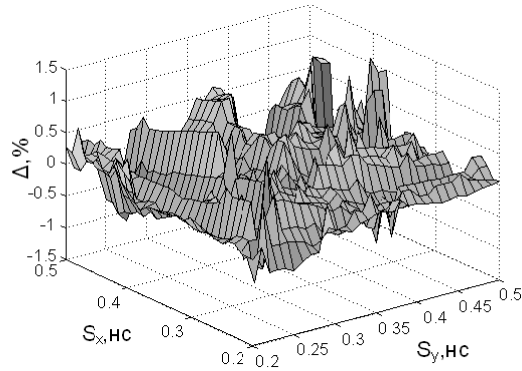


Рис. 6. Относительная погрешность аппроксимации разницы между длительностью выходного фронта без учета и с учетом одновременного переключения кубическим выражением

В случае сложных элементов таких, как aoi21, минимальная задержка и минимальная длительность выходного фронта находятся путем анализа последовательно-параллельной структуры элемента, минимум рассчитывается снизу вверх отдельно для pull-up и pull-down цепочки. Например, для pull-up цепочки элемента aoi21 (рис. 7) сначала находится задержка $D_{min}(a,b)=\min(D_a,D_b)-\Delta_D$, затем с учетом этой задержки находится минимальная задержка $D_{min}=\min(D_{min}(a,b), D_c)$. Для pull-down цепочки элемента aoi21 сначала находится задержка $D_{min}(a,b)=\min(D_a,D_b)$, затем с учетом этой задержки находится минимальная задержка $D_{min}=\min(D_{min}(a,b), D_c)-\Delta_D$.

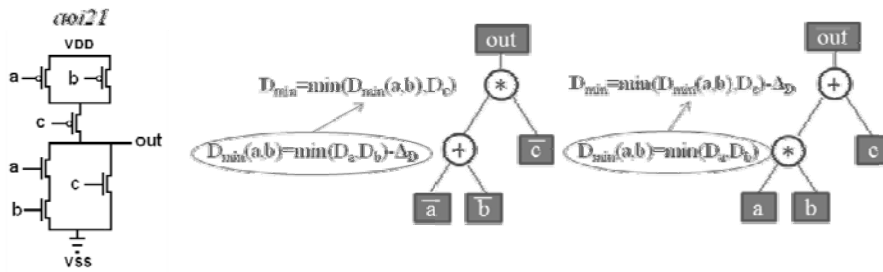


Рис. 7. SP-DAG графы для pull-up и pull-down цепи элемента aoi21

В табл. 1 представлена относительная погрешность кубической аппроксимации коррекционной разницы Δ_D на примере элементов nand2, nor2, aoi21, oai21, nand3 и nor3.

Таблица 1

Относительная погрешность кубической аппроксимации корреляционной разницы Δ_D

	nand2	nor2	aoi21	oai21	nand3	nor3
pull-up	0.8%	-	1%	2%	2.4%	-
pull-down	-	1.5%	2.5%	1.5%	-	2.9%

Из таблицы видно, что для этих элементов погрешность данного метода не превышает 3 % по сравнению со схемотехническим моделированием.

Заключение. В данной работе предложен метод, обеспечивающий существенное повышение точности интервальных оценок задержек и выходных фронтов с учетом одновременного переключения входов вентиля по сравнению с известными подходами. Предлагаемый подход основан на использовании кубической аппроксимации коррекционной разницы задержки с учетом и без учета одновременного переключения входов. Предложен алгоритм для анализа интервальных оценок выходного фронта с поиском критических значений смещения входных фронтов на основе метода золотого сечения. Предложен алгоритм моделирования сложных элементов на основе анализа последовательно-параллельной структуры. Предлагаемый алгоритм обеспечивает сведение многомерных задач к совокупности двумерных за счет анализа последовательно-параллельной структуры вентиля. На основе численных экспериментов показано, что предлагаемый метод аппроксимации коррекционной разницы обеспечивает точность расчета минимальных значений задержек и выходных фронтов в пределах 3% по сравнению с точным схемотехническим моделированием.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Robert B., Hitchcock Sr.* Timing Verification and the Timing Analysis program // Proceedings of the 19th conference on Design automation, January 1982. – P. 594-604.
2. *Glebov A., Gavrilov S., Blaauw D., et. al.* False noise analysis using resolution method // ISQED. – 2002. – P. 437-442.
3. *Bobba S., Hajj I.N.* Estimation of maximum current envelope for power bus analysis and design // Int. Symp. on Phys. Des. – 1998. – P. 141-146.
4. *Bhardwaj S., Ghanta P., Vrudhula S.* A Framework for Statistical Timing Analysis Using Non-Linear Delay and Slew Models // ICCAD-2006. – P. 225-230.
5. *Y.H. Jun, K. Jun and S.B. Park.* An accurate and efficient delay time modeling for MOS logic circuits using polynomial approximation // IEEE Trans. on CAD. - Sept. 1989. – Vol. 8. – P. 1027-1032.
6. CCS Timing Technical White Paper, Version 2.0 // 2006, Synopsys.
7. Open Source ECSM Format Specification. Version 1.2 // Sep. 2005, Cadence Design System.
8. *Yalcin H., Hayes J.P.* Hierarchical timing analysis using conditional delays // ICCAD 1995. – P. 371-377.
9. *Chen L.-C., Gupta S.K. and Breuer M.A.* A new gate delay model for simultaneous switching and its applications // in Proc. Design Automation Conference. – 2001. – P. 289-294.

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

Гаврилов Сергей Витальевич – Федеральное государственное бюджетное учреждение науки Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН); e-mail: sergey.v.gavrilov@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: 84997299890; отдел автоматизации проектирования цифровых схем; зав. отделом.

Пирютина Галина Александровна – e-mail: pirutina_g@ippm.ru; отдел автоматизации проектирования цифровых схем; м.н.с.

Щелоков Альберт Николаевич – e-mail: schan@ippm.ru; тел.: 84997299845; зам. директора.

Gavrilov Sergey Vitalievich – The Institute for Design Problems in Microelectronics of the Russian Academy of Science; e-mail: sergey.v.gavrilov@ippm.ru; 3, Sovetskaya street, Zelenograd, 124681, Russia; phone: +74997299890; the department of digital design automation; head the department.

Pirutina Galina Aleksandrovna – e-mail: pirutina_g@ippm.ru; the department of digital design automation; junior researcher.

Schelokov Albert Nikolaevich – e-mail: schan@ippm.ru; phone: +74997299845; deputy director.