

ления, описываемых передаточными функциями и позволяет расширить возможности предлагаемого модифицированного метода корневого годографа для исследования систем управления с интервальными коэффициентами.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Методы классической и современной теории автоматического и управления: т.1. Математические модели, динамические характеристики и анализ систем автоматического управления / Под. ред. К.А. Пупкова, Н.Д. Егупова. – М.: Изд-во МГТУ им. Баумана, 2004.
2. Целигоров Н.А., Целигорова Е.Н. Применение модифицированного метода корневого годографа для исследования робастной абсолютной устойчивости многомерных систем управления // «Идентификация систем и задачи управления». Труды VI Международной конференции SICPRO '07. 29 января - 1 февраля 2007 г. Институт проблем управления имени В.А. Трапезникова РАН. – CD-ROM, № 13034.
3. Целигорова Е.Н. Моделирование системы радиолокационного сопровождения с интервальными значениями коэффициентов с использованием среды Матлаб // «Проектирование инженерных и научных приложений в среде MATLAB». Труды IV Всероссийской научной конференции. 4-8 мая, Астрахань, 2009. – CD-ROM.
4. Тянь Юйпин. Анализ и синтез робастных динамических систем со структурными линейными и нелинейными неопределенностями // Автореферат диссертации на соискание ученой степени доктора технических наук. – Таганрог: Изд-во ТРТУ, 1996.
5. Целигоров Н.А., Леонов М.В. Информационно-исследовательская система «Критерий» // Известия ТРТУ. Тематический выпуск «Интеллектуальные САПР». – 2000. – № 2 (16). – С. 149-154.

Целигорова Елена Николаевна

Ростовская государственная академия сельхозмашиностроения.

E-mail: celelena@yandex.ru.

г. Ростов н/Д, пр. Королева д.1, кв. 96.

Тел.: 86322747096

Кафедра прикладной математики и вычислительной техники; аспирантка.

Tseligorova Elena Nikolaevna

Rostov State Academy of Agricultural machine-building.

E-mail: celelena@yandex.ru.

1, pr. 96, Koroleva Street, Rostov on Don, Russia.

Phone: 8863 2747096.

Department of Applied Mathematics and Computer Science; post-graduate student.

УДК 621.382.82 (076.5)

А.В. Ковалев, С.А. Бушин

МОДЕЛИ ЭНЕРГОПОТРЕБЛЕНИЯ АСИНХРОННЫХ ФУНКЦИОНАЛЬНЫХ БЛОКОВ КМОП СБИС

Целью данной работы является разработка моделей оценки энергопотребления и поддержек асинхронных элементов. Сравнение предложенных моделей первого порядка с результатами SPICE-моделирования показало расхождение не более чем на 10%. Среди статических реализаций наилучшие параметры показала симметричная реализация КМОП-элементов, наихудшие – реализация с обратной связью. Модели могут быть использованы в САПР СБИС для оптимизации КМОП-элементов асинхронной логики.

Асинхронная логика; энергосбережение; методы проектирования; КМОП-элементы; СБИС; потребление энергии.

A.V. Kovalev, S.A. Bushin

THE ENERGY MODELS OF ASYNCHRONOUS FUNCTIONAL BLOCKS IN CMOS VLSI

The models to evaluate the consumption power and delays of the various realizations of single-rail asynchronous elements described in this paper. The models' result differ no more than 10% in comparison with SPICE-modeling. The best static element is symmetric and the worth case is the element with the weak feedback. The models can be used in CAD systems for an asynchronous logic layout optimization.

Asynchronous logic; low-power; design methods; CMOS elements; VLSI; energy dissipation.

Введение. Сокращение энергопотребления вычислительными микросистемами за счет использования асинхронной логики продемонстрировано целым рядом исследований [1,2]. Базовым компонентом асинхронных схем является С-элемент Мюллера [3], который имеет множество вариантов схемной реализации. В данной работе предлагается метод оценки энергопотребления однопроводных асинхронных функциональных блоков. Исследования по анализу двухпроводных элементов приведены в [4], в статьях [5,6] рассмотрены асимметричные С-элементы. В [7] проведено сравнение быстродействия, площади и энергопотребления различных реализаций С-элементов.

Предлагается использовать модификации существующих моделей С-элементов для оценки энергопотребления и задержек любых синтезируемых функциональных асинхронных элементов (блоков). Данные модели позволят с помощью аналитических выражений произвести быструю оценку параметров с относительно небольшой погрешностью, например, в САПР при оптимизации топологии.

Схемотехническая реализация асинхронных функциональных блоков. Существует два основных вида схем асинхронных элементов (блоков): однопроводные и двухпроводные (дифференциальные). Они подразделяются на 4 наиболее известных класса: динамические, статические основные [3], статические со «слабой» обратной связью [8] и статические симметричные [9]. Однопроводные схемы используют, когда требуется минимизировать количество проводников в элементах. Способы реализации однопроводных С-элементов показаны на рис. 1.

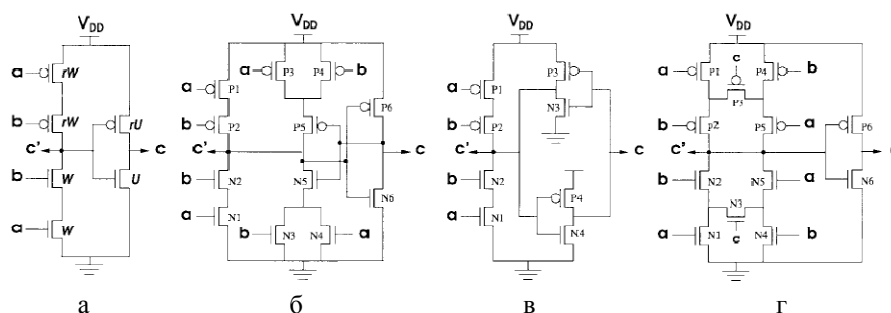


Рис. 1. Схемы С-элементов: а – динамическая; б – статические основные; в – статические со «слабой» обратной связью; г – статические симметричные

Аналитическая модель энергопотребления первого порядка. Модель дает возможность быстрой оценки уровня энергопотребления, а также задержки прохождения сигналов. Определение этих двух параметров на этапе проектирования

позволит найти минимум интегрального критерия энергоэффективности и сформировать под него топологию транзисторов в КМОП-элементах.

Для упрощения анализа КМОП-элемент представляется эквивалентным КМОП-инвертором.

На рис. 2 показан КМОП-элемент, представленный инвертором, с соседними элементами (управляющим и нагрузочным), которые тоже представляются инверторами.

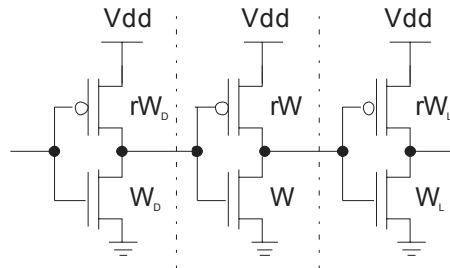


Рис. 2. Эквивалентные инверторы, включенные последовательно (управляющий, текущий и нагрузочный элементы)

Отношение ширин р- и n-МОП транзисторов это переменная величина g . Задержка D определяется как сумма задержек на переднем и заднем фронтах в срединной точке импульсов [7]:

$$D = K_D \left(\rho + r + \frac{\rho}{r} + 1 \right) \left(\frac{W}{W_D} + \frac{W_L}{W} \right) + 2K'_D \left(\rho + r + \frac{\rho}{r} + 1 \right) = \delta \left(\frac{W}{W_D} + \frac{W_L}{W} \right) + 2\delta', \quad (1)$$

где ρ – это отношение подвижностей электронов и дырок; W_D , W , W_L – ширины n-канальных транзисторов нагрузочного, текущего и нагрузочного каскадов соответственно; K_D и K'_D – константы задержек, зависящие от емкостей канала и диффузионных областей соответственно; δ и δ' – введенные константы.

Потребляемая энергия в течении одного такта (передний и задний фронты) рассчитывается с помощью выражения [7]:

$$E = K_E (r + 1)W + K'_E (r + 1)W = \eta W + \eta' W, \quad (2)$$

где K_E и K'_E – константы рассеиваемой энергии на единицу ширины канала и единицу ширины диффузионной области соответственно; η и η' – введенные константы.

Значения констант в (1) и (2) для технологии КМОП 0,5 мкм (5 В) определены с помощью SPICE-моделирования. Таким образом: $K_D = 0,0256$ нс; $K'_D = 0,0319$ нс; $K_E = 0,0176$ пДж/мкм; $K'_E = 0,0207$ пДж/мкм.

При схемотехническом синтезе асинхронных элементов производится построение транзисторных сетей, зависящих от выполняемой функции. Поэтому аналитическая модель для оценки энергопотребления и задержек должна тоже формироваться с учетом выполняемой элементом функции, а точнее количества и расположения транзисторов (в сетях). В частности, синтез асинхронных элементов производится по методике, описанной в [10]. Исходя из этого, для оценки энергопотребления и задержек синтезированных элементов сначала анализируется их

структура: количество диффузионных областей, количество транзисторов в этих областях, а также их ширины каналов.

Полученная информация используется в предлагаемом методе при формировании аналитических выражений модели, в которой за основу берутся (1) и (2).

Для динамической реализации асинхронного элемента выражение для задержки трансформируется в следующее:

$$D_D = \delta \left(\frac{nW}{W_D} + 2 \frac{U + W_L'}{nW} + \frac{W_L}{U} \right) + 4\delta', \quad (3)$$

где n – число транзисторов в сети; U – ширина n -канального транзистора в буферном инверторе.

Оценка энергии для динамической реализации:

$$E_D = \eta(2nW + U) + \eta'(nW + U). \quad (4)$$

Статическая основная реализация включает дополнительные транзисторы как переключательной части, так и в буферной. Выражение для определения задержки:

$$D_C = \delta \left(\frac{nW}{W_D} + 2 \frac{U + W_L'}{nW} + \frac{W_L}{U} \right) + 2K_D \left(1 + \frac{\rho}{r} \right) \left(\frac{w_{min}}{W_D} + \frac{w_{min}}{U} \right) + 4(\delta' + K_D' \left(1 + \frac{\rho}{r} \right) \frac{w_{min}}{nW}), \quad (5)$$

где w_{min} – минимальная ширина транзистора.

Оценка энергии для статической основной реализации:

$$E_C = \eta(2nW + U) + 6w_{min}K_E + \eta'(nW + U) + 2w_{min}K_E'. \quad (6)$$

Выражения для определения задержки в симметричной реализации:

$$D_C = \delta \left(\frac{nW}{W_D} + 2 \frac{U + W_L'}{nW} + \frac{W_L}{U} \right) + 2K_D \left(1 + \frac{\rho}{r} \right) \left(\frac{w_{min}}{U} \right) + 4\delta'. \quad (7)$$

Оценка энергии для симметричной реализации:

$$E_C = \eta(2nW + U) + 2w_{min}K_E + \eta'(nW + U). \quad (8)$$

Сравнение оценок предложенной модели с результатами моделирования.

Моделирование проводилось для 4-х видов реализации асинхронного элемента, выполняющего операцию логического И. На рис. 3 показана динамическая схема данного элемента. Схемы синтезировались с помощью методики, описанной в [10]. К выходам асинхронного элемента в качестве нагрузки подключались два одинаковых инвертора.

Задержки на рис. 4 представляют худший случай. Как можно видеть из графиков, для одной и той же задержки существует более одного значения потребляемой энергии, в зависимости от ширины каналов МОП-транзисторов схемы. Существуют также и оптимумы (крайние левые точки кривых) соотношения энергии и задержки, значения ширин каналов в которых можно использовать при проектировании асинхронных схем.

На рис. 4 показаны зависимости, полученные с помощью предложенной модели и SPICE-моделирования.

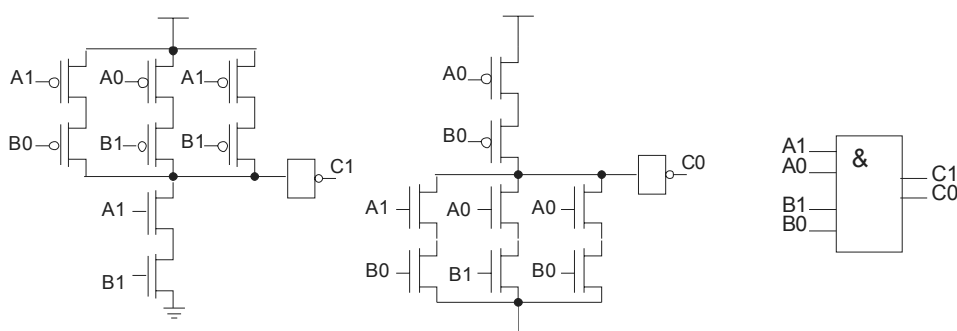


Рис. 3. Динамическая схема асинхронного логического элемента

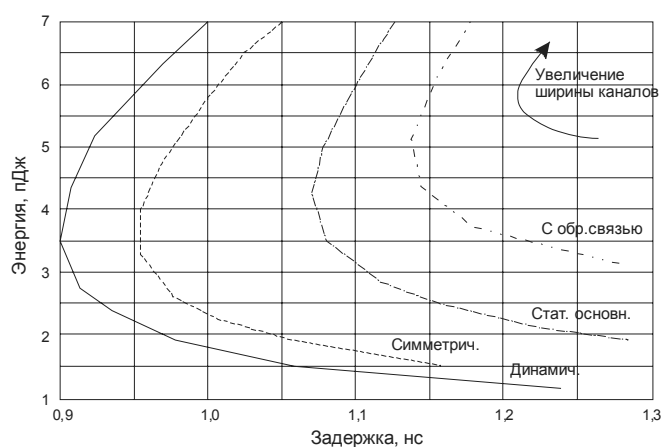


Рис. 4. Зависимость задержки и потребляемой энергии от ширины канала

Заключение. Предложенная модель оценки энергопотребления и задержки асинхронными элементами проверена на 4-х классах однопроводных элементов. Сравнение аналитической модели первого порядка с результатами SPICE-моделирования показало расхождение не более чем на 10%. Среди статических реализаций наилучшие параметры показала симметричная схема КМОП-элементов, которая оказалась очень близка к параметрам динамической реализации. Реализация со «слабой» обратной связью показала наихудшие показатели энергопотребления и быстродействия, за счет того, что инверторы, хранящие состояние, относительно медленно переключаются.

Модель может быть использована в САПР СБИС для оптимизации и сравнения КМОП-элементов асинхронной логики.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Furber S. Computing without clocks: Micropipelining the ARM processor // Asynchronous Digital Circuit Design, G. Birtwistle and A. Davis, Eds. New York: Springer-Verlag, 1995. – P. 211-262.
2. van Berkel K., Burgess R., Kessels J., Peeters A., Roncken M., Schlij F. A fully-asynchronous low-power error corrector for the DCC player // IEEE J. Solid-State Circuits, vol. 29, Dec. 1994. – P. 1429-1439.
3. Sutherland I.E. Micropipelines // Commun. ACM, vol. 32, June 1989. – P. 720-738.

4. *Shams M., Ebergen J.C., Elmasry M.I.* Optimizing CMOS implementations of C-element // Proc. Int. Conf. Comput. Design (ICCD), Oct. 1997. – P. 700-705.
5. *Furber S. B. and Day P.* Four-phase micropipeline latch control circuits // IEEE Trans VLSI Syst., vol. 4, June 1996. – P. 247-253.
6. *Peeters A.M. G.* Single-Rail Handshake Circuits, Ph.D. dissertation. Eindhoven Univ. Technol., The Netherlands, June 1996.
7. *Shams M., Ebergen J.C., and Elmasry M.I.* Modeling and comparing CMOS implementations of the C-element // Dep. Comput. Sci., Univ. Waterloo, Waterloo, Ont., Canada, Tech. Rep. CS-98-12, May 1998.
8. *Martin A.J.* Formal progress transformations for VLSI circuit synthesis // Formal Development of Programs and Proofs E. W. Dijkstra, Ed. Reading, MA: Addison-Wesley, 1989. – P. 59-80.
9. *Van Berkei K.* Beware the isochronic fork // Integration, The VLSI J., vol. 13, June 1992. – P. 103-128.
10. *Ковалев А.В.* Метод проектирования быстродействующих асинхронных цифровых устройств с малым энергопотреблением // Известия вузов. Электроника. – 2009. – № 1. – С. 48-53.

Ковалев Андрей Владимирович

Технологический институт федерального государственного образовательного учреждения высшего профессионального образования «Южный федеральный университет» в г. Таганроге

E-mail: andr@fep.tsure.ru.

347928, г. Таганрог, ул. Шевченко, 2.

Тел.: 88634371603.

Кафедра конструирования электронных средств; доцент.

Kovalev Andrey Vladimirovich,

Taganrog Institute of Technology - Federal State-Owned Educational Establishment of Higher Vocational Education "Southern Federal University".

E-mail: andr@fep.tsure.ru.

2, Shevchenko street, Taganrog, 347928, Russia.

Phone: 88634371603.

Department of Electronic Apparatuses; associate professor.

Бушин Сергей Алексеевич

ООО «Астор-Трейд», г. Москва

E-mail: sergey@incotex.ru.

105484, г. Москва, ул. 16-я Парковая, 26.

Тел.: 84954684334.

Начальник конструкторского отдела.

Bushin Sergey Alekseevich

«Astor-Trade» Company.

E-mail: sergey@incotex.ru.

16, Parkovaya street, 26, Moscow, 105484, Russia.

Phone: 84954684334.

Head of the design apparatus department.