

Раздел II. Автоматизация проектирования

В.М. Курейчик, Л.А. Гладков, С.В. Баринов

РАЗВИТИЕ ТЕХНОЛОГИИ ПРОИЗВОДСТВА ПЕЧАТНЫХ ПЛАТ. РАЗРАБОТКА АЛГОРИТМА ТРЕХМЕРНОЙ КОМПОНОВКИ СБИС НА ОСНОВЕ ИТЕРАЦИОННОЙ КЛАСТЕРИЗАЦИИ С УЧЕТОМ ВРЕМЕННЫХ ЗАДЕРЖЕК*

Введение. В развитии технологий проектирования и изготовления печатных плат можно выделить несколько периодов. Вначале печатные платы (ПП) были очень просты и разрабатывались, в основном, чтобы заменить межсоединения между простыми устройствами. С внедрением в производство интегральных схем (ИС), сложность ПП резко возросла. Возникла необходимость использования обратной стороны ПП, выделение слоев распределения питания и заземления. Дальнейшее развитие технологий в области ИС привело к созданию многослойных печатных плат, в которых питание и заземление расположены во внутренних слоях и соединяются с другими слоями через сквозные отверстия. Технология многослойных ПП оставалась фундаментально неизменной на протяжении 20 лет, периодически обновляясь с помощью новых инноваций, таких как скрытое переходное отверстие, которое позволило увеличить плотность компоновки платы, функциональность и облегчить монтаж. В первой половине 90х годов, появилась технология межсоединений с высокой плотностью (high-density interconnect, HDI), которая позволила приступить к производству многокристальных модулей. Эта технология основывалась в основном на использовании микро переходных отверстий, полученных либо с помощью фотолитографии, либо с помощью промышленного лазера. Такие переходные отверстия позволили достичь еще большей плотности компоновки ПП.

1. Развитие технологии производства печатных плат. Сейчас для проектирования печатных плат все чаще используют технологию «система-в-корпусе» (system-in-package, SiP). Эта технология есть не что иное, как «перерождение» технологии производства многокристальных модулей, т.к. новая технология имеет много принципов, схожих с характерными особенностями технологии предыдущего поколения. Основная цель использования этой технологии осталась прежней – это увеличение плотности для достижения большей функциональности на единицу пространства и большего локального быстродействия. Перспективы увеличения плотности компоновки ПП до настоящего времени были потрясающи. Например, передовые устройства, разработанные по технологии «система-в-корпусе» состояли из 8 и более интегрированных чипов в одном корпусе. Хотя решения на основе «систем в корпусе» ориентированы на увеличение функциональности, уменьшение занимаемого пространства и уменьшения стоимости, высокое быстродействие имеет высочайший приоритет в электронике. Структуры кристаллов в одном корпусе имеют более высокую плотность межсоединений, но не отвечает требованиям более высокого быстродействия относительно соединения системы в целом с ПП.

* Работа выполнена при поддержке РФФИ (гранты № 06-01-81018, № 06-01-00272) и программ развития научного потенциала высшей школы 2006-2008 гг. (РНП.2.1.2.3193, РНП 2.1.2.2238).

Поэтому необходимы новые методы производства ПП для потребностей будущих быстродействующих электронных систем.

Межчиповые соединения – это фундаментальная цель проектирования электронных систем на уровне печатных плат. Простая задача в последние годы усложнилась в связи с необходимостью увеличения скорости переключения. Эта проблема становится все более важной. В настоящем и будущем основной целью разработчиков является увеличение быстродействия при уменьшении стоимости изготовления. Сложность дальнейшего развития технологии заключается в том, что плотность мощности резко увеличилась и возникла проблема отвода тепла. Несмотря на то, что разработчики создают конструктивные решения, которые во многом оптимальны для отвода тепловой мощности, риск выхода устройства из строя велик.

В результате перед разработчиками стоит сложный выбор между быстродействием, габаритами устройства, стоимости изготовления и надежности. Если устройство имеет низкую себестоимость и изготовлено с использованием сложившихся полупроводниковых технологий, тогда технология систем в корпусе становится привлекательной. В случае, когда используются дорогие, современные кристаллы СБИС, конструкторы выбирают более консервативные технологии производства. Кроме этого, развитие портативной (мобильной) электроники приводит к поиску других решений, которые позволят достичь большей производительности и функциональности на меньшей занимаемой площади с учетом эффективной себестоимости.

2. Тенденции развития полупроводниковой отрасли. Стандартные материалы и производственные процессы уже не могут обеспечить нужное быстродействие. Пока использование технологий с использованием кремния позволяет удваивать быстродействие каждые 18-24 месяца (согласно закону Мура). Дальнейшее развитие становится не таким очевидным. В настоящее время частота шины остановилась на 800 Mhz при использовании стандартных материалов и технологий, поскольку большинство особенностей дорожки сигнала уже изучено. Небольшой прирост производительности дает использование других материалов, отличных от кремния.

Например, всеобщая известная компания Intel предполагает в новом поколении своих процессоров (Penryn, а позднее и Nehalem) использовать в качестве диэлектрика не двуокись кремния, применяемую последние десятилетия, а материалы с высокой диэлектрической постоянной (high-k). Это позволит отказаться от затворов из поликристаллического кремния и использовать металлические.

Вслед за Intel, зимой 2007г., компании IBM и AMD вместе со своими партнерами по разработке Sony и Toshiba представили свою новую технологию, использующую high-k диэлектрики и транзисторы с металлическим затвором.

Сочетание диэлектрика затвора на основе материала high-k и металлических электродов обеспечивает увеличение управляющего тока более чем на 20% и соответствующее повышение производительности транзисторов. В то же время более чем в 5 раз сокращается утечка тока от истока к стоку, т.е. снижается энергопотребление транзистора. Так как новые транзисторы меньше своих предшественников, то для их включения и выключения необходимо меньше электроэнергии, что позволяет снизить активное напряжение переключения приблизительно на 30%.

Гордон Мур называет внедрение high-k диэлектриков самым значительным изменением в технологии производства транзисторов с конца 60-х годов. Тогда были представлены транзисторы с поликремниевым затвором.

Материал, используемый в качестве high-k диэлектрика, содержит гафний, другой информации о нём пока нет [1].

3. Шаг в новое измерение: от «плоских чипов» к трехмерным. В апреле 2007г. компания IBM объявила о прорыве в технологии производства полупроводниковых микросхем, который «открывает путь к трехмерным чипам, которые расширяют действие закона Мура за ожидаемые пределы». Технология, названная «through-silicon vias» (условно можно перевести, как «связи сквозь кремний»), позволяет располагать компоненты чипов гораздо ближе друг к другу, чем раньше, повышая быстродействие, уменьшая габариты и энергопотребление систем [2].

Другими словами, IBM совершила переход от двухмерных топологий к трехмерным: компоненты, традиционно располагаемые друг рядом с другом в одной плоскости, теперь могут быть расположены друг над другом, как этажи дома. Результат – компактный «бутерброд» из компонентов, существенно меньший по размеру и более быстродействующий, чем ранее.

Метод, созданный исследователями IBM, устраняет необходимость в длинных металлических проводниках, которые соединяют сегодняшние «плоские» чипы вместе, отводя эту роль связям, проходящим сквозь кремниевую пластину. Для этого в пластине при помощи процесса травления формируются каналы, которые заполняются металлом. По оценке IBM, этот прием позволяет сократить расстояния, которые должны пойти сигналы, в 1000 раз, и увеличить пропускную способность каналов до 100 раз по сравнению с сегодняшними плоскими чипами.

По оценке компании, выигрыш в энергетической эффективности чипов для беспроводной связи при этом может достичь 40%, что положительно скажется на времени автономной работы устройств. В микропроцессорах новая технология позволит расположить ядра ближе друг к другу, и равномерно распределить питание по всему чипу. Это должно увеличить скорость работы процессоров при одновременном снижении энергопотребления на величину до 20%. Появится возможность выпускать чипы «processor-on-processor» («процессор на процессоре») или «memory-on-processor» («память на процессоре»). Это позволит фундаментально изменить способы взаимодействия между процессором и памятью, существенно ускорив обмен информацией между ними [3].

4. Разработка алгоритма трехмерной компоновки СБИС. В связи со стремительным развитием технологий производства печатных плат, необходимость в разработке новых алгоритмов разбиения СБИС на конструктивно законченные части становится все более актуальной задачей. Необходимо рассмотреть возможность использования прежних алгоритмов, рассчитанных на «плоские» чипы в нынешних условиях, когда возникает проблема компоновки кристаллов СБИС друг над другом.

В данной статье, авторами рассматривается модифицированный алгоритм компоновки комбинационных схем на основе итерационной кластеризации с учетом временных задержек и пространственных ограничений.

Комбинационные схемы – это такой тип схем, при котором значения на выходе зависят только от величин сигналов на входах. Такие схемы могут быть описаны таблицей истинности и решают какую-либо Булеву функцию [4]. Необходимость разработки новых алгоритмов в области компоновки комбинационных схем связана, в первую очередь, с широким распространением схем с FPGA архитектурой.

Комбинационная схема может быть представлена ориентированным ациклическим графом $G = (V, E)$, где V – множество вентилях схемы, E – множество соединений. В графе основные входы схемы (обозначим их PI) – это верши-

ны, которые имеют только исходящие ребра, и основные выходы схемы (PO) – это вершины, имеющие только входящие ребра [5].

Для каждой вершины $V \in V$ определим функцию площади $\varpi(V)$. Величина этой функции показывает занимаемую площадь соответствующего вентиля.

Кластером на первой итерации кластеризации $C^1 \subset V$ называется набор вершин $\{V_1, V_2, \dots, V_k\}$, который удовлетворяет пространственному ограничению $\varpi(C^1) = \sum_{v \in C^1} \varpi(v)$, $\varpi(C^1) = M_1$. Тогда кластер на второй итерации образуется из

множества кластеров на первой итерации C^1 , т.е. $C^2 = \{C_1^1, C_2^1, \dots, C_i^1\}$. Кластер C^2 удовлетворяет пространственному ограничению M_2 . В общем случае, кластер на итерации i – это множество кластеров ($i-1$) итерации $C^{i-1} = \{C_1^{i-1}, C_2^{i-1}, \dots, C_r^{i-1}\}$ и его пространственное ограничение определяется как M_i .

Таким образом, кластер на i -ой итерации может содержать не более $\frac{M_i}{M_{i-1}}$

кластеров, полученных на ($i-1$) итерации.

Кроме пространственных ограничений каждой вершине и каждому ребру в графе $G = (V, E)$ ставится в соответствие временная задержка. Для каждой вершины $V \in V$, величина временной задержки определяется значением функции задержки $\delta(V)$. Тогда величина $\delta(a, b)$ определяет задержку сигнала на ребре между вершинами a и b . Для каждого ребра, находящегося внутри некоторого кластера C_i^1 величина задержки фиксирована и определяется константой D_1 . Тогда для каждого ребра, соединяющего две вершины в кластерах C_x^1 и C_y^1 и находящегося внутри кластера C_i^2 , величина задержки определяется константой D_2 , причем $D_2 > D_1$. В общем случае, для каждого ребра, соединяющего вершины в разных кластерах на ($i-1$) итерации и расположенного внутри кластера C_z^i на i -ой итерации, величина временной задержки определяется константой D_i , $D_i > D_{i-1}$. Ребра, соединяющие вершины в разных кластерах, полученных на итерации i , обладают задержкой D_{i+1} , $D_{i+1} > D_i$. Таким образом, для n -мерной кластеризации схемы верно следующее неравенство:

$$D_{n+1} > D_n > \dots > D_2 > D_1.$$

Величина задержки сигнала на маршруте между вершинами a и b определяется как сумма всех временных задержек на ребрах и вершинах, входящих в маршрут. Общая временная задержка, возникающая на вершине V , определяется максимальной задержкой на всех маршрутах от вершин PI до V . Тогда временная задержка, возникающая в схеме, есть максимальная величина задержки на всех маршрутах от основных входов схемы PI до основных выходов PO .

Задача итерационной кластеризации комбинационных схем с учетом временных задержек состоит в следующем. Дан ациклический ориентированный граф

$G = (V, E)$, представляющий собой модель исходной схемы. Необходимо разбить граф G на множество кластеров $S_n = \{C_1^n, C_2^n, \dots, C_{m_1}^n\}$, где n – число итераций, задаваемое в исходных данных задачи. Кластеры на одной итерации могут иметь одинаковые вершины, однако схема, полученная в результате кластеризации должна быть логически эквивалентна исходной. После разбиения исходной схемы на кластеры применяется метод трехмерной компоновки полученных блоков на основе информации о занимаемой площади.

Оптимальное решение такой задачи может быть получено только на основе полного перебора (что невозможно при решении практических задач большой размерности). Возможно также использование методов сокращенного перебора (метод ветвей и границ) или различных эвристик, что не гарантирует получения оптимального результата [4].

В связи с этим, разработка новых алгоритмов и эвристик, позволяющих получать близкие к оптимальным решения за приемлемое время является актуальным.

В данной статье предлагается новый многоуровневый подход к решению задачи компоновки. Структурная схема предлагаемого метода представлена на рис.1.

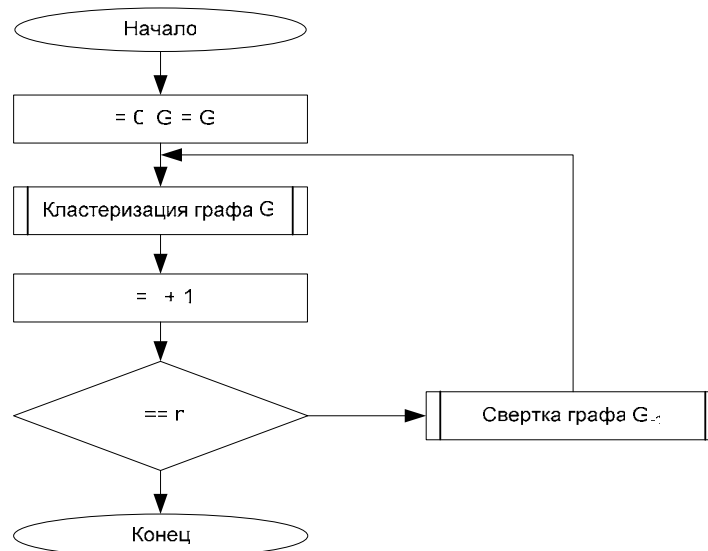


Рис.1. Структурная схема алгоритма

В начале работы алгоритма имеется исходный граф G , $G_0 = G$. В графе $G_0 = \{V_0, E_0\}$ для каждой вершины $v \in V_0$ установим величину временной задержки $\delta_1(v)$, для каждого ребра $(a,b) \in E$ определим задержку $\delta_1(a,b)$, причем верно следующее условие:

$$\forall v \in V_0, \forall (a,b) \in E_0 : \\ \delta_1(v) = \delta(v), \\ \delta_1(a,b) = D_1.$$

Затем выполняется процедура кластеризации графа G_0 , в результате которой получаем множество кластеров на первой итерации $S_1 = \{C_1^1, C_2^1, \dots, C_{m_1}^1\}$. После этого счетчик итераций i увеличивается на 1 и проверяется условие $i = n$. Если условие верно, то алгоритм завершает работу. Иначе выполняется процедура свертки графа G_0 . В процедуре свертки образуется граф G_1 , вершины которого являются кластерами графа G_0 , т.е. $V_1 = S_1$. В графе G_1 каждой вершине ставится в соответствие временная задержка $\delta_2(v)$, каждому ребру – задержка $\delta_2(a, b)$, причем:

$$\forall v \in V_1, \forall (a, b) \in E_1 : \delta_2(v) \neq \delta_1(v) \cap \delta_2(a, b) \neq \delta_1(a, b).$$

Теперь граф G_1 подвергается кластеризации, а затем выполняется процедура свертки. Алгоритм завершает работу, когда достигнуто требуемое число итераций. Более подробно, с предлагаемым алгоритмом можно ознакомиться в [6]. По окончании работы алгоритма применяется метод трехмерной компоновки полученного разбиения схемы. Этот метод представляет собой последовательную процедуру. Сначала выбирается кластер, имеющий максимальное значение $\mathcal{W}(C)$, т.е. имеющий максимальную занимаемую площадь. Затем просматривается множество кластеров $S_n = \{C_1^n, C_2^n, \dots, C_{m_1}^n\}$ и выбирается тот кластер C_m^n , который имеет максимальное число связей с текущим кластером. Выбранный таким образом кластер размещается над предыдущим кластером и далее рассматривается как текущий. В случае, если кластер имеет несколько сильно связанных кластеров, то рассматривается возможность их расположение рядом друг с другом. Процедура продолжается до тех пор, пока в множестве $S_n = \{C_1^n, C_2^n, \dots, C_{m_1}^n\}$ остаются незадействованные кластеры.

Предлагаемый в данной статье модифицированный алгоритм компоновки комбинационных схем на основе итерационной кластеризации с учетом временных задержек и пространственных ограничений находится в стадии разработки.

5. Дальнейшее развитие предлагаемого алгоритма. В рассмотренном алгоритме авторами используется аддитивная модель временной задержки. Это означает, что величина задержки накапливается от одного элемента схемы к другому и учитывается в математической модели задачи путем сложения. Однако существует более адекватная модель временной задержки – модель Эльмора, которая будет использоваться в алгоритме в дальнейшем. Кроме того, при использовании метода трехмерной компоновки, возникает необходимость учета фактора выделения СБИС тепловой мощности. Игнорировать это ограничение в разработке топологии трехмерных СБИС означает ставить под вопрос надежность всего устройства. Модель учета тепловой мощности находится в данный момент в разработке.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Intel раскрывает новые детали о процессорах Penryn, Мур называет их событием 50-летия. <http://www.ixbt.com/news/all/index.shtml?07/67/12>
2. IBM Moves Moore's Law into the Third-Dimension. <http://www-03.ibm.com/press/us/en/21350.wss>
3. Шаг в новое измерение: IBM совершает переворот в полупроводниковой отрасли. <http://www.ixbt.com/news/all/index.shtml?05/44/10>

4. Курейчик В.М. Математическое обеспечение конструкторского и технологического проектирования с применением САПР. – М.: Радио и связь, 1990.
5. Овчинников В.А. Алгоритмизация комбинаторно-оптимизационных задач при проектировании ЭВМ и систем. – М.: Изд-во МГТУ им. Баумана, 2001.
6. Баринев С.В., Курейчик В.М., Гладков Л.А. Компоновка МЭС на основе итерационной кластеризации с учетом временных задержек. Известия ТТИ ЮФУ, 2006.

С.А. Степаненко, В.Б. Лебедев

АДАПТИВНАЯ ПРОЦЕДУРА ВЫБОРА ОРИЕНТАЦИИ ЭЛЕМЕНТОВ В ЗАДАЧЕ РАЗМЕЩЕНИЯ*

Введение. Задача размещения является одним из наиболее важных шагов в процессе проектирования СБИС, поскольку она определяет межсоединения, которые к настоящему времени стали «узким местом», определяющим производительность схем в субмикронных технологиях [1-2]. Проблема размещения интенсивно изучается в течение последних 30 лет. Тем не менее, последние исследования показывают, что существующие методы, применяемые для решения задачи размещения, дают результаты, которые далеки от оптимальных [1,3,4]. Поэтому задача размещения остается по-прежнему актуальной.

Постановка задачи. Задача размещения формулируется следующим образом: имеется множество элементов $M = \{m_i \mid i = 1, \dots, N\}$ с фиксированными размерами и множество цепей $C = \{c_i \mid i = 1, 2, \dots, K\}$, связывающих элементы множества M . Необходимо произвести размещение элементов на плоскости таким образом, чтобы отсутствовали перекрытия элементов, и при этом минимизировалась целевая функция: $F(x) \rightarrow \min$. В качестве критериев оптимизации используются общая площадь схемы, суммарная длина проводников, временные задержки.

Для представления относительного расположения элементов на плоскости используется пара последовательностей (Sequence-Pair), этот метод впервые был предложен Murata и др. в 1996 году [5]. Представление плана топологии с помощью пары последовательностей состоит из двух перестановок целых чисел $\langle 1, 2, \dots, N \rangle, \langle 1, 2, \dots, N \rangle$. Каждый элемент последовательности соответствует номеру прямоугольного элемента, расположенного на плоскости без перекрытий с другими элементами, где общее число элементов равно N .

Эта пара последовательностей определяет относительное расположение элементов в пространстве, но для упаковки элементов необходимо также знать их пространственную ориентацию. Пространственная ориентация элементов задается вектором $O = \{o_i \mid i = 1, 2, \dots, N\}$, $o_i \in \{1, 2, 3, 4\}$, $1 \leq i \leq N$. Таким образом, для каждого элемента существует четыре возможных ориентации (North = 1, East = 2, South = 3, West = 4).

На одном из этапов решения задачи размещения, после того, как получено некоторое субоптимальное решение, применяется адаптивная процедура настройки ориентации элементов, которая подбирает ориентацию элементов таким образом, чтобы дополнительно оптимизировать целевую функцию.

* Работа выполнена при поддержке РФФИ (гранты № 05-08-18115, № 07-01-00511) и программ развития научного потенциала высшей школы 2006-2008 гг. (РНП.2.1.2.3193, РНП 2.1.2.2238).