

Заключение. Из рассмотренного примера видно, что для изображений плохого качества предложенный метод превосходит существующие. Это позволяет использовать данный метод в задачах распознавания образов широкого класса.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Ту Дж., Гонсалес Р.* Принципы распознавания образов. – М.: Мир, 1978. – 411 с.
2. *Шикин Е.Б., Боресков Ф.Б.* Компьютерная графика. – М.: Диалог-МИФИ, 1995. – 285 с.
3. *Аммерал А.* Принципы программирования в машинной графике. – М.: Сол Систем, 1992. – 224 с.
4. *Фаронов В.В.* DELPHI. – М.: Питер, 2004. – 639 с.

С.П. Назаров, Н.И. Чернов

ЛОГИЧЕСКИЙ СИНТЕЗ МНОГОРАЗЯДНЫХ СУММАТОРОВ НА ОСНОВЕ ЛИНЕЙНОЙ АЛГЕБРЫ

Анализ развития теории и техники логического синтеза и реализации цифровой и цифроаналоговой элементной базы показывает, что он определяется двумя основными и взаимосвязанными факторами:

- ◆ состоянием развития технологии изготовления таких устройств;
- ◆ состоянием развития теории и методов проектирования цифровых устройств.

Первый фактор оценивается уровнем развития конструирования и технологии изготовления БИС, а также свойствами материалов и уровнем использования их в той или иной технологии для реализации получаемых логических, а затем и схемотехнических решений, а второй – логико-математическими возможностями алгебраических систем, положенных в основу разработки методов логического проектирования и систем проектирования на их основе.

К настоящему времени в разработке БИС и СБИС, в первую очередь в технологически развитых странах, сложилась ситуация, говорящая о том, что все успехи в повышении сложности и улучшении характеристик БИС и СБИС достигнуты за счет развития технологии, конструкторско-технологических и САПР. Функционально-логическое же проектирование развивается гораздо медленнее.

В то же время на рост сложности БИС начинают все больше влиять ограничивающие факторы именно схемотехнического плана. Среди них, прежде всего, следует отметить проблему межсоединений. Суть ее можно проиллюстрировать следующими характеристиками:

1. До 80% полезной площади кристалла современной БИС занимают соединения между компонентами. Если на начальном этапе становления микроэлектроники кристалл ИС представлял собой множество элементов, соединенных линиями связи, то современный кристалл – это паутина проводов, в которую изредка вкраплены элементы. С ростом сложности эта доля может только увеличиваться.

2. До 75% потребляемой БИС мощности расходуется на перезаряд емкостей линий связи в кристалле. С ростом сложности кристалла эта доля также может только возрастать.

Поскольку уровень отечественной технологии и фактические темпы ее развития значительно отстают от соответствующего уровня и темпов развития в индустриально развитых странах, то надеяться на достижение сколько-нибудь значимых успехов в развитии отечественной технологии при следовании ее чисто по пути западной технологии проблематично. К тому же проблема межсоединений при

этом остается нерешенной. Поэтому представляется целесообразным улучшение характеристик элементной базы за счет развития теории и методов логического проектирования и изготовления БИС. Другими словами, необходимы новые схемные решения, уменьшающие количество элементов и связей на кристалле при функциональной адекватности их более сложным существующим схемным решениям. Это позволит использовать отечественный уровень развития технологии для создания топологически более простой, но функционально более сложной элементной базы, приближающейся по характеристикам к мировому уровню.

В качестве основных проблем улучшения характеристик БИС предлагается рассматривать:

- ◆ уменьшение количества активных и пассивных элементов;
- ◆ уменьшение количества связей;
- ◆ повышение технологичности;
- ◆ повышение эксплуатационной надежности.

Для уменьшения количества активных и пассивных элементов предлагается использовать токовые логические схемы, позволяющие представить реализуемую логическую функцию в виде разности более простых логических функций, т.е. в виде $f(x^{(n)}) = A(x^{(n)}) - B(x^{(n)})$. Реализация логической функции в виде указанной разности получается предельно экономной по аппаратным затратам благодаря тому, что:

- ◆ в силу неотрицательности значений логической функции элементы $B(x^{(n)})$ этой разности формируются из элементов $A(x^{(n)})$ путем добавления в последние лишь некоторых дополнительных аргументов из $(x^{(n)})$;
- ◆ выбор более удобного в использовании вида логического сигнала (например, использование токового представления) позволяет заменить одну из логических операций «монтажной» операцией.

Уменьшение количества связей может быть достигнуто использованием многозначного внутреннего представления информации в БИС. Низкий уровень помех внутри БИС позволяет уменьшить допустимую величину логического уровня и, следовательно, увеличить количество логических уровней, передаваемых по одной линии связи.

Возможным вариантом *повышения технологичности* является уменьшение разновидностей используемых для реализации БИС компонентов. Поскольку основными видами компонентами являются транзисторы и резисторы, то замена потенциального представления логического сигнала токовым позволяет исключить изготовление резисторов из технологического цикла изготовления БИС, заменив их токовыми зеркалами, и, тем самым, повысить технологичность БИС. Кроме того, использование в качестве компонентов схем генераторов тока фактически является синтезом цифровых схем на основе аналоговых компонентов, что сближает технологии изготовления цифровых и аналоговых схем и позволяет формировать аналогово-цифровые схемы в едином технологическом цикле.

Повышение эксплуатационной надежности БИС может быть достигнуто также за счет использования указанного выше разностного представления реализуемой логической функции. Поскольку значение реализуемой логической функции $f(x^{(n)})$ определяется разностью выходных сигналов логических функций

$A(x^{(n)})$ и $B(x^{(n)})$, то все дестабилизирующие воздействия (девиация питания, температура, ионизирующие излучения и т.д.) воздействуют на обе составляющие и вычитаются. В результате БИС будут работоспособны в более широком диапазоне изменения внешних возмущающих воздействий.

В настоящей работе для решения указанных проблем предлагается применение математического аппарата линейной алгебры [1], а демонстрация особенностей этого аппарата для синтеза цифровых схем производится на примере логического синтеза многоразрядных сумматоров, являющихся наиболее функционально сложными компонентами цифровых систем.

Логическое описание одноразрядного полусумматора с использованием математического аппарата булевой алгебры производится на основе следующего описания реализуемых в нем логических функций:

$$\begin{aligned} PS &= \bar{x}_1 x_2 \vee x_1 \bar{x}_2 = x_1 \oplus x_2, \\ PP &= x_1 x_2, \end{aligned} \tag{1}$$

а его структурная схема имеет вид, показанный на рис.1.

Выражения (1) в линейной алгебре [1] могут быть представлены в виде:

$$\begin{aligned} PS &= \Pi_1(x_1 + x_2 > 0) - PP, \\ PP &= \Pi_2(x_1 + x_2 > 1). \end{aligned} \tag{2}$$

Реализация одноразрядного сумматора с использованием математического аппарата булевой алгебры производится на основе следующего описания реализуемых в нем логических функций:

$$\begin{aligned} S &= \bar{x}_1 \bar{y}_1 P_0 \vee \bar{x}_1 y_1 \bar{P}_0 \vee x_1 \bar{y}_1 \bar{P}_0 \vee x_1 y_2 P_0 = x_1 \oplus y_1 \oplus P, \\ P &= \bar{x}_1 y_1 P_0 \vee x_1 \bar{y}_1 P_0 \vee x_1 y_1 \bar{P}_0 \vee x_1 y_1 P_0 = P_0 (x_1 \oplus y_1) \vee x_1 y_1. \end{aligned} \tag{3}$$

а его структурная схема имеет вид, показанный на рис.2.

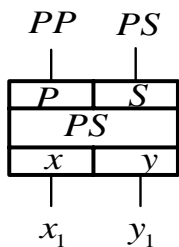


Рис.1. Структурная схема полусумматора

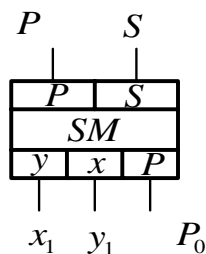


Рис.2. Структурная схема сумматора

Эти выражения могут быть преобразованы к виду:

$$\begin{aligned} S &= (\bar{x}_1 y_1 \vee x_1 \bar{y}_1) \bar{P}_0 \vee (x_1 y_1 \vee \bar{x}_1 \bar{y}_1) P_0 = PS_1 \oplus P_0, \\ P &= \bar{x}_1 y_1 P_0 \vee x_1 \bar{y}_1 P_0 \vee x_1 y_1 \bar{P}_0 \vee x_1 y_1 P_0 = \\ &= P_0 (x_1 \oplus y_1) \vee x_1 y_1 = PP_2 \vee PP_1, \end{aligned} \tag{4}$$

описывающему реализации одноразрядного сумматора на двух полусумматорах, структура которой представлена на рис.3.

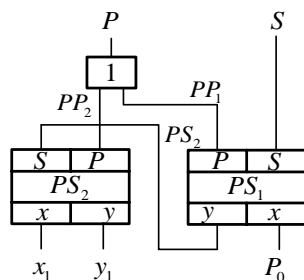


Рис.3. Структурная схема сумматора на полусумматорах

Логические выражения (3) и (4) приобретают в линейной алгебре [1] следующий вид:

$$S = \Pi_1(x_1 + y_1 + P_0 > 0) - P, \tag{5}$$

$$P = \Pi_2((x_1 + y_1 + P_0) > 1),$$

$$S = \Pi_1(x_1 + y_1 + P_0 > 0) - P, \tag{6}$$

$$P = \Pi_2(PP_1 + PP_2 > 0).$$

В параллельных многоразрядных сумматорах с последовательным переносом формирование сумм и переносов в каждом $(i+1)$ -м разряде в булевой алгебре производится в соответствии с выражениями:

$$S_{i+1} = PS_{i+1} \oplus P_i \tag{7}$$

$$P_{i+1} = P_i(x_i \oplus y_i) \vee x_i y_i = PP_{2i} \vee PP_{1i}$$

а структурная реализация их имеет вид, показанный на рис.4.

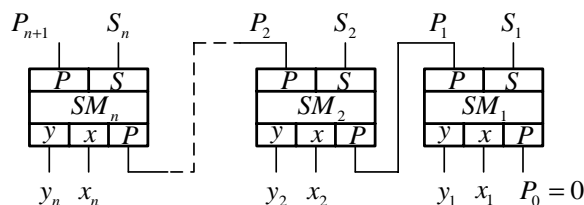


Рис 4. Структурная схема многоразрядного сумматора с последовательным переносом

Представление выражения (7) в линейной алгебре имеет вид:

$$S_{i+1} = \Pi_{1,(i+1)}(PS_{i+1} + P_i > 0) - P \tag{8}$$

$$P_{i+1} = \Pi_{2,(i+1)}((x_{i+1} + y_{i+1} + P_i) > 1)$$

В параллельных сумматорах с параллельным переносом формирование полусумм, полупереносов и переносов в каждом $i+1$ -м разряде производится в соответствии с выражениями:

$$PS_{i+1} = x_{i+1} \oplus y_{i+1}, \tag{9}$$

$$PP_{i+1} = x_{i+1} \cdot y_{i+1},$$

$$P_{i+1} = PP_{i+1} \vee PS_{i+1} \cdot P_i,$$

а формирование переносов и разрядов суммы – в соответствии с выражениями

$$\begin{aligned}
 P_{i+1} &= PP_{i+1} \vee PP_i \cdot PS_{i+1} \vee PP_{i-1} \cdot PS_i \cdot PS_{i+1} \vee \dots \\
 &\dots \vee PP_2 \cdot PS_3 \cdot PS_4 \cdot \dots \cdot PS_{i+1} \vee PP_1 \cdot PS_2 \cdot \dots \cdot PS_{i+1}, \\
 S_{i+1} &= P_i \oplus PS_{i+1}.
 \end{aligned}
 \tag{10}$$

Количество разрядов в параллельных сумматорах в сумматорах с параллельным переносом ограничивается числом входов логических элементов и их нагрузочной способностью по выходу и, как правило, не превышает пяти. Структурная реализация последних выражений для $n = 4$ их имеет вид, показанный на рис.5.

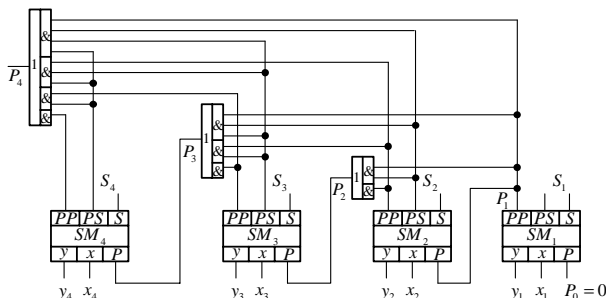


Рис.5. Структурная схема многоразрядного сумматора с параллельным переносом

Представление выражений (9) и (10) в линейной алгебре для $n = 4$ имеет следующий вид:

$$\begin{aligned}
 P_1 &= \Pi_1((x_1 + y_1) > 1), \\
 P_2 &= \Pi_2((x_2 + y_2 + P_1) > 1), \\
 P_3 &= \Pi_3((x_3 + y_3 + P_2) > 1), \\
 P_4 &= \Pi_4((x_4 + y_4 + P_3) > 1).
 \end{aligned}$$

Поскольку компоненты схем сумматоров отдельных разрядов работают здесь в активном режиме, т.е. задержки в каждом разряде минимальны, то для реализации следующего переноса можно использовать непосредственно сигналы переносов предыдущих разрядов.

Оценим ориентировочно затраты в количестве элементов и линий связи на реализацию сумматоров с последовательным и параллельным переносами. Отдельный двухвходовой вентиль требует для своей реализации 5 транзисторов, 5 резисторов и 11 линий связи. Минимальная схема одноразрядного полного сумматора требует для своей реализации 8 вентилях [2]. Сумматор с последовательным переносом не требует дополнительного оборудования для реализации схемы, поэтому затраты на реализацию, например 4-разрядной схемы составят 32 вентиля или 160 транзисторов, 160 резисторов и 352 линии связи.

Для сумматора с параллельным переносом к приведенным затратам необходимо добавить затраты на организацию схемы переноса, ориентировочно составляющие 13 вентилях. Тогда суммарные затраты составят 225 транзисторов, 225 резисторов и около 500 линий связи.

При моделировании аналогичных схем на основе математического аппарата линейной алгебры были получены следующие результаты. Затраты на реализацию порогового полного одноразрядного сумматора при использовании генераторов тока на основе схемы Уилсона [3] составляют 42 транзистора и 30 линий связи.

Поскольку при построении 4-разрядной схемы сумматора с последовательным переносом дополнительные затраты оборудования отсутствуют, для него необходимо 168 транзисторов и 120 линий связи. Аппаратные затраты на реализацию 4-разрядного сумматора с параллельным переносом составляют 218 транзисторов и 168 линий связи.

Учитывая, что в настоящее время схемотехнические ограничения на количество элементов практически отсутствуют и основным препятствием дальнейшего повышения степени интеграции являются межсоединения, можно заключить, что предлагаемые схемы обладают лучшими технологическими (отсутствие резисторов, значительно меньшее количество связей), энергетическими (работает в диапазоне микротоков) и эксплуатационными характеристиками. Результаты моделирования показывают, что цифровые ТТЛ-схемы, реализованные на основе математического аппарата линейной алгебры устойчиво работают при 4 ÷ 8-кратном изменении питающего напряжения. Это позволяет при построении сложных цифровых устройств на основе предлагаемого подхода обойтись без стабилизированного питания и, тем самым, улучшить весогабаритные и энергетические показатели цифровой аппаратуры.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Чернов Н.И.* Линейный синтез цифровых структур АСОиУ. – Таганрог: Изд-во ТРТУ, 2004. – 118 с.
2. Справочник по цифровой вычислительной технике. Под ред. Малиновского Б.Н. – Киев: Техника, 1974. – 511 с.
3. *Хорвиц П., Хилл У.* Искусство схемотехники / Под ред. М.В. Гальперина. – М.: Мир, т.1, 1983. – 598 с.

В.В. Гудиллов

МЕТОДЫ СИНТЕЗА АППАРАТНЫХ СХЕМ С ПРИМЕНЕНИЕМ ВЕРОЯТНОСТНЫХ ГЕНЕТИЧЕСКИХ АЛГОРИТМОВ

Введение. При рассмотрении любой многоуровневой комбинационной схемы с точки зрения математического описания, можно выделить тот факт, что представление схемы возможно в виде графа или сети, в вершинах которой находятся функциональные элементы, математическое описание которых можно представить булевыми функциями, таблицами истинности, ДНФ или такими же сетями. Поэтому, при решении задачи автоматизированного проектирования аппаратных схем с применением вероятностных генетических алгоритмов, необходимо рассматривать методы синтеза функциональных элементов или схем с позиции синтеза аппаратных схем по их функциональному описанию.

Методы динамической модификации аппаратных схем также удобно изучать на примере схем сетевой структуры, в которых не нарушается общая структура схемы, а выполняется модификация функциональных составляющих узлов решетки схемы в процессе ее работы. Посредством изменения законов функционирования этих узлов и их структуры, имеется возможность изменять алгоритм функционирования всей схемы, тем самым, адаптируя ее к изменяющимся внешним параметрам.

При изучении методов автоматизированного проектирования, необходимо рассматривать методы, позволяющие генерировать аппаратные схемы, опирающиеся только на знания, ограниченные набором функциональных элементов, из