

запускается SSAR с *.do-файлом для выполнения автоматической трассировки с требуемыми ограничениями и множеством команд, содержащихся в *.do-файле. Если число непротрассированных цепей велико, то конструктор может выполнить интерактивное размещение или изменить *.do-файл для завершения трассировки.

Импорт в VXL. После завершения трассировки в SSAR проект импортируется обратно в VXL, где может быть выполнено дальнейшее улучшение трассировки, если это необходимо. Также могут быть внесены изменения в проект и снова выполнена трассировка в SSAR. Эти шаги могут повторяться многократно, пока конструктор не будет удовлетворён результатом.

Заключение. Рассмотренные процесс и средства автоматизированного проектирования играют важнейшую роль при создании цифро-аналоговых ИС. Заслуживают отдельного рассмотрения возможности обеспечения большей гибкости в работе конструктора при размещении блоков в среде VSP, изменении технического задания, более улучшенной компактизации на уровне блоков. При современном уровне автоматизации с возрастающим влиянием параметризованных ячеек rcells и их гибкостью, использование описанных программных средств САПР позволяет расширить возможности конструкторов в автоматизированном процессе разработки топологии ИС, БИС и СБИС. А использование их в учебном процессе, наряду с другими средствами САПР Cadence [3–5], позволяет более полно охватить процесс сквозного автоматизированного проектирования вычислительной аппаратуры и изделий микроэлектроники, повышая качество подготовки специалистов.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Virtuoso XL Layout Editor User Guide, Product Version 5.0, Cadence Design Systems Incorporated, 2003.
2. Neocell User Guide, Product Version 3.4, Cadence Design Systems Incorporated, May 2004.
3. Курейчик В.В., Нужнов Е.В. Подготовка инженеров специальности 230104 на основе использования методологии и промышленных САПР компании Cadence Design Systems // Труды Международных научно-технических конференций «Интеллектуальные системы (IEEE AIS'05)» и «Интеллектуальные САПР (CAD-2005)». Научное издание в 4-х томах. – М.: Изд-во физико-математической литературы, 2005, т.4. – С. 98-104.
4. Курейчик В.В., Нужнов Е.В., Полупанов А.А. Особенности среды аналогового проектирования VIRTUOSO. Известия ТРТУ №8(63), Интеллектуальные САПР. – Таганрог: Изд-во ТРТУ, 2006. – С. 105.
5. Cadence Design Systems. Products, 2006. – <http://www.cadence.com/products.htm>.

А.А. Лежебоков, Л.А. Гладков

МОДЕЛИРОВАНИЕ ВРЕМЕННЫХ ЗАДЕРЖЕК ПРИ РЕШЕНИИ ЗАДАЧИ РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ СБИС*

Введение. В последнее время при проектировании СБИС все заметнее проявляется тенденция учета физических характеристик (в основном это задержки) на возможно более ранних этапах нисходящего проектирования. В частности, эта тенденция выражается в планировании кристалла (floorplanning) на системном уровне. При этом определяется взаимное расположение блоков структурной схемы на кристалле (при многокристальном исполнении блоки предварительно распределяются между кристаллами) и намечается ориентировочное расположение внешних выво-

* Работа выполнена при поддержке РФФИ грант №05-01-18115 и программы развития научного потенциала высшей школы 2006-2008 гг. (РНП.2.1.2.2238).

дов блоков. Это позволяет приблизительно оценить длины связей и, следовательно, задержки в передаче данных в самом начале разработки, что способствует сокращению числа итераций и соответственно времени проектирования [1].

Актуальность такого подхода обусловлена тем, что в современных СБИС благодаря постоянному совершенствованию технологий изготовления, проводники имеют малые площади поперечных сечений и, следовательно, увеличенное сопротивление. Это приводит к тому, что по мере уменьшения проектных норм начинают доминировать задержки в соединениях. Эти задержки имеют заметный разброс и существенно влияют на быстродействие схемы, поэтому во многих программах логического моделирования имеются модели проводников. С помощью этих моделей рассчитываются задержки в зависимости от результатов трассировки.

Еще одной современной тенденцией развития САПР можно считать повышенное внимание, которое уделяется процедурам совмещенного проектирования программной и аппаратной частей СБИС (SW/HW – Software/Hardware co-design). Если в традиционных маршрутах проектирования разделение алгоритмов на части, реализуемые программно и аппаратно, происходит на самых ранних шагах, то в технологии совмещенного проектирования эта процедура фактически переносится на RTL-уровень и тем самым входит в итерационный проектный цикл, что может привести к более обоснованным проектным решениям. Примером подхода к совмещенному проектированию может служить методика моделирования на уровне исполнения системы команд, в соответствии с которой моделируются события, происходящие на внешних выводах таких устройств как арифметико-логическое, встроенная и внешняя память, системная шина и т.п. Благодаря совмещенному проектированию удается на ранних стадиях проектирования не только найти и исправить возможные ошибки в аппаратной и программной частях проекта, но и отладить контролирующие тесты [2].

Процесс проектирования носит в основном итерационный характер, что обусловлено возможностью возврата от последующих этапов к предыдущим, что, в свою очередь, существенно увеличивает затраты на проектирование. Поэтому продолжается поиск методов сокращения числа итераций в цикле проектирования СБИС.

Можно отметить в этой связи два направления исследований. Первое направление связано с использованием технологий так называемого физического проектирования, в которых стараются уже на ранних этапах проектирования учитывать физические параметры (задержки, рассеиваемые мощности). Такой учет осуществляется благодаря разработке методов совместного решения задач, ранее выполнявшихся раздельно (например, задач синтеза RTL-схем и схем граничного сканирования).

Второе направление основано на сочетании элементов нисходящего и восходящего проектирования, когда с самого начала ориентировочно распределяются задержки и мощности между блоками СБИС, что позволяет далее проектировать эти блоки независимо один от другого. И если принятые ранее значения параметров блоков оказываются выполнимыми, то дополнительные итерации не требуются.

Одним из важнейших этапов конструкторского проектирования является задача размещения элементов на коммутационном поле. Задача размещения заключается в определении для каждого элемента каждого блока конкретного места на поле кристалла. Именно размещение во многом определяет качество последующей трассировки. Задача размещения относится к классу NP-полных задач. На данном этапе развития вычислительной техники эта проблема трудно разрешима, а при

использовании такого критерия как временные характеристики схемы, задача ещё более усложняется за счёт наличия следующих ограничений [3]:

- ◆ точный анализ временных задержек на этапе размещения элементов схемы является сложным и не гарантирует точного результата;
- ◆ недостаток тестовых примеров для оценки качества решения, полученного в результате выполнения разрабатываемых алгоритмов;
- ◆ реальные топологические параметры схемы, оказывая немалое влияние на временные характеристики схемы, охраняются коммерческой тайной производителя.

Самой главной проблемой при моделировании временных задержек является точность модели. В данной статье рассматривается новый подход к построению достаточно точной модели временной задержки схемы.

Модель Эльмора. В настоящее время известны разные подходы к решению задачи размещения с учётом временных характеристик, не уделяющие внимания точности используемой модели временной задержки. Например, в модели Эльмора [4] формула задержки имеет вид:

$$d_i(W, L_{oi}) = (cW + \sum_j C_{lj})(R_0 + rL_{oi}), \quad (1)$$

где W – суммарная длина проводников дерева Штейнера, L_{oi} – длина пути от истока к стоку, c и g соответственно ёмкость и сопротивление, R_0 – эквивалентное временное сопротивление истока, $\sum_j C_{lj}$ – сумма ёмкостей нагрузки.

В некоторых случаях длина цепи определяется как полупериметр описывающего прямоугольника, проходящего через контакты цепи, тогда задержка цепи от контакта истока к контакту стоку определяется по формуле:

$$d_i(l_1, l_2) = (c_1l_1 + c_2l_2 + \sum_j C_{lj})(R_0 + r_1l_1 + r_2l_2), \quad (2)$$

где l_1 и l_2 – ширина и высота ограничивающего прямоугольника цепи, c_1 и c_2 – ёмкости слоёв на единицу длины, а r_1 и r_2 – сопротивления слоёв (данная модель подразумевает, что последующая трассировка будет производиться в 2-х слоях).

Новый подход к построению модели временной задержки. На рис.1 представлена звёздного графа модель, которая используется в работе для описания цепи схемы.

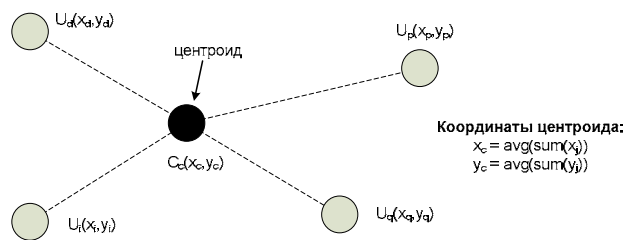


Рис.1. Модель звёздного графа

Длина цепи n_j в такой модели определяется по формуле:

$$L(n_j) = \sum_{i \in n_j} |x_i - x_c| + |y_i - y_c|, \quad (3)$$

где x_i, y_i – координаты контакта u_i , x_c, y_c – координаты средней точки контактов n_j , которые являются средними значениями координат x и y всех контактов.

На рис.2 показан пример как вычислить задержку между контактами u_i и u_d в сети с количеством контактов k . Мы фактически не трассируем схему, а получаем значение задержки примерно как у трассированной цепи.

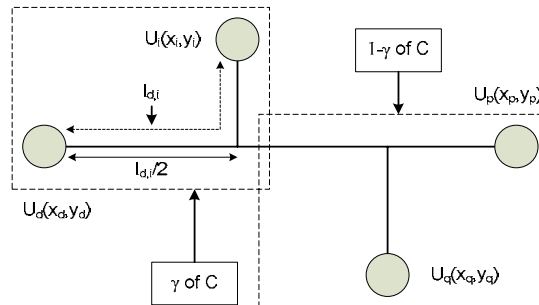


Рис.2. Пример вычисления задержки между контактами цепи

Положим, что R_d – ведущее сопротивление, C_g – ёмкость загрузки контакта стока, r – сопротивление модуля на единицу длины, c – ёмкость модуля на единицу длины, $l_{d,i}$ – длина соединения между контактами u_i и u_d .

Временная задержка вычисляется в три этапа:

1. $D_1(u_i, n_j) = Rd(c * L(n_j) + (k - 1)C_g)$, задержка начального сопротивления заряда цепи нагрузки и всех контактов этой цепи;
2. $D_2(u_i, n_j) = rc * l_{d,i}^2 + r * l_{d,i} C_g$, задержка по пути от u_i до u_d ;
3. $D_3(u_i, n_j) = r(l_{d,i} / 2)((1 - \gamma)(c * L(n_j) + (k - 2)C_g))$ (см. рис.2) – часть соединительной линии между u_i и u_d , которая находится на главном стволе магистрали (принимая его $l_{d,i} / 2$), должна зарядиться $(1 - \gamma)$ ёмкостью от общего количества (помимо ёмкости от контакта u_i).

Заключительная задержка – сумма рассмотренных выше трех частей ($D = D_1 + D_2 + D_3$). В рассматриваемой модели предлагается установить $\gamma = 1/2$.

Для определения точности этой модели временных задержек нетрассированных схем, мы применим её на четыре эталонных теста с известными задержками критического пути после трассировки [5]. В таблице представлен результат сравнения представленной модели временной задержки на этапе размещения с результатами задержки после трассировки.

Таблица

Название схемы	Mac32	Matrix	Vp2	Mac64
Задержка представленной модели без трассировки	4.0	5.1	6.2	8.2
Задержка эталона после трассировки	3.4	3.8	4.3	6.7

Из таблицы можно сделать вывод о том, что задержка представленной модели на 22% больше задержки схемы после трассировки. Это, на самом деле, очень хороший результат, позволяющий использовать нашу модель для решения задачи размещения элементов СБИС с учётом временных задержек.

Заключение. Предложенную модель предполагается реализовать для подсчёта целевой функции при выполнении оптимизационного алгоритма размещения на

основе методов генетического поиска. Результаты работы алгоритма планируется проверить на наборе тестов IBM (01-10) и Faraday, результаты выполнения которых известны для алгоритма DRAGON.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Норенков И.П.* Основы автоматизированного проектирования. – М.: Изд-во МГТУ им. Баумана, 2002.
2. *Казеннов Г.Г.* Основы проектирования интегральных схем и систем. – М.: БИНОМ. Лаборатория знаний, 2005.
3. *Adya S.N., Yildiz M., Markov I.L., Villarrubia P.G., Parakh P.N., Madden P.H.*, Benchmarking for large-scale placement and beyond. In Proceedings of the International Symposium on Physical Design. ACM, Monterey, 2003.
4. *Tetsushi Koide, Mitsuhiro Ono*, A New Performance Driven Placement Method with the Elmore Delay Model for Row Based VLSIs, 2003.
5. *Shantanu Dutt, Huan Ren, Fenghua Yuan and Vishal Suthar*, “A Network-Flow Approach to Timing-Driven Incremental Placement for ASICs, ICCAD 2006,

Е.В. Нужнов, А.А. Полупанов

ОСОБЕННОСТИ РЕДАКТОРА РАЗМЕЩЕНИЯ VIRTUOSO ДЛЯ ПРОЕКТИРОВАНИЯ ЗАКАЗНЫХ ИНТЕГРАЛЬНЫХ СХЕМ*

Введение. В статье рассматриваются возможности и особенности редактора размещения Virtuoso (**Virtuoso Layout Editor**), который представляет собой промышленно–стандартизованный инструментарий платформы Virtuoso компании Cadence для физического размещения при проектировании заказных интегральных схем на уровне подложки. Редактор поддерживает физическое проектирование и создание специализированных цифровых, аналого-цифровых и аналоговых интегральных схем.

В соответствии с договором о творческом сотрудничестве с компанией Cadence Design Systems (США), кафедра САПР Таганрогского государственного радиотехнического университета получила и проводит внедрение в учебный процесс учебных версий промышленных САПР изделий электроники (заказных интегральных схем (ИС) различной степени интеграции, печатных плат, микросборок и интегральных систем на платах) [1,2,5].

Платформа разработки заказных ИС Virtuoso является полнофункциональной системой для быстродействующей, точной кремниевой разработки и оптимизирована для поддержки методологии разработки на всех этапах конструкторского проектирования при разработке заказных ИС (рис.1).

Virtuoso включает в себя управляемый спецификацией полнофункциональный аналого-цифровой инструментарий, поддерживающий имитацию с общими моделями и уравнениями, значительно ускоряющий размещение, улучшающий кремниевый анализ для 0,13 мкм и ниже [3].

При проектировании заказных ИС, платформой Virtuoso поддерживается, так называемый, подход «meet-in-the-middle» (рис.2). Проектирование идёт одновременно сверху-вниз и снизу-вверх так, что в промежуточной точке, когда оба этих процесса состыкуются, получается оптимальный результат.

* Работа выполнена при поддержке программы развития научного потенциала высшей школы (проекты РНП.2.1.2.2238, РНП.2.1.2.3193).