

В.В. Курейчик, Е.В. Нужнов, А.А. Полупанов

СРЕДСТВА ПОДДЕРЖКИ ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ ЗАКАЗНЫХ ЦИФРО-АНАЛОГОВЫХ ИС В САПР CADENCE

Введение. В настоящее время важная доля на рынке интегральных схем (ИС) принадлежит системам на кристалле (SoC). Современные достижения в этой сфере увеличивают степень интеграции и функциональные возможности ИС, которые могут содержать цифровые и аналоговые блоки. Процесс автоматизированного физического (топологического) проектирования заказных цифро-аналоговых ИС хорошо автоматизирован, что сокращает время цикла проектирования. Он использует улучшенные параметризованные ячейки (pcells), проектные нормы, полученные из рабочей среды проекта, автоматическое размещение и трассировку цепей для получения топологических данных и последующего создания фотошаблонов. В статье описаны процесс и средства топологического проектирования цифро-аналоговых ИС в среде САПР компании Cadence. Автоматическое размещение выполняется при помощи пакета Virtuoso Custom Placer (VCP). Для разработки топологии аналоговых блоков используются усовершенствованные ячейки pcells. В статье также описываются возможности платформы Virtuoso XL (VXL) по отображению незавершённых проводников и пошаговому обновлению [1]. Трассировка аналоговых и цифровых блоков производится на уровне устройств с помощью пакета Virtuoso Custom Router (VCR). Окончание разводки цепей завершает проектирование топологии ИС, после чего результаты импортируются снова в VXL уже для физической верификации.

Организация процесса проектирования. Процесс проектирования топологии заказных цифро-аналоговых ИС в среде САПР компании Cadence Design Systems поддерживается специализированными инструментальными программными средствами [1,3,5]. Проектирование топологии цифровых блоков выполняется при помощи пакетов автоматического размещения Virtuoso Custom Placer (VCP) и трассировки Virtuoso Custom Router (VCR). Аналоговые блоки проектируются с использованием параметризованных ячеек (pcells), а размещение и трассировка выполняются при помощи модуля генерации Neocell [2]. Затем выполняется окончательная генерация размещения при помощи платформы Virtuoso XL (VXL), а затем трассировка при помощи пакета Cadence Chip Assembly Router (CCAR). Весь инструментарий и маршруты тесно интегрированы, и разработчикам не приходится тратить много времени на конвертирование, импорт и экспорт промежуточных файлов между различными инструментами или поставщиками (рис.1). Инструментарий Virtuoso обычно используется в комбинации с пакетом Neocell, параметризованными ячейками pcells и автоматическим трассировщиком.

Цифровые блоки. Окончательный вариант схемы обычно состоит из множества блоков и символов, связанных проводниками. Имеется доступ к схеме любого цифрового подблока из всего множества блоков. Схема этого подблока будет полностью завершена после добавления ограничений, для чего используется **менеджер ограничений** Virtuoso Constraint Manager. Он позволяет конструктору определять, управлять и передавать ограничения на цепи и готовые блоки во всём потоке процесса проектирования. Поддерживаются такие типы ограничений, как: NetBased (устанавливают правила запрета пересечения трасс и классов цепей), расстояние, выравнивание, группировка, симметрия, ограничения неподвижности.

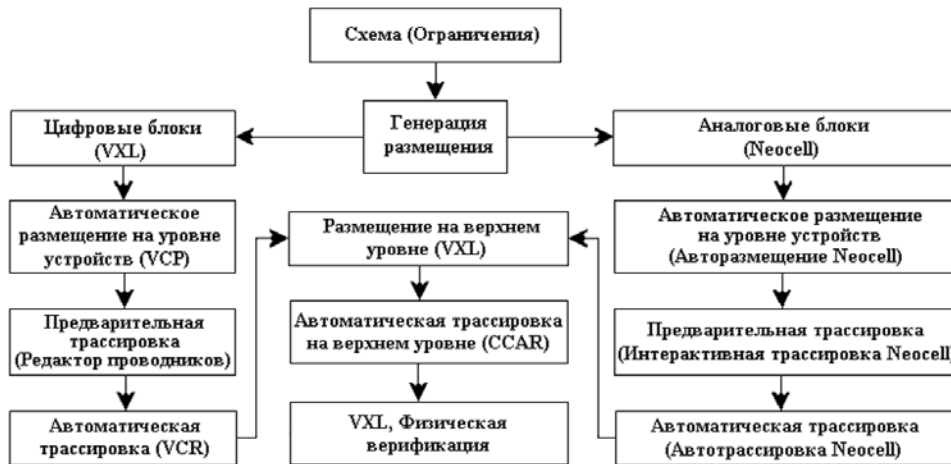


Рис.1. Маршрут проектирования топологии заказных ИС в САПР CADENCE

Также может быть установлена ширина цепей или их классов, введён приоритет трассировки каждой цепи, указаны экранированные цепи. Кроме ограничений NetBased, все ограничения считаются геометрическими. Для категории ограничений типа «расстояние», можно контролировать вертикальные и горизонтальные зазоры между компонентами. Совмещение компонентов может быть выполнено при помощи вертикальной и горизонтальной оси. Ограничения симметрии для устройств могут быть введены относительно их ориентации и зазоров. Наконец, компоненты могут быть установлены в специфическом положении во время размещения. После ввода всех ограничений, схема сохраняется.

Платформа Virtuoso XL (VXL) предназначена для разработки и оптимизации топологии. Она содержит редактор размещения и инструментарий ускорения генерации размещения [1]. Чтобы выполнить разработку топологии, платформе VXL требуется схема ИС. В среде VXL топология генерируется случайно, на основе размещённых элементов и блоков. Большинство из этих элементов представляют образы топологий стандартных ячеек. VXL извлекает все соединения из схемы и связывает их со стандартными ячейками (базовыми логическими элементами). Для удобства пользователей, существует возможность отображения возможностей линий соединения (flightlines) между топологическими образами, если включен режим их отображения.

При необходимости, в VXL, в процессе проектирования, инкрементно могут быть внесены некоторые изменения схемы или параметров символов, а также различные дополнения или удаления символов, не затрагивая существующую топологию кристалла. Очень полезны и функциональные возможности Multipart Path (MPP), которые могут быть использованы для создания защитных колец в указанном регионе. Это очень удобно при создании защитных колец изоляции при разделении аналоговых и цифровых частей кристалла для шумоизоляции и других типов оптимизации. Для создания различных защитных колец, в платформе VXL генерируется образец MPP. Этот образец может быть использован многократно и может быть легко изменён для создания различных типов защитных колец.

Размещение. Следующий шаг – это оптимальное размещение в среде VCR. Он обеспечивает автоматическое размещение контактов (выводов) и прежде всего для монтажа цифровых ячеек. Поддерживаются ранее введённые ограничения (расстояние, совмещение, группировка, симметрия, фиксация).

Сначала выполняется размещение контактов кристалла. Для этого в среде VCR конструктор выбирает ряд контактов и задаёт их размещение. Также могут быть указаны зазоры между контактами. Контакты устанавливаются в определенном положении, что является жёстким ограничением.

Далее выполняется подготовка для размещения образов блоков, для чего может быть выполнено разбиение образов блоков на группы. Кроме того, все части могут быть размещены в заданном разбиении (группе). Затем разработчик использует инструментарий стиля размещения (Placement Style). Для стиля отбираются базовые логические элементы. Указываются области для генерации рядов контактов, причём число рядов указывается вручную или генерируется автоматически. Далее вводятся зазоры между рядами контактов, отбираются соответствующие ячейки, назначаются размеры шин питания и земли. Затем выполняются оценочные расчёты по входным данным конструктора, генерируется соответствующее число рядов контактов и их длина с целью оптимального размещения.

В конце, в графическом интерфейсе, с помощью инструмента Placeg выполняется собственно размещение. Выбирается опция, выполняющая размещение всех устройств, включается опция заполнения ячеек и выбираются соответствующие файлы (cstrules). Файлы cstrules содержат информацию о проектных нормах, межслойных переходах, контактах и другую информацию о трассировке. Далее активируется высокоскоростной Placeg. При неудовлетворительных результатах для генерирования контактов повторно может быть вызван Placement Style, а также Placeg для достижения оптимального размещения.

Предварительная трассировка. После размещения при помощи платформы VXL, выполняется предварительная трассировка критических цепей. Формирование соединений происходит при помощи метода «сшивания длины пробега» или при помощи редактора проводников. Возможности редактора проводников: интерактивная корректировка правил трассировки и редактирования, подтягивание цепей во время трассировки, масштабирование сегментов проводников, проверка выполненной разводки на ограничения и уплотнение проводников в разводке. После завершения предварительной трассировки выполняется экспорт файлов cstrules и топологии в автоматический трассировщик VCR.

Автоматическая трассировка на уровне ячеек в VCR. VCR – это расширенная и улучшенная программа трассировки аналоговых блоков на уровне ячеек и небольших цифровых блоков. VCR позволяет на лету проверять правила проектирования (DCR) протрассированных слоёв, передвигать цепи во время трассировки, формировать разводку поперечных и разнотипных цепей и выполнять экранированную разводку цепей. Пользователь может использовать выпадающие меню или вводить команды в командной строке. Альтернативно, команды VCR могут быть введены в отдельный ASCII-файл (*.do). Запустив этот файл, VCR автоматически выполнит трассировку, учтя все необходимые ограничения и команды находящиеся в файле *.do. Типичные настройки файла *.do: размер сетки, направление трассировки для слоёв, выбор нужных слоёв трассировки, номер трассировки и число повторений. После удовлетворительного завершения трассировки, проект импортируется из VCR обратно в VXL и сохраняется для дальнейшего использования на высшем уровне размещения и трассировки.

Аналоговые блоки. Открыв схему, содержащую аналоговые блоки, можно воспользоваться таким инструментарием как Neocell, позволяющим выполнять генерацию топологии аналоговых ячеек, автоматическое размещение и автоматическую трассировку [4].

Средства Neocell. Инструментарий Neocell охватывает редактор ограничений для ввода ограничений, автоматическую трассировку на уровне устройств (блоков), обеспечивающую продуктивное физическое проектирование на уровне ячеек [2]. Технологические файлы Neocell содержат проектные нормы, необходимые модули и генераторы, используемые при создании топологии. Помимо технологических файлов, Neocell содержит схемный редактор (Composer). С помощью меню Neocell можно также вызвать редактор ограничений и редактор топологии.

Редактор ограничений. Для ввода ограничений на схеме, используется редактор ограничений (Constraint Editor), применяемый для всех устройств, и соответствующий генератор модулей или параметризованные ячейки pcells. В параметризованных ячейках pcells топология создаётся с использованием метода относительного проектирования объектов (ROD). При этом используются различные переменные и условия для придания топологии требуемых свойств. Модульные генераторы Neocell могут манипулировать различными структурами транзисторов. Генераторы всех модулей настраиваются при помощи массивов и переменных. Автоматически назначаются контакты модулей их размеры, размещение и приоритет. Могут быть также введены и другие ограничения при помощи групповой формы, симметрии, стиля проводников, расположения, группировки и соответствия. Для ограничений групповой формы могут быть установлены многочисленные специальные защитные кольца, как для группы устройств, так и для их частей. Ограничения соответствия устанавливаются устройствам, которые могут совпадать по ориентации, расположению и дистанциям. Ограничения стиля проводников контролируют ширину каждой цепи. Ограничения симметрии устанавливаются симметричное размещение и трассировку среди устройств. После того, как установлены все ограничения, выполняется опция проверки для обнаружения ошибок и различных конфликтов. Ограничения, используемые для схем, используются в дальнейшем пакете Neocell для оптимизации размещения и трассировки при создании топологии.

Редактор размещения Neocell. Схема кристалла с заданными ограничениями экспортируется в редактор топологии Neocell (Neocell Layout Editor). В редакторе топологии Neocell активируется инструмент автоматического размещения – AutoPlace. После того, как выполнено размещение, при необходимости, выполняется ручное размещение конструктором. Также может быть использовано интерактивное размещение для расстановки наиболее важных устройств, непосредственно перед запуском AutoPlace. При интерактивном размещении может быть изменена ориентация устройств, устранены наложения друг на друга, выставлены нужные границы и т.п. Для исправления ошибок в правилах проектных норм (DRC) сгенерированных при интерактивном размещении, активируется опция – исправить DRC, что автоматически устранит все DRC-ошибки в топологии.

Для автоматической трассировки предназначена программа AutoRoute, обеспечивающая симметричную трассировку проводников. По завершении работы программы AutoRoute, при необходимости выполняется ручная интерактивная трассировка. Могут быть выполнены: контролирующая трассировка, трассировка от точки к точке, ведущая трассировка и трассировка методом сшивания длины пробега. При необходимости, удаляются целые цепи и сегменты, изменяются маршруты и метки. По завершении оптимального размещения и трассировки проект сохраняется, что автоматически переводит проект в общую базу данных топологии Cadence. Сохранённый в Neocell проект, открывается затем в VXL. Аналогично, на верхнем уровне, происходит размещение и трассировка аналоговых блоков с использованием редактора ограничений и редактора топологии Neocell.

После завершения проектирования топологии аналоговых и цифровых блоков, выполняется проектирование топологии на верхнем уровне.

Абстрактные представления – аналоговые и цифровые блоки. Абстрактные представления необходимы для всех блоков, для чего и предназначен абстрактный генератор Cadence IC 5.0. Для создания абстрактного представления каждого блока в абстрактном генераторе выполняются: шаг контактов, шаг извлечения и абстрактный шаг. По завершении этих шагов, генерируется абстрактное представление, которое позже будет использоваться на верхнем уровне трассировки в Cadence Chip Assembly Router (CCAR). Далее, с помощью платформы VXL на верхнем уровне из схемы кристалла генерируется топология.

Параметризованные ячейки pcells. Параметризованные ячейки pcells – критичны при генерации топологии. Как указывалось ранее, pcells – это готовый пример топологии, который может быть запрограммирован с несколькими параметрами, указанными конструктором. С параметризованными ячейками pcells можно работать как в графическом режиме, так и при помощи языка программирования SKILL. Улучшенные параметризованные ячейки pcells обладают такими особенностями, как автоматической границей транзисторных диффузионных областей и растягиванием. Так же могут быть созданы мега-pcells, которые состоят из pcells, содержащих более одного уровня иерархии, например, аналоговые дифференциальные пары. Преимущества ячеек pcells в том, что они очень гибки в плане добавления параметров, удаления, изменения и могут быть включены в мега-pcells. Кроме того, ячейки pcells всегда проектируются правильно и без ошибок и позволяют получить нужную топологию схемы.

Генерация топологии. В платформе VXL присутствуют все образцы топологий (стандартных ячеек, ячеек pcells), как для символов аналоговых блоков, так и для цифровых. Каждый из блоков и устройств связаны между собой согласно схеме. Размещение сгенерированных блоков может быть выполнено вручную проектировщиком внутри области границ размещения. Автоматический трассировщик на верхнем уровне (CCAR) использует файлы cstrules, которые содержат информацию о трассировочных слоях, контактах и межслойных переходах, а также другую информацию. В файлах cstrules содержатся также запретные области «граничного» слоя (prBoundary), используемые при трассировке. Слой prBoundary, это слой, который охватывает каждое абстрактное представление, созданное ранее. Цель этих запретных областей – избежать трассировки в слоях prBoundary. Это выполняется во избежание перекрытия с уже протрассированными ранее блоками.

Предварительная трассировка. После размещения всех блоков и устройств, в платформе VXL на верхнем уровне, выполняется предварительная трассировка критических цепей с использованием формирования соединений методом сшивания длины пробега или редактора цепей.

Автоматическая трассировка на верхнем уровне (CCAR). Инструментарий CCAR – это улучшенная программа трассировки с широкими возможностями, прежде всего для аналоговых разработок и небольших цифровых разработок. Инструментарий CCAR подобен VCR в плане графического интерфейса и использования, за исключением глобальной трассировки и более мощных возможностей.

Информация из файлов cstrules передаётся в программу трассировки CCAR. По аналогии с VCR, конструктор может пользоваться меню, вводить команды в командную строку или использовать *.do-файлы. На усмотрение конструктора, перед выполнением *.do-файла, может быть выполнена компакция, т.е. сжатие топологии кристалла. Это позволит сжать блоки по горизонтальному и вертикальному направлениям, согласно правилам проектирования (проектным нормам). Далее

запускается SSAR с *.do-файлом для выполнения автоматической трассировки с требуемыми ограничениями и множеством команд, содержащихся в *.do-файле. Если число непротрассированных цепей велико, то конструктор может выполнить интерактивное размещение или изменить *.do-файл для завершения трассировки.

Импорт в VXL. После завершения трассировки в SSAR проект импортируется обратно в VXL, где может быть выполнено дальнейшее улучшение трассировки, если это необходимо. Также могут быть внесены изменения в проект и снова выполнена трассировка в SSAR. Эти шаги могут повторяться многократно, пока конструктор не будет удовлетворён результатом.

Заключение. Рассмотренные процесс и средства автоматизированного проектирования играют важнейшую роль при создании цифро-аналоговых ИС. Заслуживают отдельного рассмотрения возможности обеспечения большей гибкости в работе конструктора при размещении блоков в среде VSP, изменении технического задания, более улучшенной компактизации на уровне блоков. При современном уровне автоматизации с возрастающим влиянием параметризованных ячеек rcells и их гибкостью, использование описанных программных средств САПР позволяет расширить возможности конструкторов в автоматизированном процессе разработки топологии ИС, БИС и СБИС. А использование их в учебном процессе, наряду с другими средствами САПР Cadence [3–5], позволяет более полно охватить процесс сквозного автоматизированного проектирования вычислительной аппаратуры и изделий микроэлектроники, повышая качество подготовки специалистов.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Virtuoso XL Layout Editor User Guide, Product Version 5.0, Cadence Design Systems Incorporated, 2003.
2. Neocell User Guide, Product Version 3.4, Cadence Design Systems Incorporated, May 2004.
3. Курейчик В.В., Нужнов Е.В. Подготовка инженеров специальности 230104 на основе использования методологии и промышленных САПР компании Cadence Design Systems // Труды Международных научно-технических конференций «Интеллектуальные системы (IEEE AIS'05)» и «Интеллектуальные САПР (CAD-2005)». Научное издание в 4-х томах. – М.: Изд-во физико-математической литературы, 2005, т.4. – С. 98-104.
4. Курейчик В.В., Нужнов Е.В., Полупанов А.А. Особенности среды аналогового проектирования VIRTUOSO. Известия ТРТУ №8(63), Интеллектуальные САПР. – Таганрог: Изд-во ТРТУ, 2006. – С. 105.
5. Cadence Design Systems. Products, 2006. – <http://www.cadence.com/products.htm>.

А.А. Лежебоков, Л.А. Гладков

МОДЕЛИРОВАНИЕ ВРЕМЕННЫХ ЗАДЕРЖЕК ПРИ РЕШЕНИИ ЗАДАЧИ РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ СБИС*

Введение. В последнее время при проектировании СБИС все заметнее проявляется тенденция учета физических характеристик (в основном это задержки) на возможно более ранних этапах нисходящего проектирования. В частности, эта тенденция выражается в планировании кристалла (floorplanning) на системном уровне. При этом определяется взаимное расположение блоков структурной схемы на кристалле (при многокристальном исполнении блоки предварительно распределяются между кристаллами) и намечается ориентировочное расположение внешних выво-

* Работа выполнена при поддержке РФФИ грант №05-01-18115 и программы развития научного потенциала высшей школы 2006-2008 гг. (РНП.2.1.2.2238).