

## Раздел III. Автоматизация проектирования

С.В. Баринов, В.М. Курейчик

### ОБЗОР МЕТОДОВ УЧЕТА ВРЕМЕННЫХ ЗАДЕРЖЕК ПРИ ЛОГИЧЕСКОМ СИНТЕЗЕ\*

**Введение.** Из-за высокой вычислительной сложности многие эффективные алгоритмы логического синтеза не могут быть использованы для синтеза схем большого размера. Одним из способов применения таких алгоритмов на практике является выделение в большой схеме набора кластеров небольшого размера, независимый синтез выделенных подсхем и подстановка результатов синтеза вместо исходного варианта.

**Кластеризация и разбиение на части.** Термины «кластеризация» и «разбиение на части» в применении к задачам автоматизации проектирования интегральных схем (ИС) часто имеют близкое значение. По существу, оба они применяются при описании задачи разделения сложной структуры на множество более простых компонентов, чтобы избежать сложности работы с плоской структурой или чтобы удовлетворить ограничениям, которые накладываются на компоненты. При этом термин «разбиение на части» чаще применяется, когда задача решается сверху вниз, то есть когда элементы, образующие начальную структуру, разделяются на несколько частей [1].

С другой стороны, термин «кластеризация» применим, когда задача разбиения решается снизу вверх, путем схлопывания элементов исходной структуры в меньшее число более крупных компонентов. Оба способа могут позволять дублирование элементов исходной структуры, если это имеет смысл для конкретного приложения. В данной работе мы будем использовать оба термина как синонимы.

Рассмотрим следующую проблему. Большинство известных алгоритмов логического синтеза имеют высокую вычислительную сложность, и, поэтому они неприменимы к Булевым сетям большого размера. Применение сложных алгоритмов синтеза становится возможным, если разбивать большие схемы на небольшие части и осуществлять независимый синтез полученных частей.

Отрицательным фактором при этом является ограничение пространства решений для алгоритмов синтеза.

**Обзор методов учета временных задержек в задачах разбиения для логического синтеза.** Задача разбиения для логического синтеза уже давно упоминается в научной литературе.

Исследования в области кластеризации схем для оптимизации временных задержек базируются либо на пространственных ограничениях, либо на ограничениях на количество портов, либо на сочетании этих ограничений.

В [2] представлен алгоритм кластеризации, оптимизирующий задержки в схеме на основе пространственных ограничений, в котором используется модель единичных задержек. В этой модели, временная задержка учитывалась только на межсоединениях. Величина временной задержки рассматривалась как постоянная

---

\* Работа выполнена при поддержке РФФИ, грант № 03-07-90202.

величина, равная 1. Такая модель являлась очень абстрактной и требовала дальнейших доработок.

В [3] предложена общая модель временных задержек, которая разработана на основе единичных временных задержек, и более правдоподобна, чем все предыдущие разработки в этой области. В этой модели: каждому элементу схемы  $V$  ставится в соответствие временная задержка  $\delta(v)$ ; временная задержка, возникающая на соединениях внутри одного модуля, не рассматривается; всем межмодульным соединениям ставится в соответствие постоянная величина временной задержки (заданная константа). Однако алгоритмы, использующие данную модель, в общем случае, не оптимальны, поскольку они не учитывают ограничение на количество портов в каждом модуле.

В работе [4] предложен алгоритм разбиения с пересчетом временных задержек для оптимизации быстродействия СБИС, который использует пространственные ограничения и получает квазиоптимальные решения в случае, если разрешена репликация элементов схемы. Но алгоритм [4] давал результаты, которые были далеки от оптимального решения для критерия межкластерных соединений.

В [5] предложено использовать временную информацию на узлах сети и ограничение на максимальное число узлов в кластере. Сначала они формируют набор «корзин», включающих в себя один или несколько выходных портов и все узлы, влияющие на значение сигнала на выходе. Если число узлов в корзине превышает заданное, корзина делится на несколько кластеров. Узлы на критических путях дублируются.

Авторы работы [6] используют доминаторы для построения разбиения. Сначала их алгоритм рассматривает узлы исходной схемы как кластеры. Затем в этой схеме находятся доминаторы. Узлы, для которых найденный доминатор является обязательным преемником, объединяются в единый кластер. Процесс повторяется пока можно найти очередной доминатор. Такой подход приводит к схлопыванию узлов, не имеющих внешних логических зависимостей. Дублирование узлов не предусмотрено.

Подход, описанный в работе [7], основан на нахождении областей, включающих в себя сходящиеся пути и построении непересекающегося набора таких областей. По мнению авторов работы [7], именно такие области имеют хороший потенциал для последующего логического синтеза.

В работе [8] предложено разбивать большие схемы на логически независимые участки. Для нахождения таких участков они используют процедуру поиска прямоугольников в транзитивной матрице связности небольшой глубины.

Помимо приложений, связанных с логическим синтезом, задача разбиения применяется в ряде других задач. Например, иерархический алгоритм разбиения, основанный на поиске минимального разреза, в [9] применяется в алгоритмах размещения.

Время передачи сигнала между элементами интегральной схемы стало доминирующим при определении быстродействия современных СБИС. Требование учета задержек, связанных с передачей данных, привело к необходимости разработки алгоритмов маршрутизации, которые учитывают те или иные временные ограничения. В настоящий момент для вычисления задержек в дереве сигналов схемы используется, как правило, модель Эльмора [10]. Хотя формулы Эльмора позволяют просто вычислить задержки в дереве с известными характеристиками ребер [11,12], построение дерева с заданными временными характеристиками остается сложной проблемой.

Кроме временных задержек, в настоящее время, все более важными становятся критерии минимизации тепловыделения, потребления мощности, функциональной полноты СБИС. Поэтому необходимы дальнейшие исследования и разработки в области многокритериальных алгоритмов разбиения с использованием эффективных методов поиска квазиоптимальных решений.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Афанасьев И.В., Венгер О.В., Марченко А.М. Применение кластеризации при логическом синтезе//II Всероссийская научно-техническая конференция «Проблемы разработки перспективных микроэлектронных систем - 2006»/МЭС-2006, стр. 40-44
2. Lawler, E. L., K. N. Levitt and J. Turner. "Module Clustering to Minimize Delay in Digital Networks", IEEE Transactions on Computers. Vol C-18 No. 1, 1966, p. 47-77
3. Murgai, R., R.K. Brayton and A. Songiovanni-Vincentelli. "On Clustering for Minimum Delay/Area", Proc. of the IEEE Int'l Conf. On Computer-Aided Design, Nov., 1991, p. 6-9
4. J. Cong, H. Li, and C. Wu. Simultaneous Circuit Partitioning/Clustering with Retiming for Performance Optimization, In Proc. ACM/IEEE Design Automation Conference, p. 460-465, 1999.
5. R. Aggarwal, R. Murgai, and M. Fujita. Speeding Up Technology-Independent Timing Optimization by Network Partitioning // Proc. ACM/IEEE Design Automation Conference. - Nov. 1997. - p. 83-90.
6. D. Banieres, J. Cortadella, and M. Kishinevsky. Dominatorbased Partitioning for Delay Optimization, Great Lake Symposium on VLSI, 2006.
7. S. Dey, F. Brglez, G. Kedem. Circuit Partitioning for Logic Synthesis // IEEE Journal of Solid-state Circuits. - March 1991. - V. 26. - № 3.
8. Y. Nakamura and T. Yoshimura. A Partitioning-based Logic Optimization Method for Large Scale Circuits with Boolean Matrix // Proc. ACM/IEEE Design Automation Conference, 1995.
9. G. Karypis, R. Aggrwal, V. Kumar, and S. Shekhar. Multilevel hypergraph partitioning: Application in VLSI domain // Proc. ACM/IEEE Design Automation Conference, 1997.
10. Elmore W.C. The Transient Response of Damped Linear Networks with Particular Regards to Wide-Band Amplifies // J. Appl. Phys. - 1948. - V. 19. - P. 55-63.
11. Cong J.J., Leung K.-S. Optimal Wiresizing Under Elmore Delay Model // IEEE Trans. on CAD of Integrated Systems. - 1995. - V. 14. - № 3. - P. 321-336.
12. Chen C.P., Chen Y.P., Wong D.F. Optimal Wiresizing Under Elmore Delay Model // IEEE Trans. on CAD of Integrated Systems. - 2002. - V. 21. - No. 3. - P. 319-329.

М.А. Бакало, В.В. Курейчик

#### МОДИФИЦИРОВАННЫЙ АЛГОРИТМ РАЗМЕЩЕНИЯ МЕТОДОМ ПАРНЫХ ПЕРЕСТАНОВОК\*

**Введение.** Одним из основных этапов конструкторского проектирования ЭВА является размещение элементов (модулей) на некотором коммутационном поле с оптимизацией заданных наперед критериев качества. Среди существующих алгоритмов отдельную группу составляют итерационные алгоритмы размещения, к которым и относится алгоритм парных перестановок [1-3].

Задача размещения может быть сформулирована следующим образом: дано множество элементов  $V = \{e_i \mid i = \overline{1, n}\}$ , соединенных друг с другом множеством связей  $U \subseteq V \times V$ . В качестве модели представления данных используем неори-

\* Работа выполнена при частичной финансовой поддержке программы развития научного потенциала высшей школы 2006-2008 годы (проекты РНП.2.1.2.2238, РНП 2.1.2.3193).