

Д.В. Тельпухов, А.И. Деменева, В.В. Надоленко

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА АВТОМАТИЗИРОВАННЫХ СРЕДСТВ
МОДЕЛИРОВАНИЯ СЛУЧАЙНЫХ СБОЕВ В СОВРЕМЕННЫХ
КОМБИНАЦИОННЫХ КМОП ИМС***

Схемы становятся более восприимчивыми к воздействию тяжелых заряженных частиц из-за изменения технологий проектирования: уменьшения проектных норм, напряжений питания, увеличения степени интеграции и тактовых частот. Актуальным является широкое использование микросхем в космической, военной промышленности, научно-исследовательских установках и медицинском оборудовании в условиях воздействия радиации, где сбои недопустимы. Но также следует учитывать, что случайные сбои возможны и на земле в результате воздействия нейтронов и альфа – частиц, что делает применение средств защиты для наземных схем так же необходимым. На сегодняшний день разрабатываются методы обеспечения сбоеустойчивости на схемотехническом уровне. Для оценки методов повышения надежности необходимы быстрые и точные методы автоматизированного моделирования случайных сбоев. Но средств автоматизированного моделирования эффектов воздействия высокоэнергетических частиц в составе коммерческих САПР нет. Так как для КМОП технологий 45нм и ниже большая часть наблюдаемых случайных сбоев будет происходить в комбинационных схемах, в работе предложен способ реализации автоматизированного метода моделирования случайных сбоев переключения, проведено сравнение разработанного метода с существующими аналогами, показано применение метода на большом наборе комбинационных ячеек.

Моделирование; комбинационные ячейки; радиационная стойкость; тяжелые заряженные частицы; случайный сбой; одиночные сбои; критический заряд.

D.V. Telpukhov, A.I. Demeneva, V.V. Nadolenko

**STUDY AND DESIGN OF AUTOMATED TOOLS FOR SIMULATION
OF SOFT ERRORS IN MODERN COMBINATIONAL CMOS IC**

Circuits are becoming more sensitive to the effects of heavy charged particles due to changes in design technologies: shrinking of features size, supply voltages, an increase denser chips and clock frequencies. The widespread use of modern CMOS integrated circuits in the cosmic, military industry, scientific research facilities, and medical therapy installations under conditions of radiation exposure, where failures are unacceptable, is relevant. But it should also be borne in mind that soft errors are possible in electronic systems at sea level as a result of exposure to neutrons and alpha particles, which makes the use radiation hardening measures of terrestrial applications also necessary. Today, methods being developed to ensure failure tolerance at the circuit-level. To evaluate methods for design radiation hardened integrated circuits, fast and accurate methods of automated simulation of soft errors are needed. But there are no automated tools for simulating of high-energy particles in commercial CAD systems. For 45nm technologies and below the majority of observed soft errors will occur in combinational logic. In this paper, the method of automated simulation of single event transients is proposed. The developed method is comparing with existing analogs. The paper shows the application of the method on a large set of combinational cells.

Simulation; combinational cells; radiation tolerance; heavy charged particles; soft error; fault injection; critical charge.

1. Механизм возникновения случайных сбоев и способы их моделирования. Ионизирующая частица (тяжелый ион, протон, альфа-частица), проникая вглубь полупроводникового материала, генерирует электронно-дырочные пары. Сбор свободных носителей осуществляется электрическим полем, что приводит к

* Работа выполнена при финансовой поддержке гранта РФФИ № 18-07-00214.

возникновению ионизационного тока. Случайный сбой наблюдается в том случае, если значение собранного заряда, больше или равно минимальному заряду, необходимому для сбоя. Такой заряд называется критическим [1].

Области обратно-смещенного р-п перехода выступают в качестве чувствительных вследствие наличия сильного электрического поля. Для КМОП технологий чувствительными являются области между стоком и подложкой транзистора [2].

В зависимости от продолжительности и амплитуды ионизационного тока, закрытые транзисторы могут перейти в открытое состояние. Открытые транзисторы и нагрузка выступают в качестве восстанавливающих элементов, рассеивая ионизационный ток.

В работе исследована устойчивость комбинационных схем, таким образом, особое внимание будет уделено случайным сбоям переключения и способам их моделирования. Под случайным сбоем переключения (Single-event transient, SET) подразумеваются кратковременные помехи напряжения, вызванные импульсом тока в комбинационных логических элементах. Несмотря на то, что пострадавший элемент вернется к правильному состоянию, ложный сигнал может распространиться через комбинационную логику, достигнуть элемента памяти и изменить хранящиеся данные [3].

Оценка чувствительности схем к случайным сбоям может быть выполнена с помощью средств автоматизированного проектирования и экспериментов на контрольном оборудовании. Так как использование экспериментальных установок очень дорого и требует особых знаний, используются современные средства САПР.

На сегодняшний день предлагается использовать SPICE [4], TCAD[5], или смешенные (SPICE – TCAD) [6, 7] методы для моделирования ионизационного тока в схеме.

Достоинством моделирования с помощью TCAD является высокая точность, однако такое точное моделирование требует больших временных затрат. Размер тестируемого устройства с помощью программы TCAD небольшой. Проектировщики часто не имеют доступа к технологической информации и достаточного опыта работы TCAD – симулятором. Поэтому на сегодняшний день применяются методы, использующие SPICE моделирование, а TCAD и экспериментальные данные остаются необходимыми для калибровки моделей.

Обзоры самых известных методов моделирования случайных сбоев были опубликованы в [8, 9].

В большинстве случаев моделирование случайных сбоев на схемотехническом уровне производится внедрением источника тока специальной формы в поврежденную область схемы. Такой анализ осуществляется с помощью SPICE – симуляторов.

Широко используются две модели включения источника тока [8]:

- ◆ Макро-модель – источник тока включается между выходом схемы и землей;
- ◆ Микро-модель – источник тока непосредственно встраивается в модель транзистора.

Модель, использующая двухэкспоненциальный источник тока, предложенная в [10], является наиболее популярной из всех моделей на основе независимого источника тока.

Форма импульса двухэкспоненциального источника тока задается формулой (1):

$$I(t) = I_0 \left(\exp^{-\frac{t}{t_r}} - \exp^{-\frac{t}{t_f}} \right), \quad (1)$$

где I_0 – амплитуда импульса тока, t_r – время нарастания, распространения трека частицы, t_f – время спада, сбора заряда р-п переходом.

Максимальный импульс тока прямо пропорционален собранному заряду, Q_0 (2):

$$I_0 = \frac{Q_0}{t_f - t_r}. \quad (2)$$

Форма импульса ионизационного тока, полученная с помощью двухэкспоненциального источника тока, представлена на рис. 1.

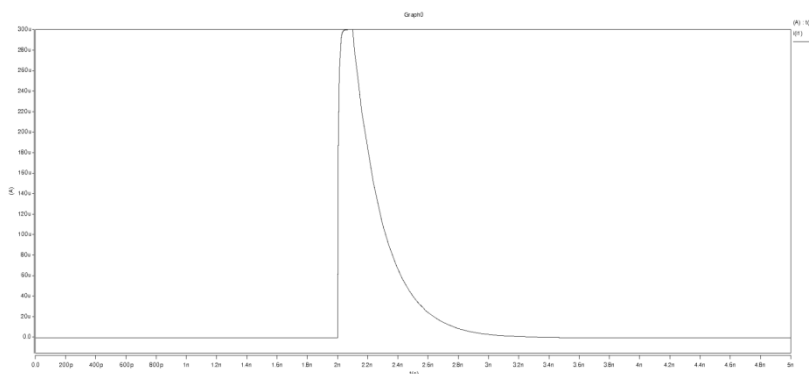


Рис. 1. График зависимости тока от времени для двухэкспоненциального источника тока

Времена нарастания и спада зависят от технологии изготовления схемы. Время спада можно определить из формулы (3):

$$t_f = \frac{k\varepsilon_0\varepsilon_r}{q\mu N_D}. \quad (3)$$

где k – постоянная Больцмана, ε_0 – диэлектрическая постоянная, q – заряд электронов, μ – подвижность электронов, N_D – концентрация доноров.

Время нарастания связано со временем спада и может быть найдено как $t_f = 4t_r$.

Значение времени нарастания находится в диапазоне от нескольких пикосекунд до десятков пикосекунд, время спада варьируется от десятков пикосекунд до сотен пикосекунд. В статье [11] дают уже рассчитанные значения времен нарастания и спада для технологий 130нм и 90нм, которые можно использовать для моделирования. В [12] также предложены постоянные времена для разных технологий изготовления. В работе времена нарастания и спада приняты 7пс и 200пс соответственно.

Подробно другие модели, использующие независимый источник тока, рассмотрены в [8]. Такие модели обладают либо меньшей точностью, чем двухэкспоненциальная модель, либо требуют технологические параметры, которые обычно не предоставляются разработчикам.

Достоинством моделей, использующих независимый источник тока считается простота реализации, а также возможность использования в качестве макро- и микромоделей.

Основной недостаток моделей с независимым источником тока, в том, что они рассматривают сбор заряда р-п переходом с постоянным смещением напряжения. Напряжение на р-п переходе не является постоянным и меняется в зависимости от ионизационного тока [13].

Существует различные модели, учитывающие напряжение смещения [13–15], однако они являются трудоемкими, ресурсо - затратными и требующими калибровки.

2. Реализация автоматизированного метода схемотехнического моделирования случайных сбоев. Был разработан автоматизированный метод моделирования эффектов воздействия ТЗЧ на современные КМОП ИМС. Программа использует последовательно – параллельную структуру схемы для поиска режимов работы транзисторов и двухэкспоненциальный источник тока для моделирования сбоев.

Обработка и получение результатов анализа производится за один запуск Python – скрипта. Схема на рис. 2 описывает алгоритм работы программы. Для удобства алгоритм показан на примере одной ячейки, однако на вход программы подается заданный набор схем, которые обрабатываются в цикле по очереди.

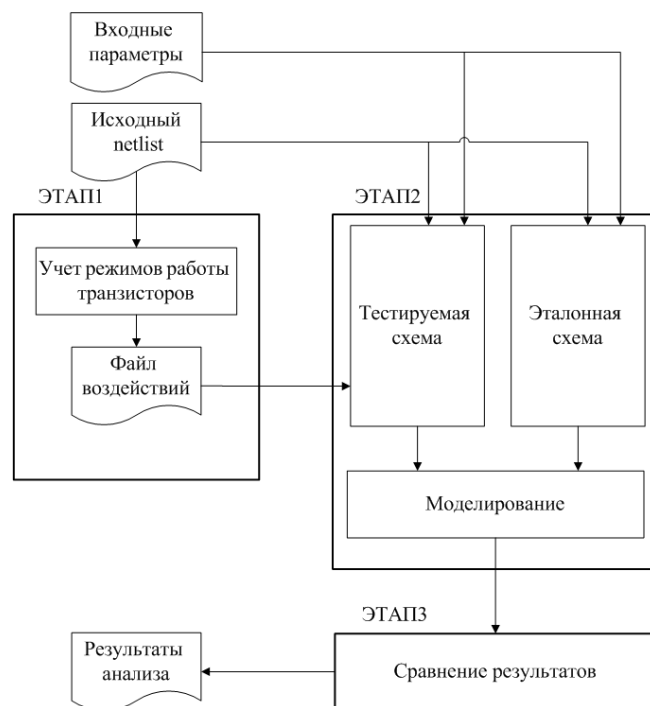


Рис. 2. Алгоритм работы Python – скрипта

Программа делится на три этапа:

- ◆ учет режимов работы транзисторов;
- ◆ моделирование паразитного импульса тока;
- ◆ сравнение результатов.

В отдельном файле, в качестве входных данных, обозначены: характеристики источника тока (времена нарастания и спада и их задержки, значение импульса тока), напряжение питания, температура, модель транзистора. На вход программы так же подается исходный список соединений (Gate SPICE netlist) исследуемой схемы, или папка с несколькими .sp файлами.

Программа позволяет найти критический заряд, варьировать значение соборного заряда и определять отношение числа сбоев к общему количеству моделирований.

Предложенный метод моделирования является продолжением и дополнением работы [16].

Моделирование SPICE – описаний схем было произведено с помощью программы HSPICE компании Synopsys.

Этап 1: учет режимов работы транзисторов

Учет режимов работы транзисторов был реализован на логическом уровне с помощью языка Python. На вход программы подается исходный список соединений. Алгоритм логического моделирования состояний транзисторов представлен на рис. 3. Программа реализована для полного перебора всех комбинации входных воздействий. Для нахождения значений на узлах транзисторов используется алгоритм поиска в ширину.

```

for each input vector
  front = inputs
  while front is not empty
    next_front= empty set
    for each transistor adjacent to any net in front
      if net is connected to gate
        write mode
      else if net is connected to drain or bulk
        continue
      if transistor is open and signal on source is known
        drain -> next_front
        write signal on drain
    front = next_front
  return output signal and transistor modes
end
  
```

Рис. 3. Алгоритм поиска режимов работы транзисторов

Этап 2: моделирование паразитного импульса тока

Для моделирования случайных сбоев переключения генерируется преобразованный список соединений. Он содержит описания исследуемой и эталонной схем на языке HSPICE и систему сравнения (рис. 4).

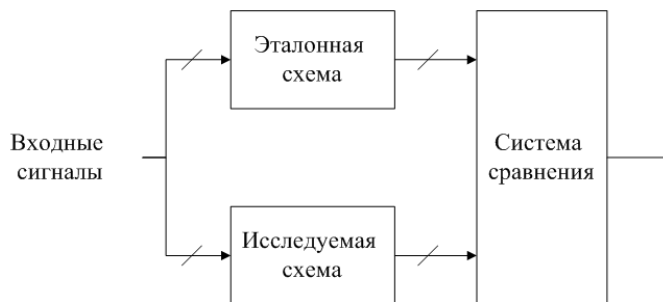


Рис. 4. Преобразованный список соединений для моделирования сбоев

Эталонная схема – это исходный список соединений, выделенный в подсхему (.subckt). Она необходима для выявления сбоев в исследуемой схеме, путем сравнения выходных сигналов.

Исследуемая схема состоит из подсхем, которые в свою очередь содержат МОП-транзистор и параллельно включенный ему источник тока с импульсом специальной формы (рис. 5).

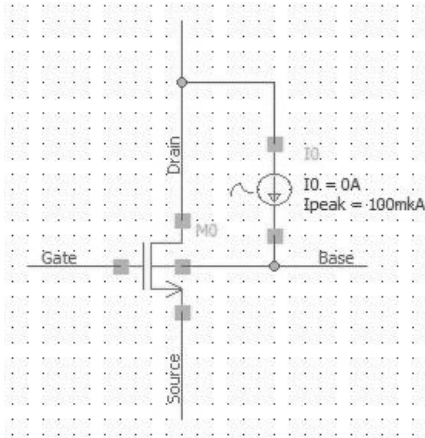


Рис. 5. Схема включения источника тока в n-МОП транзисторе для моделирования ионизационного тока

Такая микро – модель является более точной, чем макро – модель и позволяет производить моделирование для каждого отдельного транзистора в схеме. В отличие от [13] метод не требует модификации модели транзистора, что делает его достаточно простым для реализации.

В работе представлен способ моделирования ионизационного тока на основе независимого источника тока, использующий модель двухэкспоненциального источника. Такой способ моделирования не требует калибровки с помощью TCAD или экспериментов, и является пригодным для автоматизации, что делает этот метод главным кандидатом на выбор.

На рис. 6 представлена реализация исследуемой схемы и произведено сравнения с методом предложенным учеными из НИИСИ РАН [4], рис. 7.

```
.subckt exp_n d g s b ipeak l=ipeak trd1=trd tr1=tr tdf1=tdf tf1=tf w1=w l1=l
iset1 d b exp(i0 ipeak1 trd1 tr1 tdf1 tf1)
mn d g s b nmos_vt1 w=w1 l=l1
.ends
```

Рис. 6. Встраивание двухэкспоненциального источника тока в описание n - МОП транзистора средствами языка HSPICE

```
inline subckt nmos_tn ( d g s b )
parameters [...]
nmos_tn (d g s b) nmos_tn w=w l=l as=as ad=ad ps=ps pd=pd
singleEventSource (d g s b) SEsource [...]
ends nmos_tn
```

Рис. 7. Встраивание двухэкспоненциального источника тока в описание n – МОП транзистора с помощью Verilog-A модуля

В отличие от метода «SEMT» - «Single event Modeling Tool» [4], где источник тока описывается с помощью Verilog-A модуля, в работе используется готовый двухэкспоненциальный источник тока, предоставленный средствами HSPICE моделирования. Подсхемы для p-МОП и n-МОП транзисторов описываются отдельно. Это связано с тем, что, во-первых, ионизационный ток в n-МОП транзисторе протекает от стока к подложке, а в p-МОП наоборот от подложки к стоку. Во-вторых, транзисторы имеют разные модели.

На основе таких параметров как модель транзистора и напряжение на его затворе определяется подавать сбой на транзистор или нет. Программа написана таким образом, что, если для входной комбинации существует несколько закрытых транзисторов, каждый транзистор моделируется в отдельности. И затем только можно перейти к моделированию для другой входной последовательности.

Этап 3: сравнение результатов

В преобразованном списке соединений описывается система сравнения. В [17] предлагается использовать систему сравнения, состоящую из элементов включающее – ИЛИ, RS – триггеров и сигнала сброса или фронтového D-триггера со сбросом, как показано в [18].

В работе предложен метод детектирования сбоев с использованием команды .meas (рис. 8).

```
.meas tran Vmax_test max v(out_test)
.meas tran Vmin_test min v(out_test)
.meas tran Vmax_model max v(out)
.meas tran Vmin_model min v(out)
.meas Diff_min param = 'Vmin_model-Vmin_test'
.meas Diff_max param = 'Vmax_test-Vmax_model'
```

Рис. 8. Детектирование сбоев с помощью команды .meas

$V_{max_test}/V_{min_test}$ – максимальное/минимальное значение напряжения на выходе исследуемо схемы. $V_{max_model}/V_{min_model}$ – максимальное/минимальное значение напряжения на выходе эталонной схемы.

Если значение $Diff_min$ или $Diff_max$ превышает параметр σ , равный $0,5 \cdot U_{vdd}$, сбой обнаружен.

В преобразованном списке соединений автоматически прописываются все комбинации входных воздействий с помощью команды .alter.

Производится моделирование преобразованного списка соединений. Результаты считываются из .mt файлов, выявляются и подсчитываются ошибки.

Результатом работы программы, является файл, где для каждой ячейки для заданного максимального импульса тока рассчитывается вероятность сбоя. Вероятность сбоя – это отношение всех сбоев на выходе ячейки ко всем проведенным моделированиям. Значение собранного заряда может быть получено исходя из параметров двухэкспоненциального источника тока.

Для поиска критической амплитуды ионизационного импульса тока, при которой произойдет сбой на выходе схемы, программа дополняется численным методом – деления отрезка пополам (бисекции). В файле входных параметров указывается диапазон возможных значений амплитуды паразитного импульса тока: начальное (x_n) и конечное (x_k) значения, требуемая точность (eps).

3. Применение разработанного метода моделирования на наборе комбинационных схем. Разработанный автоматизированный метод был применен на комбинационных ячейках из открытой библиотеки «Nangate» изготовленных по технологии 45 нм.

Чувствительность к случайным сбоям переключения любой комбинационной схемы может быть оценена с помощью такого параметра как критический заряд. Значение критического заряда схемы зависит от размеров транзисторов, значения нагрузки, сигнала на входе, напряжения питания, температуры, формы импульса ионизационного тока [19].

В работе проанализирована зависимость критического заряда от нагрузочной способности для нескольких ячеек при полном переборе всех входных воздействий (рис. 9). Рассматривается то входное воздействие, при котором начинает наблюдаться случайный сбой переключения. Моделирования были выполнены для типовых граничных условий, а именно: при напряжении питания равном 1,1 В, температуре 25°C и варианте технологического процесса: ТТ.

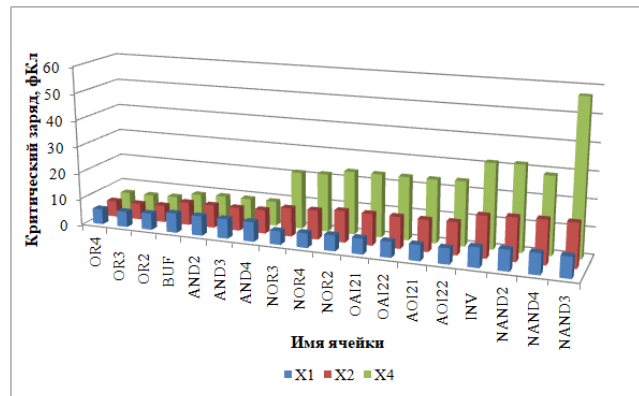


Рис. 9 Зависимость критического заряда (по координате X) для библиотечных ячеек (по координате Y) от нагрузочной способности (по координате Z) при полном переборе входных воздействий

Время, затраченное программой, на поиск критического заряда для представленного набора из 54 ячеек составляет 1 час 3 минуты. Расчеты производились на сервере Intel Xeon E5-2640 2.50Ghz.

На рисунке 10 представлена зависимость критического заряда от нагрузочной способности ячейки INV. Шкала нагрузочной способности является логарифмической с основанием равным двум.

Из графика видно, что значение критического заряда экспоненциально возрастает при увеличении нагрузочной способности схемы.

Из преобразования (4) видно, что критический заряд линейно зависит от нагрузочной способности ячейки:

$$y = k_1 \exp^{k_2 \log_2 x} = k_1 \exp^{\frac{k_2}{\ln 2} \ln x} = k_1 x^{\frac{k_2}{\ln 2}}$$

$$\begin{cases} k_2 \approx 0.70 \\ \ln 2 \approx 0.69 \end{cases} \quad (4)$$

$$y \approx k_1 x.$$

При увеличении нагрузочной способности растет и общая емкость цепи, что делает значение минимального заряда необходимого для сбоя больше. Похожие результаты получены для других ячеек при разных комбинациях входных воздействий.



Рис. 10. Зависимость критического заряда от нагрузочной способности ячейки INV при входном воздействии равном логическому нулю

Значения критического заряда анализируемых ячеек для каждого входного воздействия коррелируют со значениями, полученными в статье [20].

Вероятности сбоя исследуемых ячеек при значениях собранного заряда, равного 10фКл, 50фКл и 100фКл представлены на рис. 11. При дальнейшем повышении значения собранного заряда вероятность сбоя изменяется не значительно.

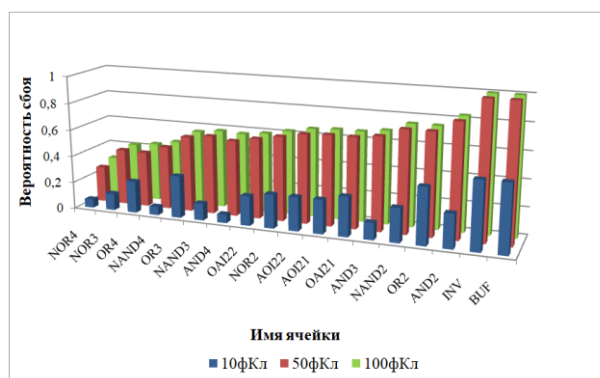


Рис. 11. Зависимость вероятности сбоя (по координате X) для библиотечных ячеек с нагрузочной способностью X1 (по координате Y) от значения собранного заряда (координата Z)

Время необходимое для моделирования представленного набора из 18 ячеек для одного значения собранного заряда составляет 1 мин 40сек

Программа также позволяет задать определенную вероятность сбоя, для которой будут рассчитаны значения собранного заряда.

Данные, полученные в ходе экспериментов, необходимы для создания библиотеки надежных элементов, из которых уже в дальнейшем будут собраны сбоеустойчивые схемы.

На рис. 12 представлены значения вероятностей сбоя для комбинационных ячеек, полученные с помощью логического моделирования в сравнении с вероятностями сбоя, полученными с помощью схмотехнического моделирования для собранного заряда равного 100 фКл. Алгоритм логического моделирования аналогичен

схемотехническому, за исключением способа моделирования сбоя. В логическом моделировании открывается закрытый транзистор, путем подачи логического сигнала на его затвор. В схемотехническом моделировании транзистор открывается в зависимости от продолжительности и амплитуды паразитного импульса тока.

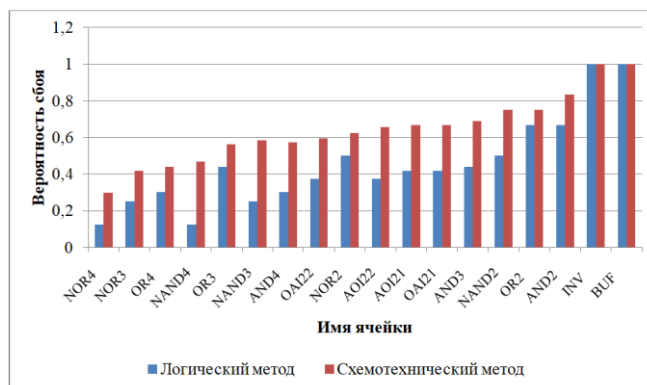


Рис. 12. Сравнение вероятностей сбоя библиотечных ячеек полученных с помощью логического и схемотехнического моделирования

Преимуществом метода, использующего двухэкспоненциальных источник тока для моделирования сбоев перед логическим моделированием является, то, что существует возможность варьировать значение собранного заряда, в то время как результаты логического моделирования верны для худшего случая, когда закрытые транзисторы точно будут выведены из строя.

Из рисунка видно, что вероятность сбоя, полученная с помощью схемотехнического моделирования больше или равна вероятности сбоя полученной с помощью логического моделирования. Такие результаты связаны с тем, что при логическом моделировании не учитывается тот факт, что сбой одного транзистора может привести к открытию нескольких последовательно включенных транзисторов. Таким образом, схемотехническое моделирование является физически точным.

Заключение. В ходе работы было проведено исследование методов моделирования эффектов воздействия высокоэнергетичных частиц на комбинационные КМОП ИМС.

Исходя из достоинств и недостатков каждого метода, была выбрана модель двухэкспоненциального источника тока. Моделирование осуществлялось для каждого отдельного транзистора в схеме при полном переборе всех входных воздействий с помощью средств HSPICE компании Synopsys.

Метод автоматизирован с помощью языка Python и применен на наборе комбинационных ячеек из открытой библиотеки «Nangate» изготовленных по КМОП-технологии 45 нм.

В работе показано сравнение разработанного способа автоматизированного моделирования с программой предложенной учеными из НИИСИ РАН. Достоинствами разработанной программы являются быстроедействие, простота моделирования. Программа не требует промежуточных операций, таким образом, она оказывается намного быстрее метода «Single Event Modeling Tool».

Так же был разработан способ логического моделирования сбоев на основе последовательно – параллельной структуры схемы. Результаты, полученные с помощью логического моделирования, сравниваются с результатами схемотехниче-

ского моделирования. Хотя логическое моделирование оказывается намного быстрее, оно не является физически точными, не позволяет найти критический заряд схемы и варьировать значение собранного заряда.

С помощью автоматизированного метода моделирования был оценен критический заряд для комбинационных ячеек при разной нагрузочной способности, посчитана вероятность сбоя при изменении количества собранного заряда.

Результаты программы моделирования случайных сбоев переключения можно использовать для оценки методов обеспечения сбоеустойчивости и разработки новых методов.

В дальнейшем программу планируется применить на больших схемах из набора ISCAS'85, а также учитывать топологию схемы и множественные сбои.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Nicolaïdis M.* Soft Errors in Modern Electronic Systems. – N.Y.: Springer, 2011. – 318 p.
2. *Зольников К.В.* Модель радиационных эффектов воздействия тяжелых заряженных частиц в КМОП – элементах микросхем // Программные продукты и системы. – 2011. – № 3. – С. 17-21.
3. *Selahattin S.* Soft Error Mechanisms, Modeling and Mitigation. – N.Y.: Springer, 2016. – 105 p.
4. *Данилов И.А., Василегин Б.В., Осипенко П.Н.* Метод автоматизированного схемотехнического моделирования эффектов воздействия тяжелых заряженных частиц на современные КМОП ИМС // Вопросы атомной науки и техники. Серия: физика радиационного воздействия на радиоэлектронную аппаратуру. – 2011. – № 4. – С. 13-16.
5. *Ding G., Chen S.* Full-TCAD Device Simulation of CMOS Circuits with a Novel Half-Implicit Solver // 2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, USA, 2012. – P. 272-275.
6. *Hubert G., Artola L.* Single-Event Transient Modeling in a 65-nm Bulk CMOS Technology Based on Multi-Physical Approach and Electrical Simulations // IEEE Transactions on Nuclear Science. – 2013. – Vol. 60, No. 6. – P. 4421-4429.
7. *Hubert G. [and others].* Operational SER Calculations on the SAC-C Orbit Using the Multi-Scales Single Event Phenomena Predictive Platform (MUSCA SEP3) // IEEE Transactions on Nuclear Science. – 2009. – Vol. 56, No. 6. – P. 3032-3042.
8. *Andjelkovic M., Ilic A., Stamenkovic Z., Kraemer R.* An Overview of the Modeling and Simulation of the Single Event Transients at the Circuit Level // International conference on microelectronics (MIEL 2017), Serbia. 2017. – P. 35-44.
9. *Смолин А.А. и др.* Схемотехническое моделирование одиночных эффектов при воздействии тяжелых заряженных частиц в КМОП СБИС с суб-100-нм проектными нормами // Известия вузов. Электроника. – 2017. – № 5. – С. 447-459.
10. *Messenger G.C.* Collection of charge on junction nodes from ion tracks // IEEE Transactions on nuclear science. – 1982. – No. 6. – P. 2024-2031.
11. *Amusan O.A. [and others].* Single Event Upsets in Deep – Submicrometer Technologies Due to Charge Sharing // IEEE Transactions on device and materials reliability. – 2008. – No. 3. – P. 582-589.
12. *Zhou Q., Mohanram K.* Gate Sizing to Radiation Harden Combinational Logic // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2006. – Vol. 25, No. 1. – P. 155-166.
13. *Kauppila J.S. [and others].* A Bias – Dependent Single – Event Compact Model Implemented Into BSIM4 and a 90nm CMOS Process Design Kit // IEEE Transactions on nuclear science. – 2009, No. 6. – P. 3152-3157.
14. *Black D.A. [and others].* Modeling of Single Event Transients With Dual Double – Exponential Current Sources: Implication for Logic Cell Characterization // IEEE Transactions on nuclear science. – 2015. – No. 4. – P. 1540-1549.
15. *Петросяниц К.О., Харитонов И.А., Орехов Е.В., Самбурский Л.М.* Определение параметров электрической подсхемы, подключаемой к SPICE модели МОП транзистора для учета влияния ОЯЧ // 13-я Российская научно-техническая конференция «Электроника, микро- и нанoeлектроника»: Сб. научны трудов. – М: МИФИ, 2011. – С.8-15.

16. Тельпухов Д.В., Деменева А.И. Разработка программных средств моделирования эффектов воздействия тяжелых заряженных частиц на современные КМОП ИМС // Матер. научно – практической конференции «Актуальные проблемы информатизации в науке и образовании - 2018». – 2018. – С. 88-93.
17. Balbekov A., Gorbunov M. Estimation Technique for SET-tolerance of Combinational ICs // International Conference on Micro-and Nano-Electronics. – 2014. – DOI: 10.13140/2.1.3590.8804. – URL: https://www.researchgate.net/publication/267925908_Estimation_Technique_for_SET-tolerance_of_Combinational_ICs (дата обращения 04.08.2019).
18. Danilov I.A., Gorbunov M.S., Antonov A.A. SET Tolerance of 65 nm CMOS Majority Voters: A Comparative Study // IEEE Transactions on nuclear science. – 2014. – No. 4. – P. 1597-1602.
19. Andjelkovic M., Jagdhold U., Krstic M., Kraemer R. 2D TCAD Simulations of Single Event Transients in 250nm Bulk CMOS Technology // Reliability by Design; 9.ITG/GMM/GI-Symposium, Cottbus, Germany, 2017. – P. 90-96.
20. Andjelkovic M., Krstic M., Kraemer R. Comparison of the SET sensitivity of standard logic gates designed in 130nm CMOS technology // 2017 IEEE 30th International conference on microelectronics (MIEL). – 2017. – P. 217-220.

REFERENCES

1. Nicolaidis M. Soft Errors in Modern Electronic Systems. N.Y.: Springer, 2011, 318 p.
2. Zol'nikov K.V. Model' radiatsionnykh effektov vozdeystviya tyazhelykh zaryazhennykh chastits v KMOP – elementakh mikroskhem [Model of radiation effects of heavy charged particles in CMOS elements of chips], *Programmnye produkty i sistemy* [Software products and systems], 2011, No. 3, pp. 17-21.
3. Selahattin S. Soft Error Mechanisms, Modeling and Mitigation. N.Y.: Springer, 2016, 105 p.
4. Danilov I.A., Vasilegin B.V., Osipenko P.N. Metod avtomatizirovannogo skhemotekhnicheskogo modelirovaniya effektov vozdeystviya tyazhelykh zaryazhennykh chastits na sovremennye KMOP IMS [Method of automated circuit simulation of effects of heavy charged particles on modern CMOS ICS], *Voprosy atomnoy nauki i tekhniki. Seriya: fizika radiatsionnogo vozdeystviya na radioelektronnyuyu apparaturu* [Issues of atomic science and technology. Series: physics of radiation effects on electronic equipment], 2011, No. 4, pp. 13-16.
5. Ding G., Chen S. Full-TCAD Device Simulation of CMOS Circuits with a Novel Half-Implicit Solver, *2012 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Denver, USA, 2012*, pp. 272-275.
6. Hubert G., Artola L. Single-Event Transient Modeling in a 65-nmBulk CMOS Technology Based on Multi-Physical Approach and Electrical Simulations, *IEEE Transactions on Nuclear Science*, 2013, Vol.60, No. 6, pp. 4421-4429.
7. Hubert G. [and others]. Operational SER Calculations on the SAC-C Orbit Using the Multy-Scales Single Event Phenomena Predictive Platform (MUSCA SEP3), *IEEE Transactions on Nuclear Science*, 2009, Vol. 56, No. 6, pp. 3032-3042.
8. Andjelkovic M., Ilic A., Stamenkovic Z., Kraemer R. An Overview of the Modeling and Simulation of the Single Event Transients at the Circuit Level, *International conference on microelectronics (MIEL 2017), Serbia. 2017*, pp. 35-44.
9. Smolin A.A. i dr. Skhemotekhnicheskoe modelirovanie odinochnykh effektov pri vozdeystvii tyazhelykh zaryazhennykh chastits v KMOP SBIS s sub-100-nm proektnymi normami [Circuit modeling of single effects under the influence of heavy charged particles in CMOS VLSI with sub-100-nm design standards], *Izvestiya vuzov. Elektronika* [Proceedings of Universities. Electronics], 2017, No. 5, pp. 447-459.
10. Messenger G.C. Collection of charge on junction nodes from ion tracks, *IEEE Transactions on nuclear science*, 1982, No. 6, pp. 2024-2031.
11. Amusan O.A. [and others]. Single Event Upsets in Deep – Submicrometer Technologies Due to Charge Sharing, *IEEE Transactions on device and materials reliability*, 2008, No. 3, pp. 582-589.
12. Zhou Q., Mohanram K. Gate Sizing to Radiation Harden Combinational Logic, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, Vol. 25, No. 1, pp. 155-166.

13. *Kauppila J.S. [and others]. A Bias – Dependent Single – Event Compact Model Implemented Into BSIM4 and a 90nm CMOS Process Design Kit, IEEE Transactions on nuclear science, 2009, No. 6, pp. 3152-3157.*
14. *Black D.A. [and others]. Modeling of Single Event Transients With Dual Double – Exponential Current Sources: Implication for Logic Cell Characterization, IEEE Transactions on nuclear science, 2015, No. 4, pp. 1540-1549.*
15. *Petrosyants K.O., Kharitonov I.A., Orekhov E.V., Samburskiy L.M. Opredelenie parametrov elektricheskoy podskhemy, podklyuchaemoy k SPICE modeli MOP tranzistora dlya ucheta vliyaniya OYACH [Determination of the parameters of the electrical subcircuit connected to the SPICE model MOSFET to account for the influence of OYF], 13-ya Rossiyskaya nauchno-tekhnicheskaya konferentsiya «Elektronika, mikro- i nanoelektronika»: Sb. nauchnyy trudov [13th Russian scientific and technical conference "electronics, micro-and nanoelectronics": Collection of scientific papers]. Moscow: MIFI, 2011, pp.8-15.*
16. *Tel'pukhov D.V., Demeneva A.I. Razrabotka programmnykh sredstv modelirovaniya effek-ov vozdeystviya tyazhelykh zaryazhennykh chastits na sovremennye KMOP IMS [Development of software for modeling the effects of heavy charged particles on modern CMOS ICS], Mater. nauchno – prakticheskoy konferentsii «Aktual'nye problemy informatizatsii v nauke i obrazovanii - 2018» [Materials of the scientific-practical conference "Actual problems of Informatization in science and education-2018"], 2018, pp. 88-93.*
17. *Balbekov A., Gorbunov M. Estimation Technique for SET-tolerance of Combinational ICs, International Conference on Micro-and Nano-Electronics, 2014. DOI: 10.13140/2.1.3590.8804. Available at: https://www.researchgate.net/publication/267925908_Estimation_Technique_for_SET-tolerance_of_Combinational_ICs (accessed 04 August 2019).*
18. *Danilov I.A., Gorbunov M.S., Antonov A.A. SET Tolerance of 65 nm CMOS Majority Voters: A Comparative Study, IEEE Transactions on nuclear science, 2014, No. 4, pp. 1597-1602.*
19. *Andjelkovic M., Jagdhold U., Krstic M., Kraemer R. 2D TCAD Simulations of Single Event Transients in 250nm Bulk CMOS Technology, Reliability by Design; 9.ITG/GMM/GI-Symposium, Cottbus, Germany, 2017, pp. 90-96.*
20. *Andjelkovic M., Krstic M., Kraemer R. Comparison of the SET sensitivity of standard logic gates designed in 130nm CMOS technology, 2017 IEEE 30th International conference on microelectronics (MIEL), 2017, pp. 217-220.*

Статью рекомендовал к опубликованию к.т.н. А.В. Коршунов.

Тельпухов Дмитрий Владимирович – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: nofrost@inbox.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел методологии проектирования интегральных схем; руководитель отдела; д.т.н.

Деменева Алена Игоревна – e-mail: alena_demeneva@bk.ru; отдел методологии проектирования интегральных схем; инженер–исследователь.

Надоленко Владислав Вадимович – e-mail: vl777nd@list.ru; отдел методологии проектирования интегральных схем; инженер–проектировщик 2 категории.

Telpukhov Dmitry Vladimirovich – The Institute for Design Problems in Microelectronics (IPPM RAS); e-mail: nofrost@inbox.ru; 24365, Moscow, Zelenograd, Sovetskaya street, 3; phone: +74997299890; the department of integrated circuits design methodology; head of department; dr. of eng sc.

Demeneva Alena Igorevna – e-mail: alena_demeneva@bk.ru; the department of integrated circuits design methodology; research engineer.

Nadolenko Vladislav Vadimovich – e-mail: vl777nd@list.ru; the department of integrated circuits design methodology; design engineer.